

西安交通大学

CMOS工艺及版图

电信学院微电子学系

程 军

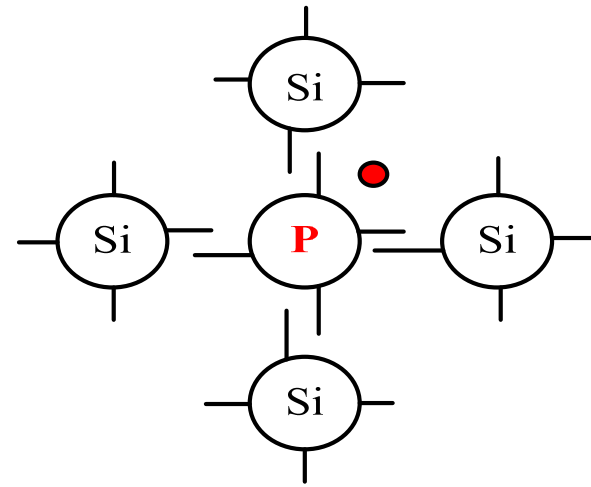
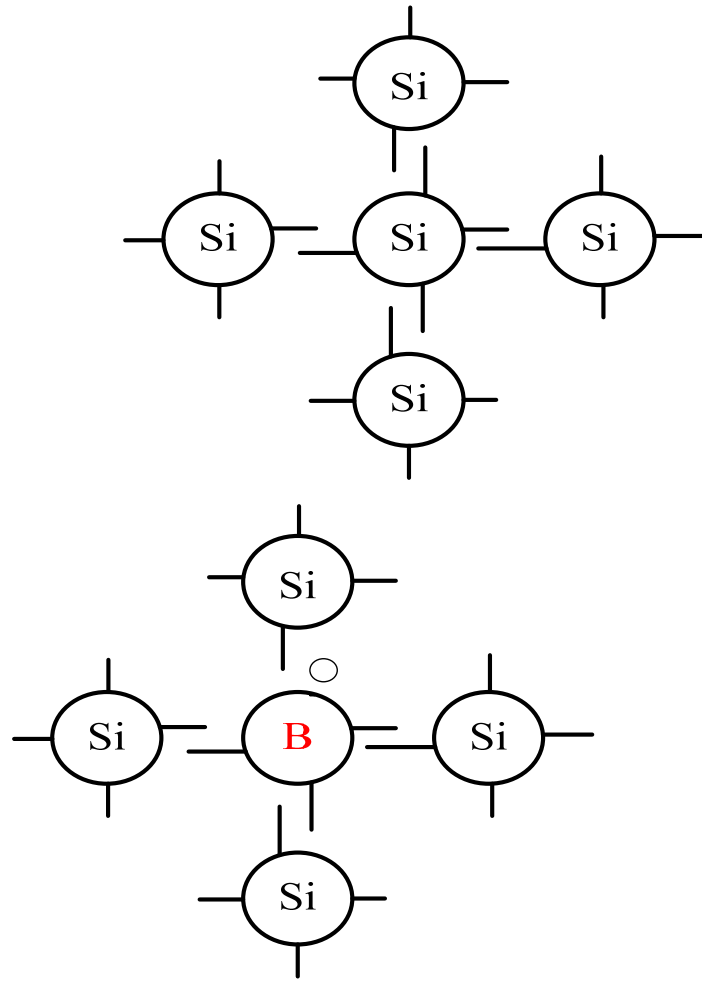
Email: jcheng@mail.xjtu.edu.cn

本章主要内容

- PN结和MOS晶体管结构
- IC制造主要基本工艺
- N阱CMOS简化工艺及工艺的改进
- CMOS反相器电路结构及版图
- 无源器件：R、C、L
- 版图设计规则



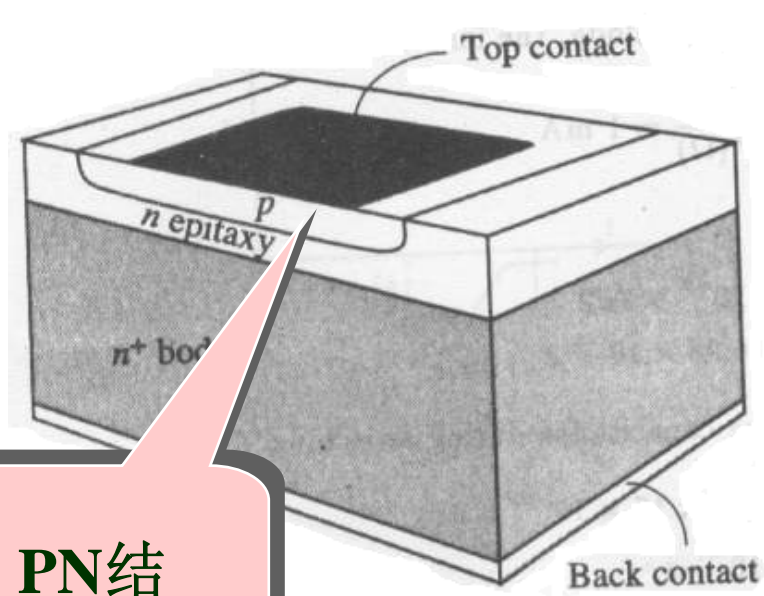
本征硅、n型和p型半导体的硅晶格（二维表示）



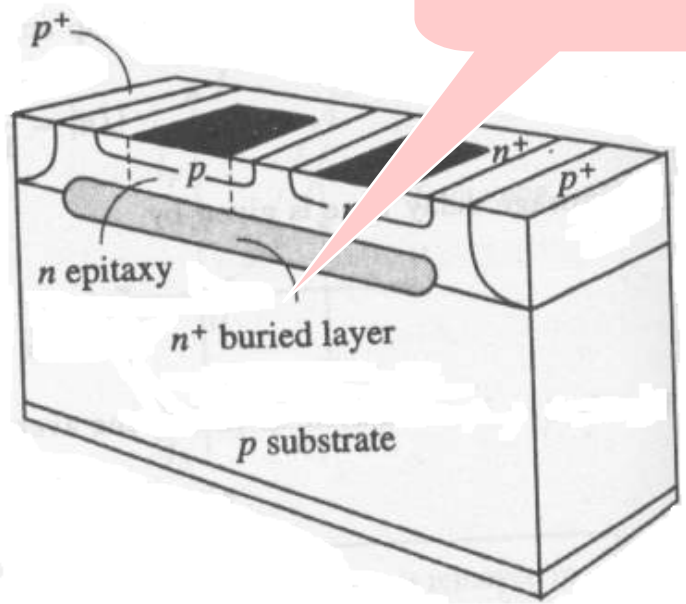
室温下，掺杂比仅为 $1:10^9$ (ppb)， 1cm^3 硅的电阻由347K欧姆变为92.6欧姆



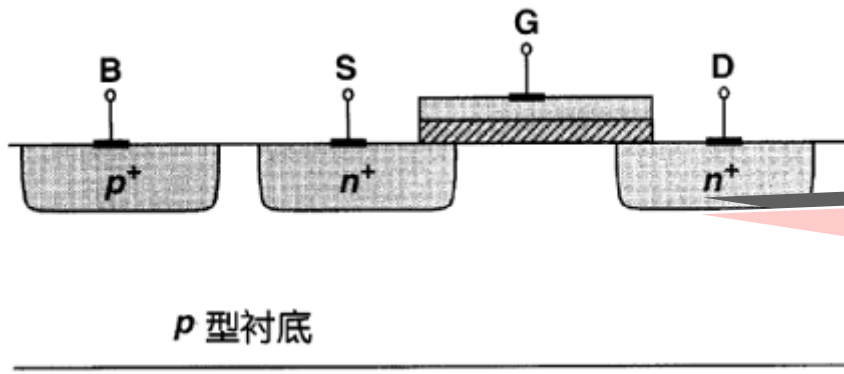
PN结的结构



PN结



IC中的PN结



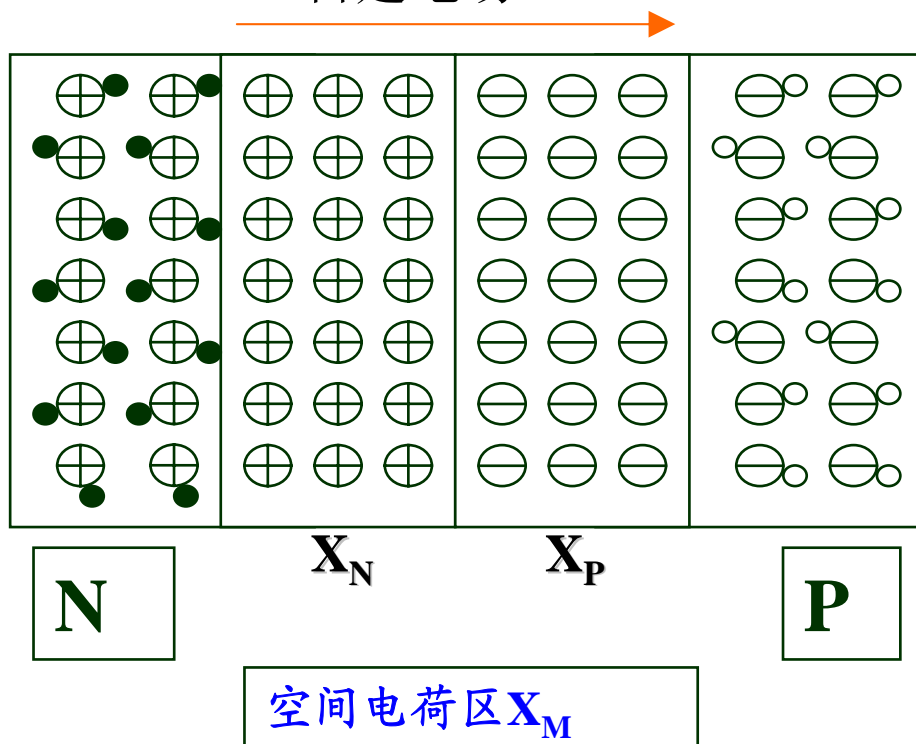
IC中的PN结



PN结形成

空间电荷区—耗尽层

自建电场



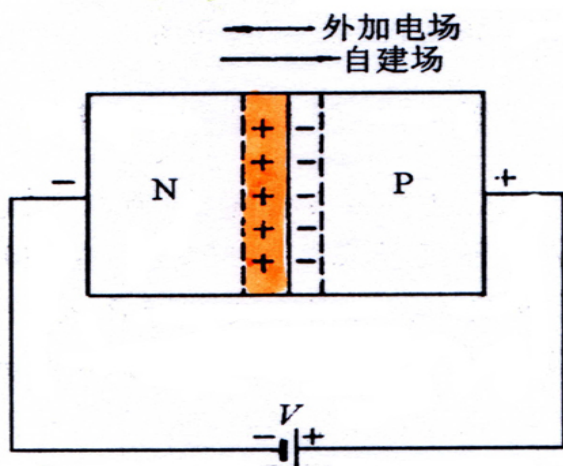
载流子漂移
(电流)和扩散
(电流)过程保
持平衡(相等),
形成自建场和
自建势

空间电荷区为高阻区，因为缺少载流子

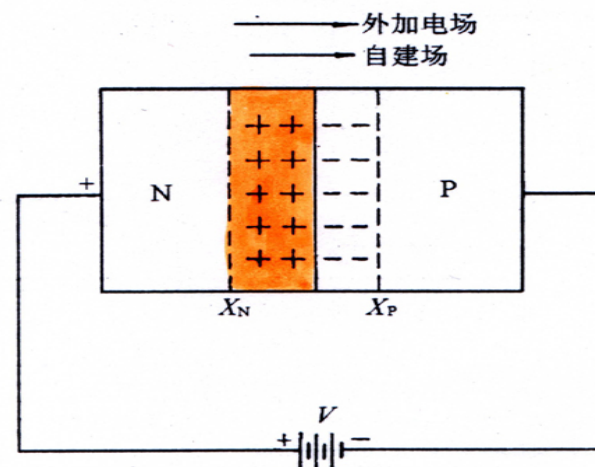


PN结的单向导电性能

PN结最显著的特点是具有整流特性，它只允许电流沿一个方向流动，不允许反向流动。

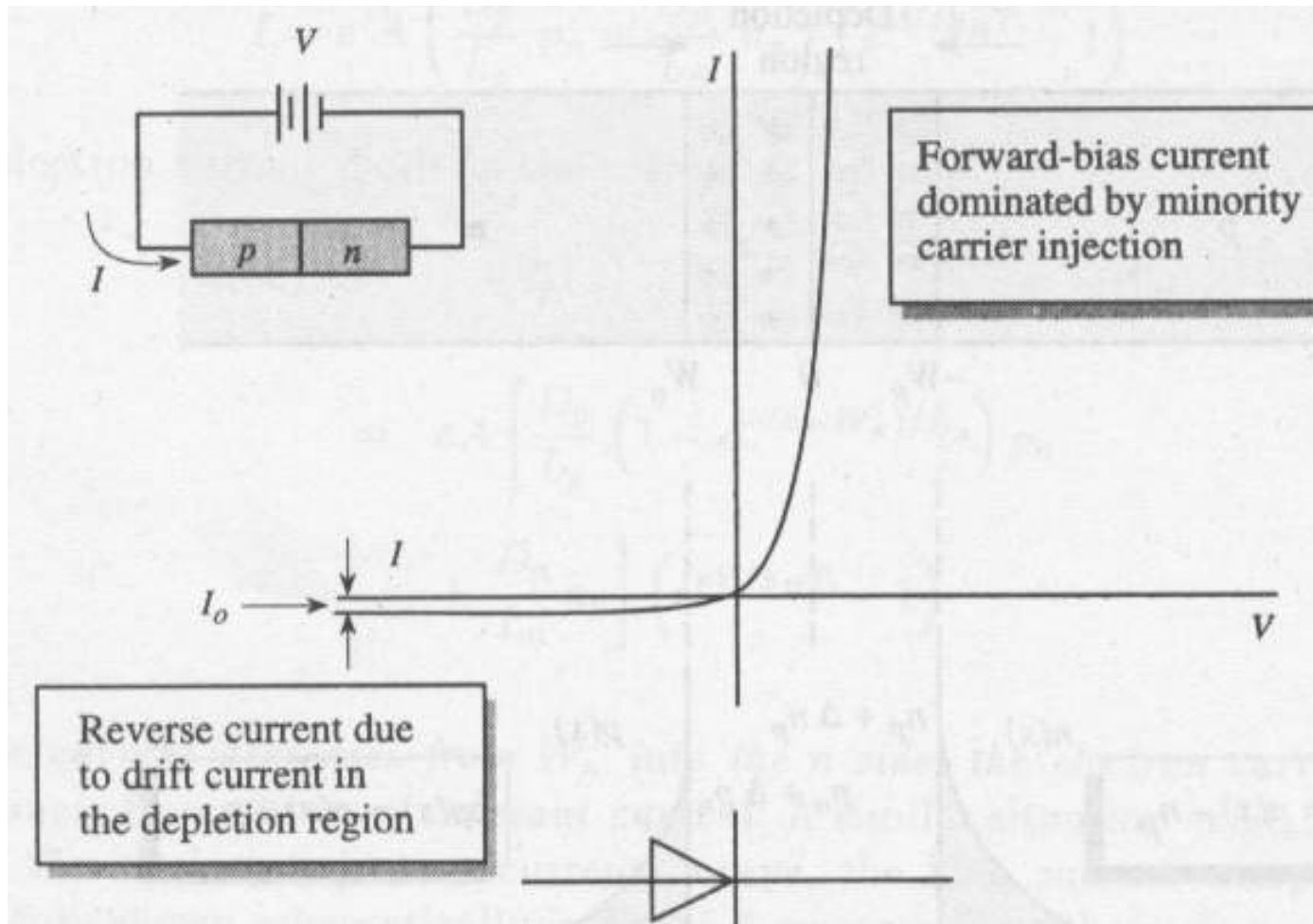


P区为正、N区为负时，PN结为正向偏置



P区为负、N区为正时，PN结为反向偏置





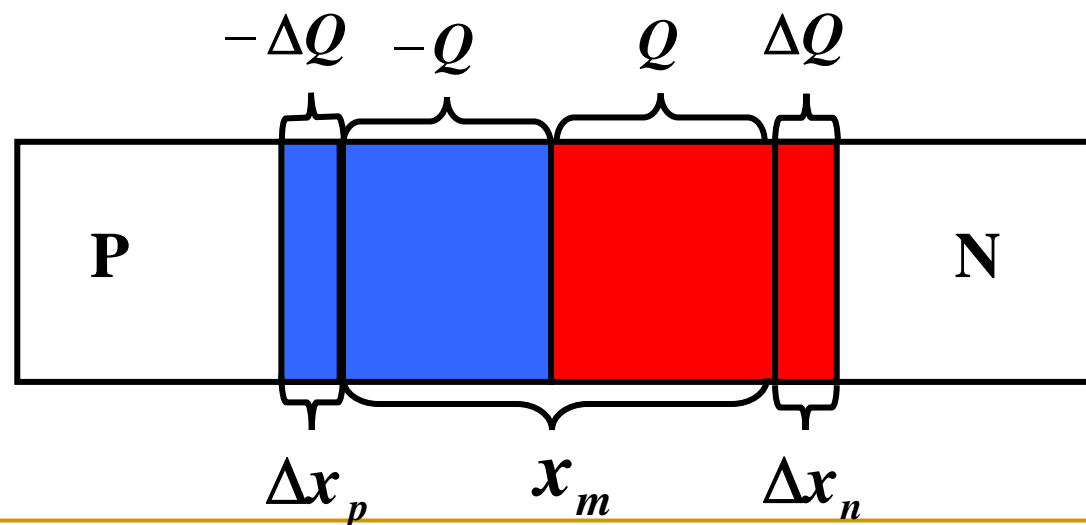
正向偏置的PN结，电流随电压的增加而迅速增加。反向偏置的PN结，电流很小基本可以忽略不计。



PN结寄生电容(1)

- 扩散电容：扩散区中电荷随外加电压的变化所产生的电容效应称为**PN结的扩散电容**
- 势垒电容：势垒区的电荷随外加偏压变化所引起的电容效应称为**势垒电容**。

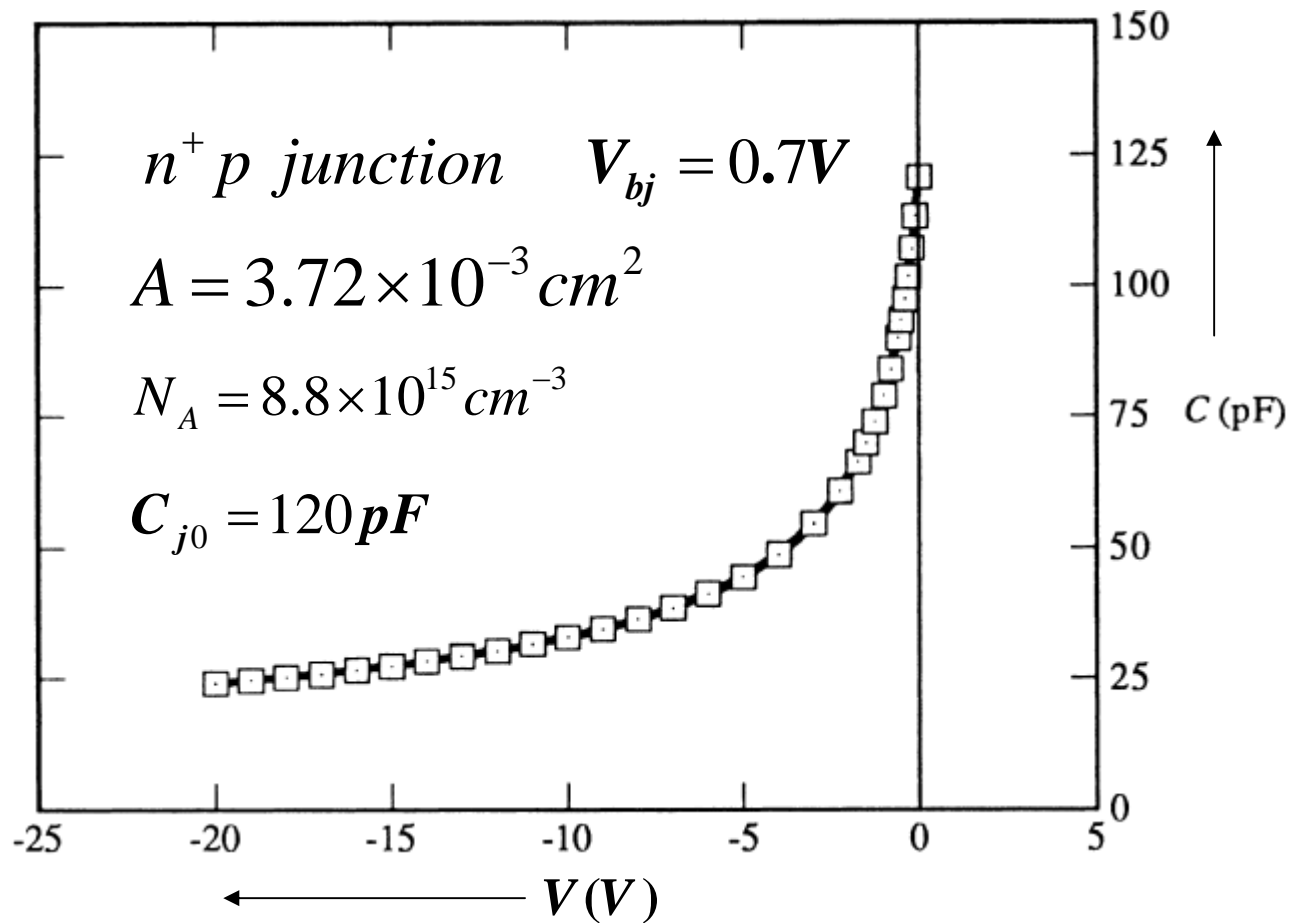
势垒电容产生的机理：当外加电压有 ΔV 的变化时，耗尽区宽度会发生变化，使耗尽区的空间电荷出现 ΔQ 变化。



PN结寄生电容(2)

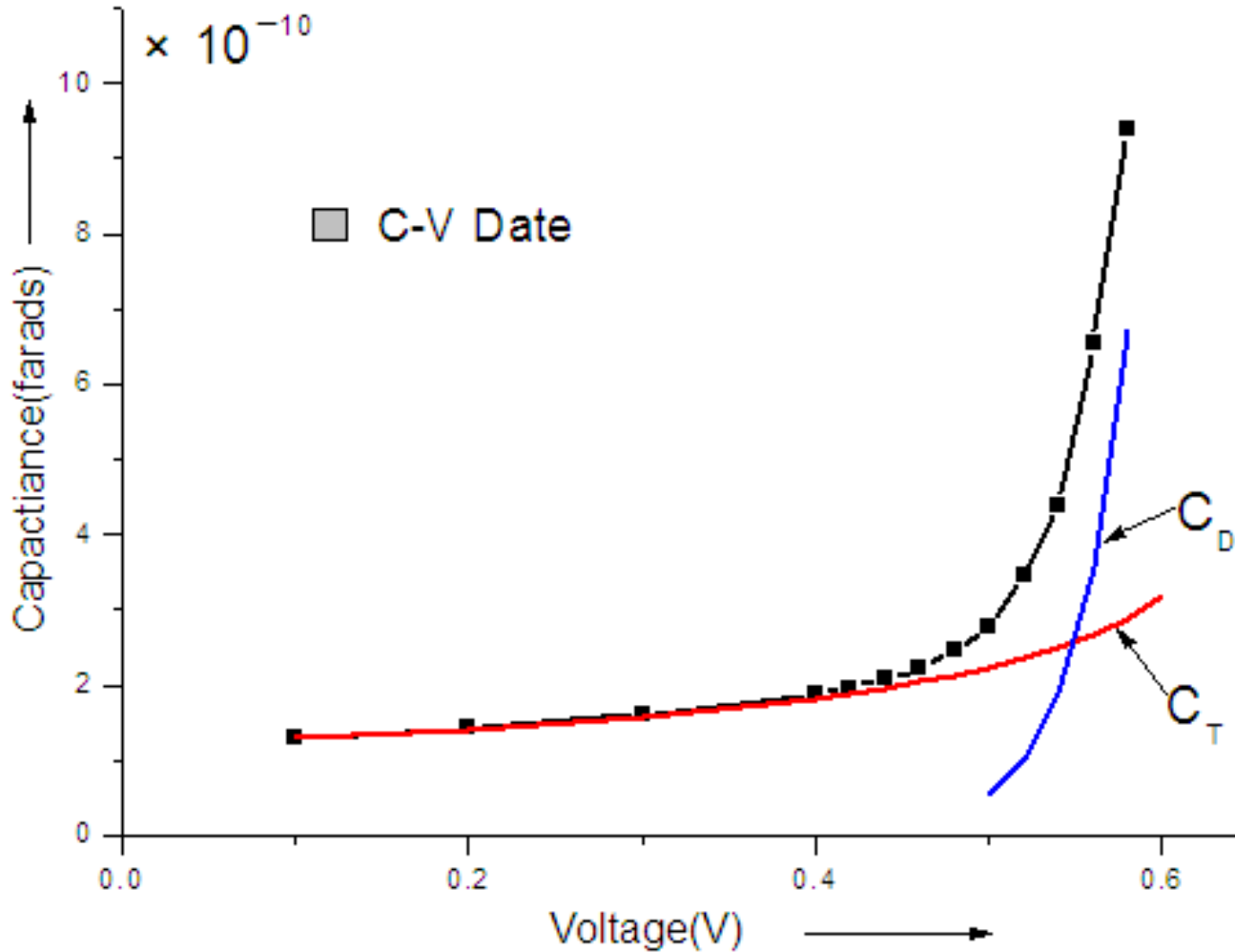
- **PN结电容**包括势垒电容和扩散电容，它们都是结电压的函数，其相对重要性强烈依赖于结电压。
- 在反向偏置时，扩散电容可以忽略，**PN结**在功能上等效为一个势垒电容。
- 在正向偏置下，扩散电容占主导地位，**PN结**等效为一个扩散电导和扩散电容的并联





1N5472突变结二极管 势垒电容随反偏电压的测量结果





1N5472突变结二极管 正偏时电容的测量结果



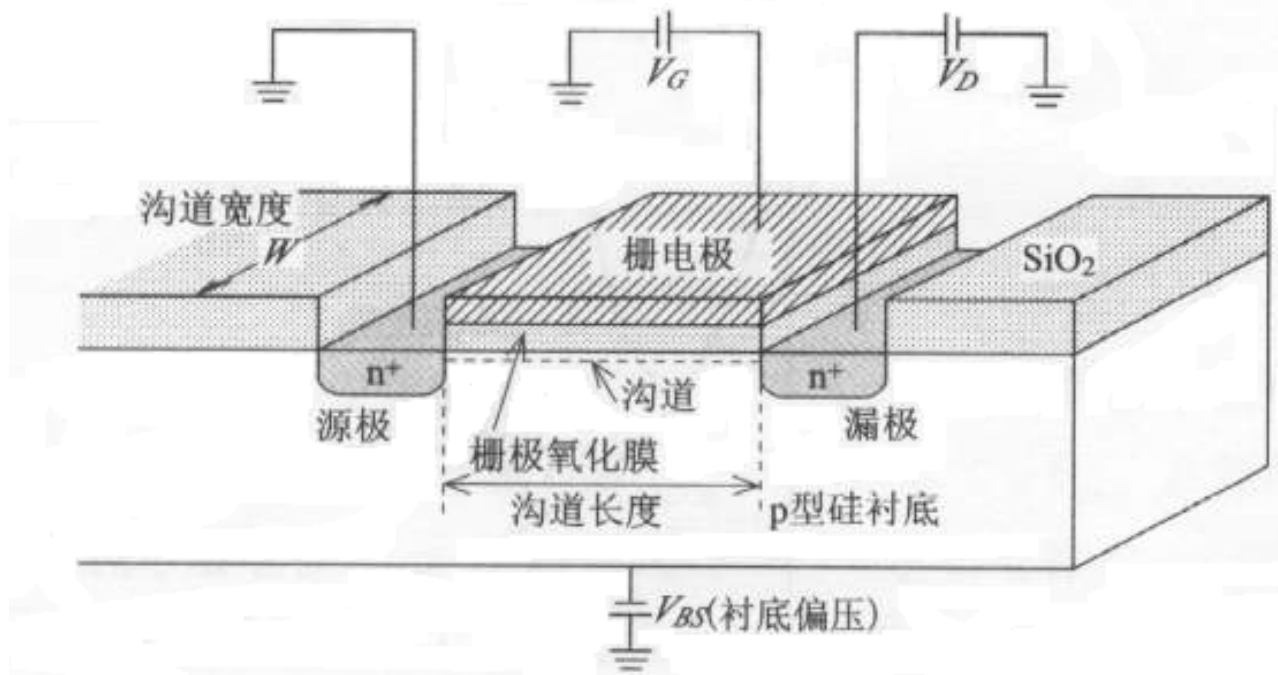
MOSFET结构

MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor

也叫：绝缘栅场效应晶体管（Insulated Gate, IGFET）

金属-绝缘体-半导体场效应晶体管(MISFET)

电压控制电流器件—>场效应晶体管



MOSFET工作原理（NMOS为例）

- 半导体表面场效应

1. P型半导体

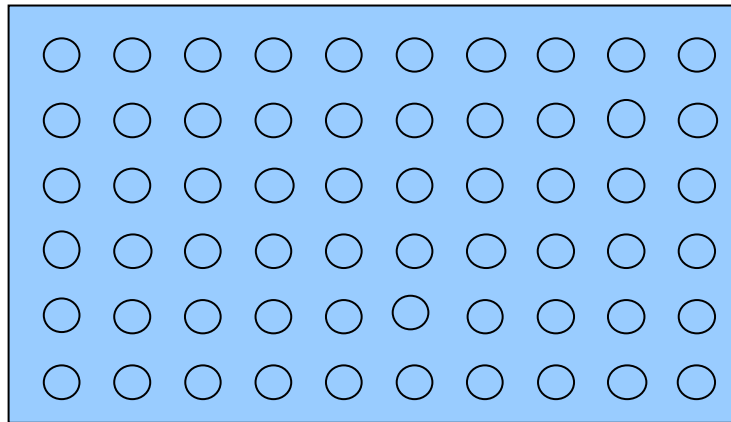


图1 P型半导体



2、表面电荷减少(施加正电压)

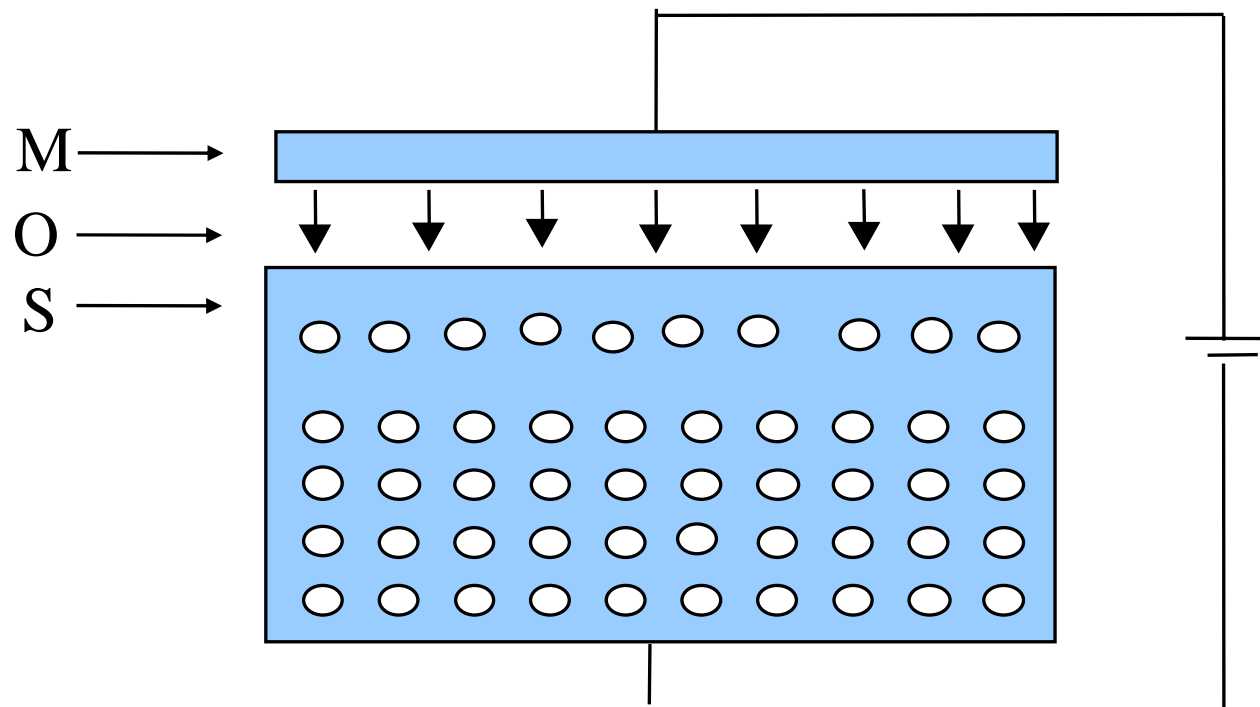


图 2 表面电荷减少



3、形成耗尽层（继续增大正电压）

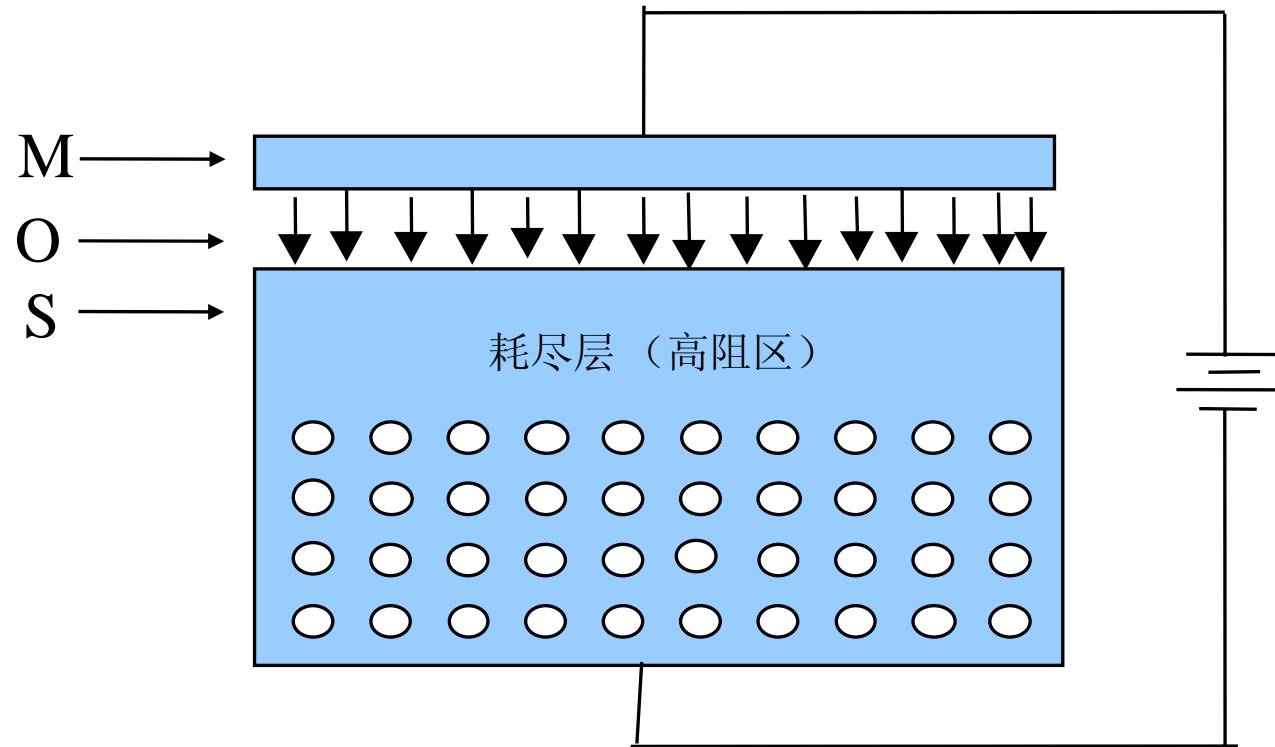


图 3 形成耗尽层



4、形成反型层（电压超过一定值 V_t 时）

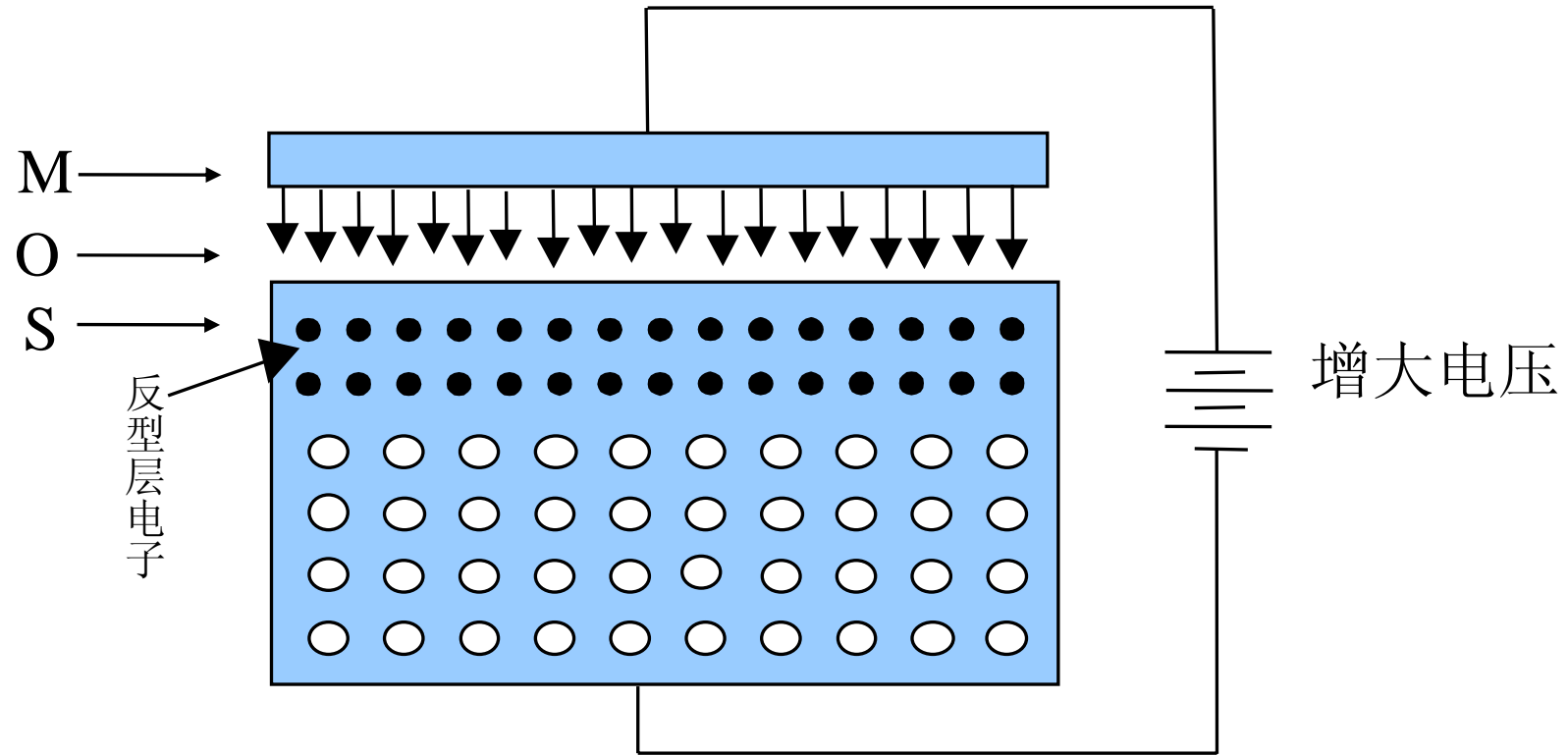
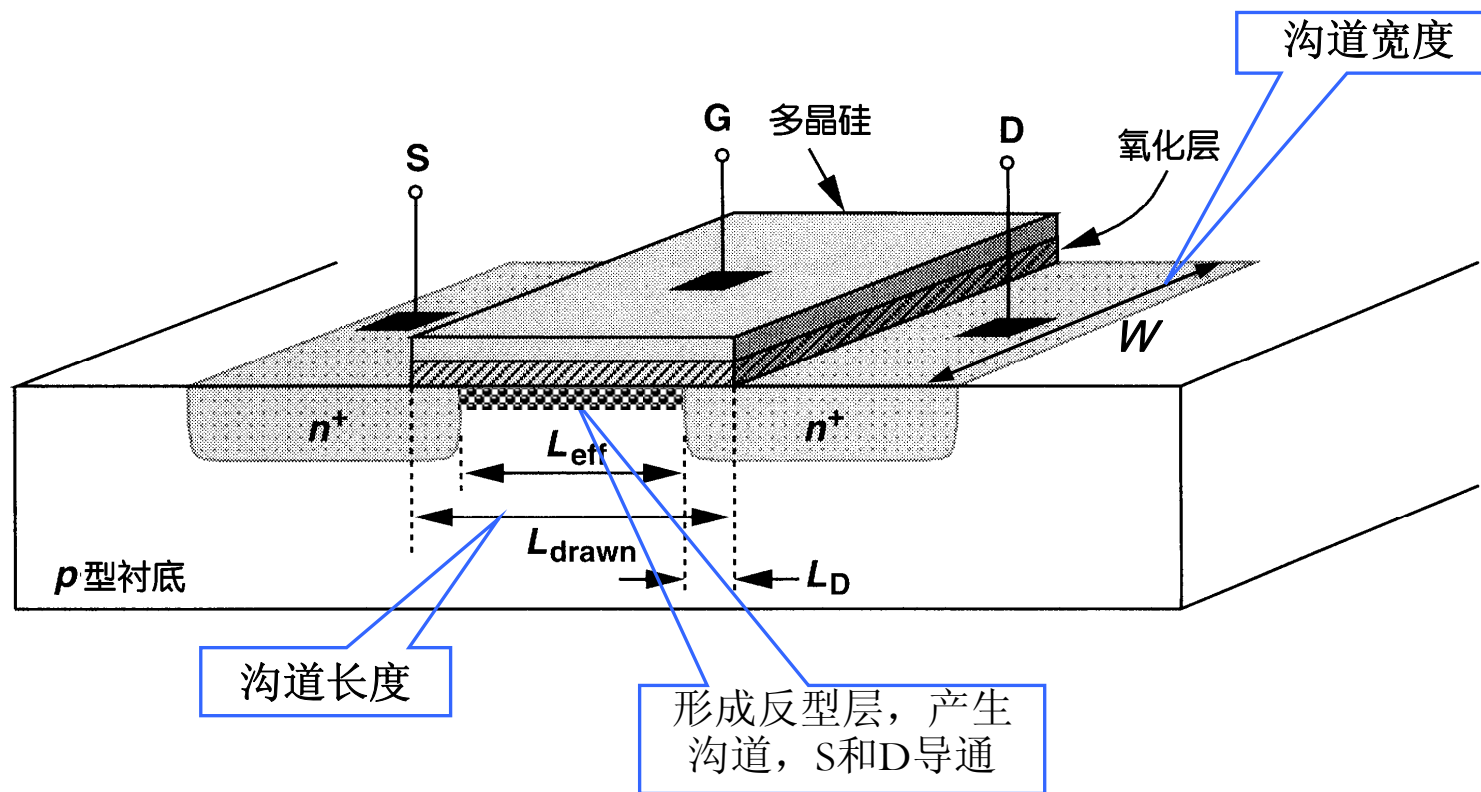


图 4 形成反型层

表面场效应形成反型层（MOS电容结构）



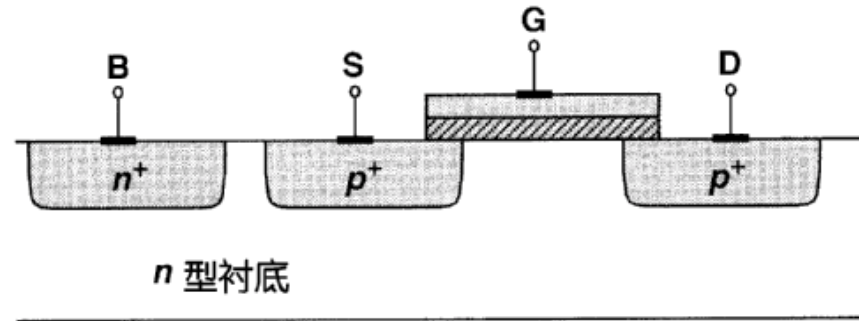
MOSFET结构



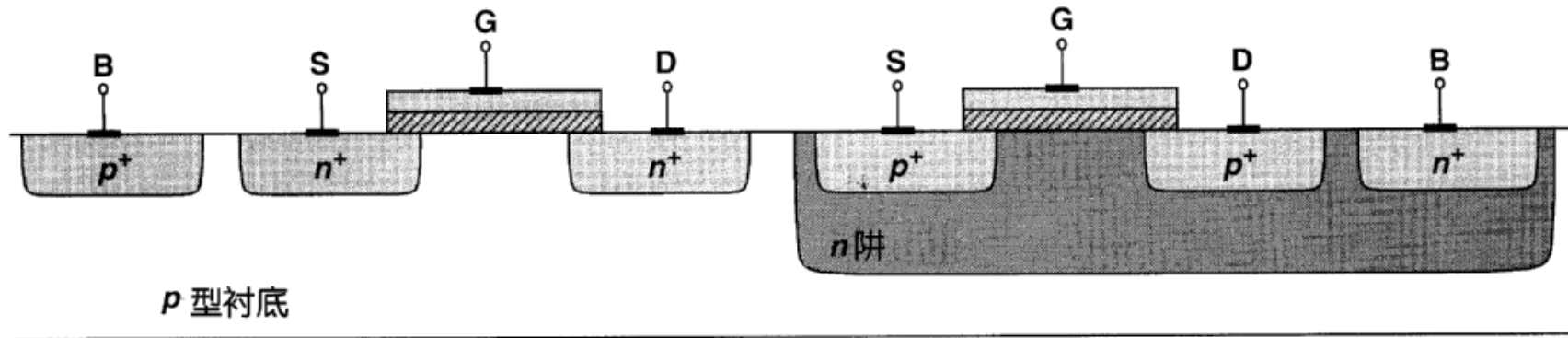
PMOS晶体管的原理与此相同，只是晶体管导通所需的栅电压为负值。



NMOS和PMOS



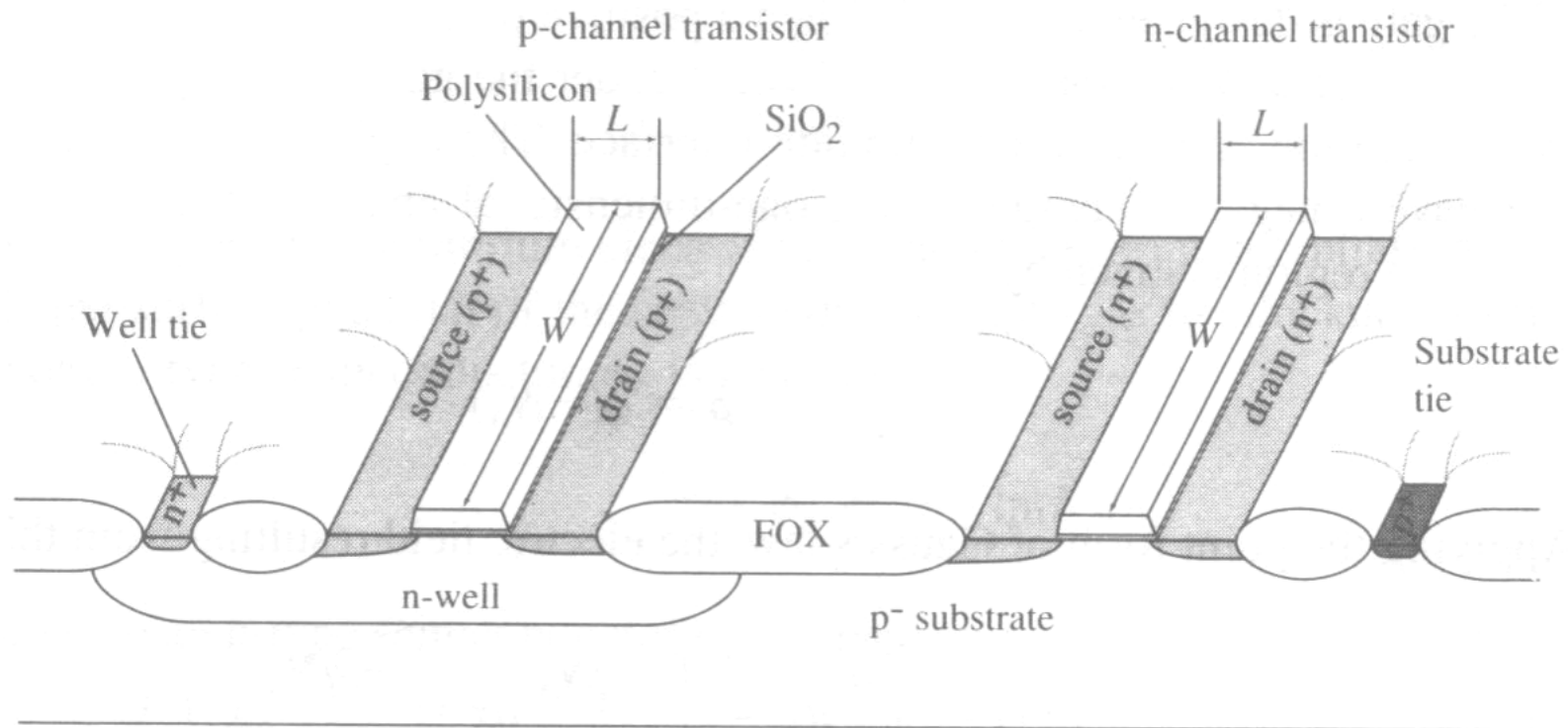
(a)



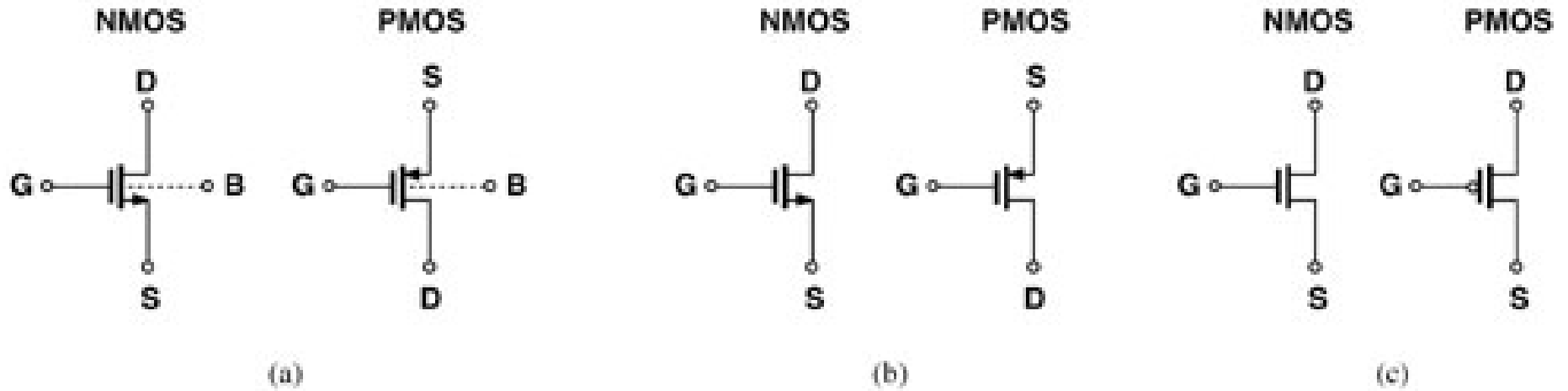
(b)



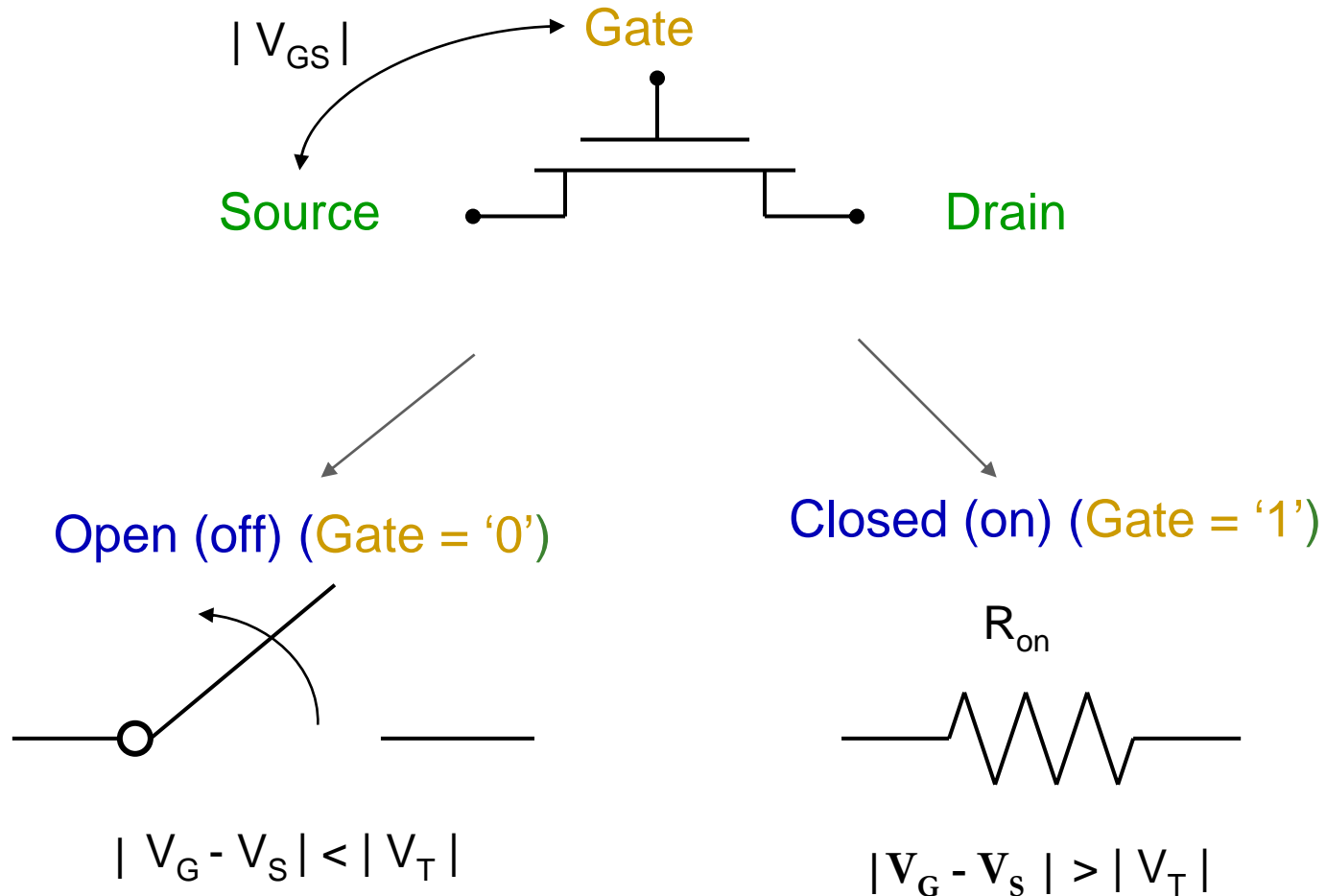
CMOS结构（实际物理结构）



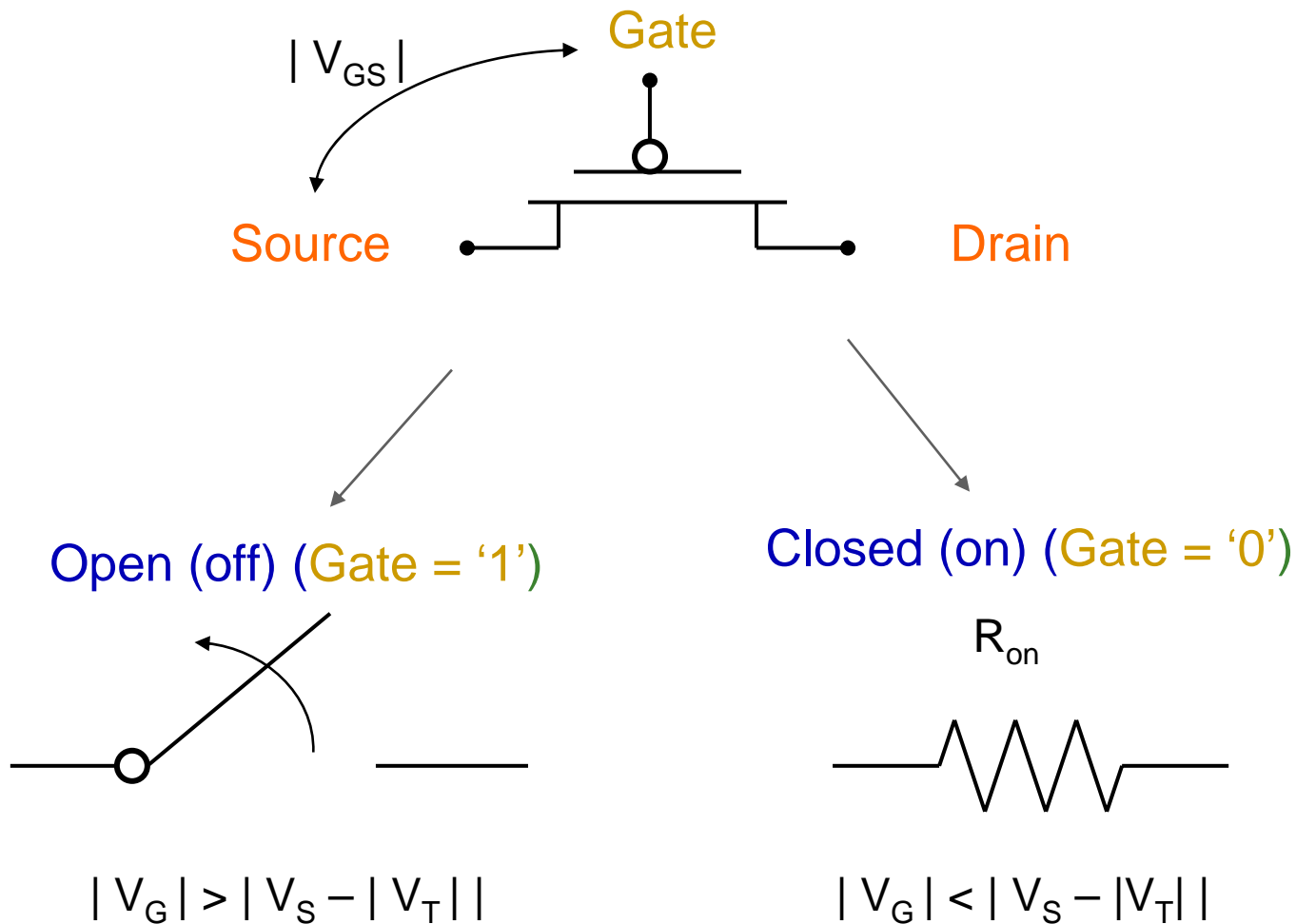
MOS晶体管符号



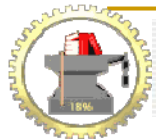
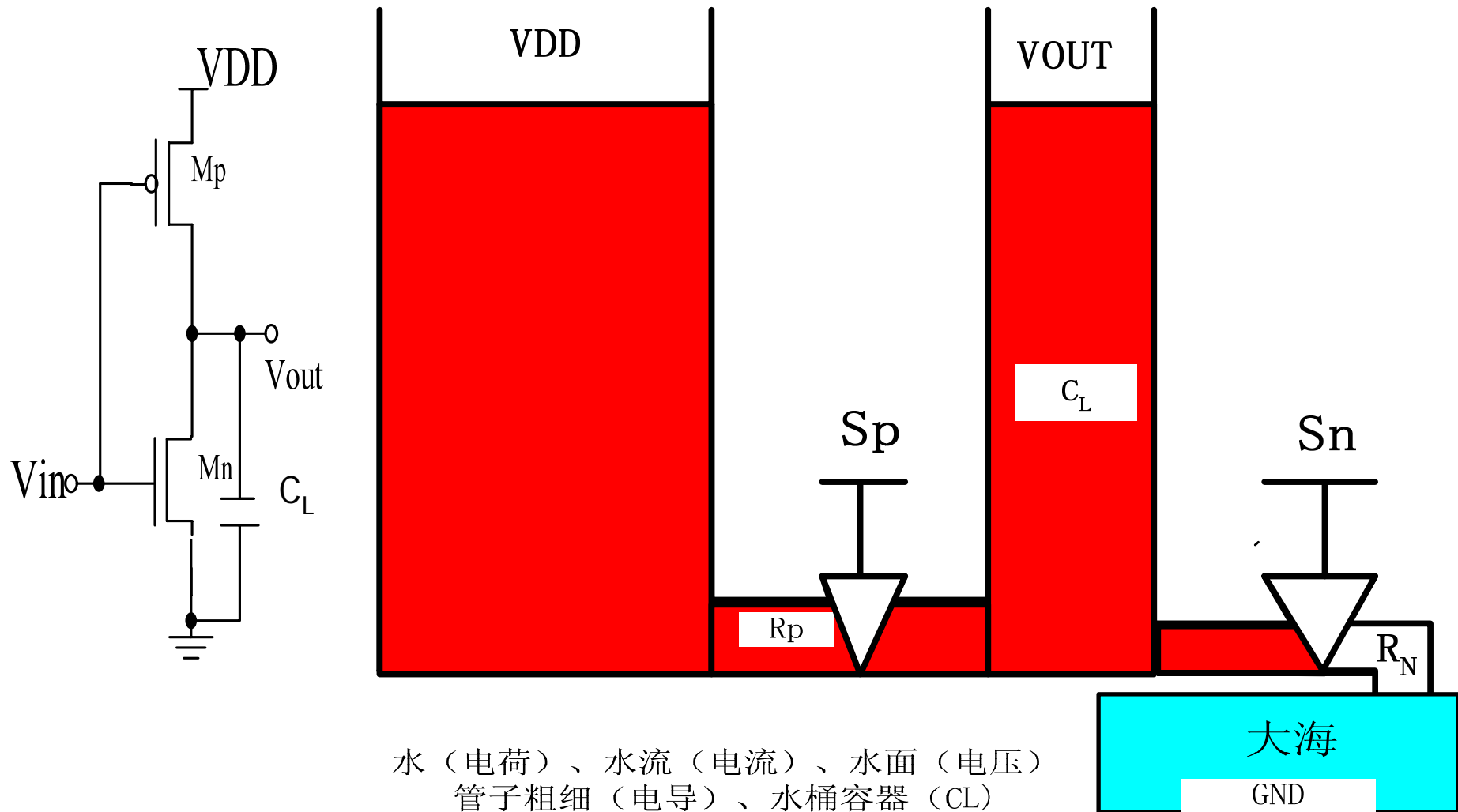
NMOS晶体管开关模型



PMOS晶体管开关模型



CMOS反相器电路结构

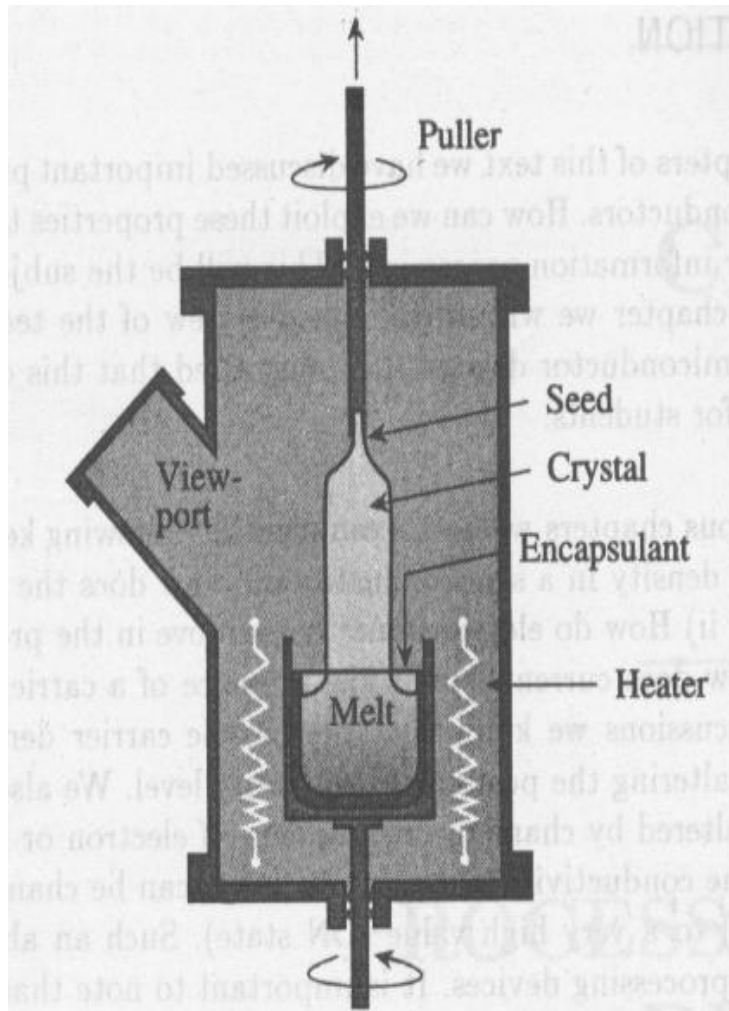


集成电路制造工艺

- 集成电路是经过很多道工序(超过200道)制成的。其中最基础的工艺有：
 - 生产所需类型衬底的**硅圆片工艺**；
 - 确定加工区域的**光刻工艺**；
 - 向芯片中增加材料的**氧化、淀积、扩散和离子注入**工艺；
 - 去除芯片上的材料的**刻蚀工艺**。
- 集成电路的制造就是由这些基础工艺的不同组合构成的。



1. 硅圆片(Wafer)工艺



制造只含有极少“缺陷”的单晶硅衬底圆片。

“切克劳斯基法”：将一块称为籽晶的单晶硅浸入熔融硅中，然后在旋转籽晶的同时缓慢地将其从熔融硅中拉起。结果，就形成圆柱形的大单晶棒。

生长时，可在熔融硅中掺入杂质来获得期望的电阻率。

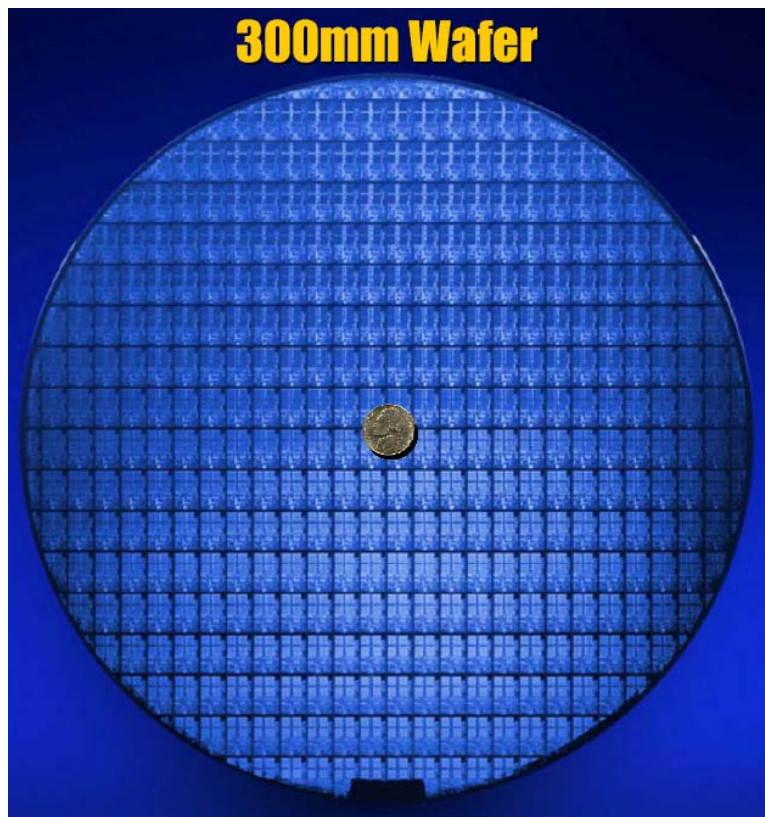
“切克劳斯基法”生长单晶硅



200mm商用直拉单晶硅

在大多数CMOS工艺中，圆片的电阻率为0.05到0.1 $\Omega \cdot \text{cm}$ ，厚度约为500到1000微米。

加工过电路的硅圆片



2 氧化工艺（Oxidation）

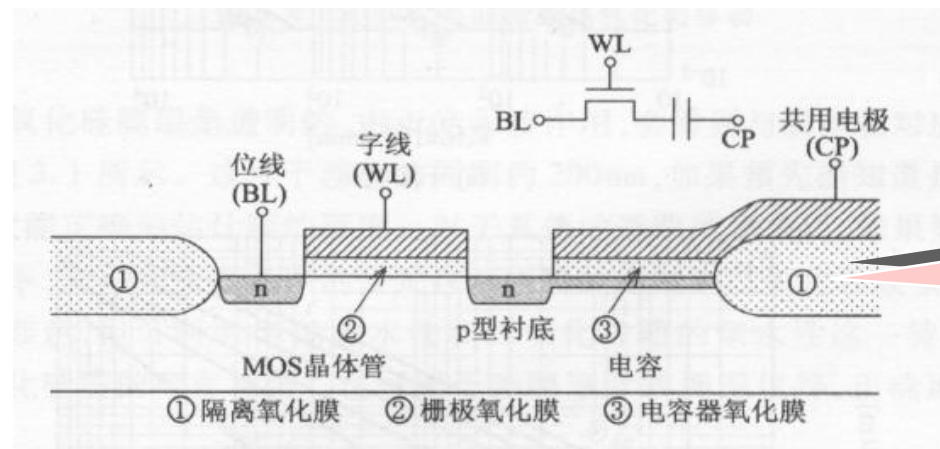
— 在硅片表面生成一层二氧化硅膜

集成电路的基础工艺技术是平面技术，首先将硅表面氧化，然后根据各元器件图形在二氧化硅膜上开设窗口，通过该窗口进行定域操作。多次实施这种平面工艺，在硅片表面形成各种平面的元器件以及互连。这种技术之所以能实施的关键在于：能比较容易地获得适应这些工艺的优质的二氧化硅膜，即可以在硅表面生成非常均匀的氧化层而几乎不在晶格中产生应力。



氧化膜的用途

- 光刻掩蔽膜(选择扩散的掩蔽层，离子注入的阻挡层)
- MOS管的绝缘栅材料 (gate oxide)，高质量要求
- 电路隔离介质或绝缘介质，包括多层金属间的介质
- 电容介质材料
- 器件表面保护或钝化膜



隔离氧化膜
Field oxide



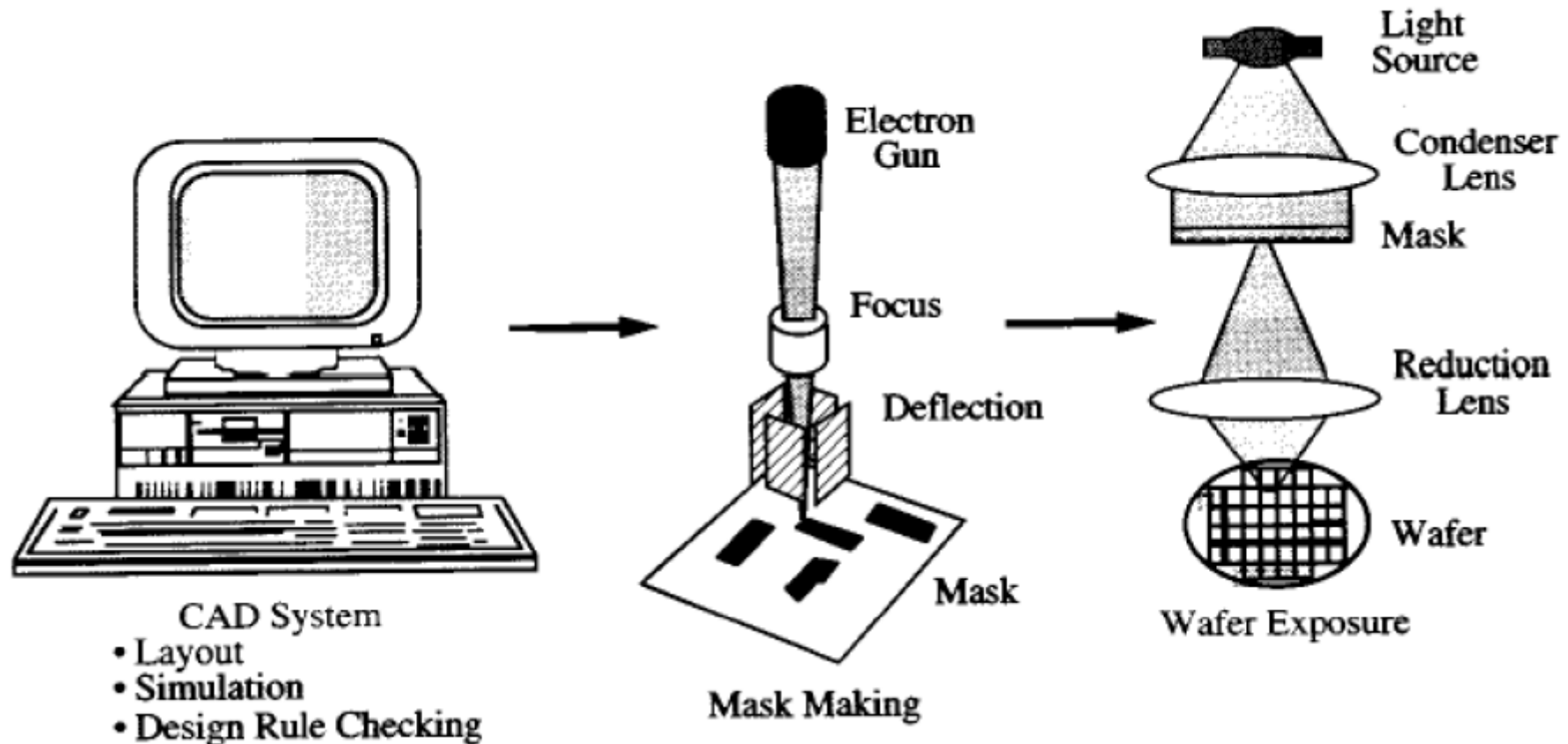
氧化膜的生长方法

1. 热氧化：将裸露的硅片放在 1000°C 左右的氧化气氛（如氧气）中生长氧化层。如栅氧、场氧的生长。热氧化时，氧化膜既在硅片表面形成，也向硅片内延伸(1:0.44)。
 - 干氧氧化：速度慢、质量高
 - 湿氧氧化：速度快、质量差
2. CVD (Chemical vapor deposition)。如生长层间绝缘的氧化膜、保护膜。
 - 可在低温下制备氧化层($200\sim 800^{\circ}\text{C}$)



3 光刻工艺 (Photolithography)

—将电路图形转移到晶片上



Design(layout) => Mask => Wafer



光刻的概念

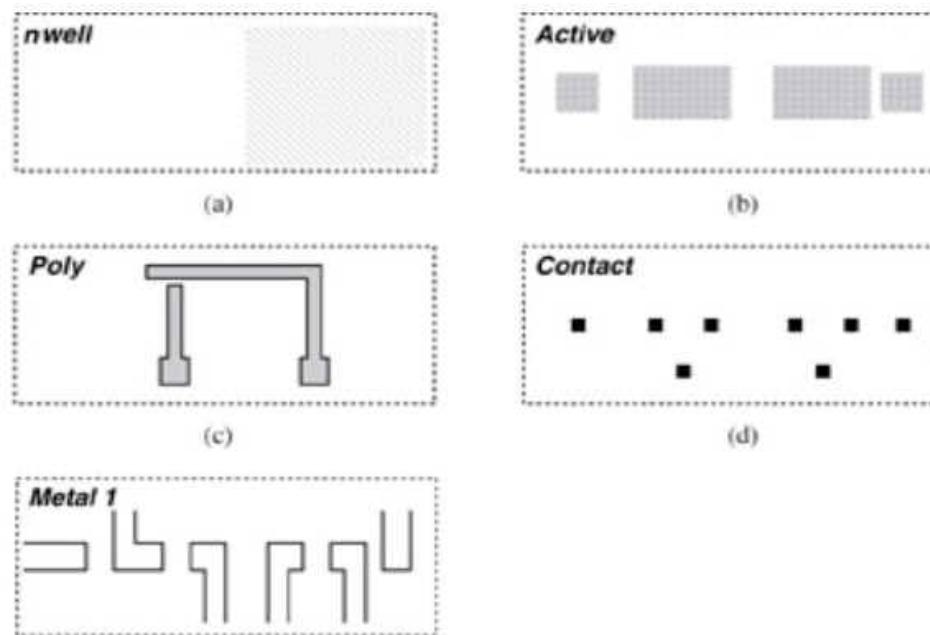
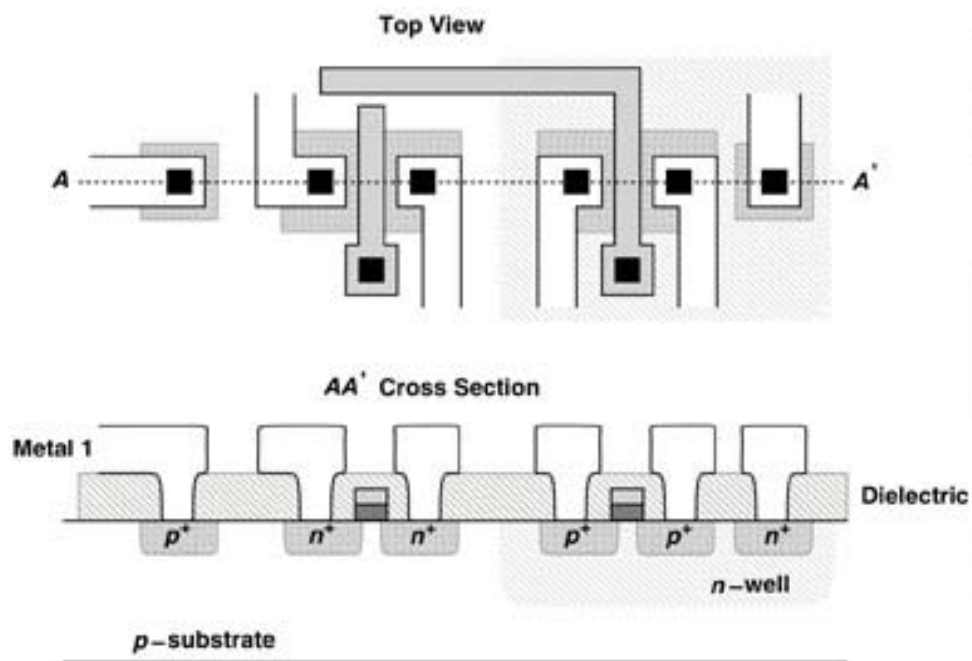
- IC由不同层次的材料组成的。每一层上的图形各不相同。在每一层上形成不同图形的过程叫光刻。
- 版图由代表不同类型“层”的多边形组成。
- 在IC工艺中制作每一层时，都需要用掩模版来确定在什么位置进行掺杂、腐蚀、氧化等。光刻是确定集成电路加工区域的一种手段。
- 光刻的目的就是在二氧化硅或金属薄膜上面刻蚀出与掩模版(Mask)上完全对应的几何图形，从而实现选择性掺杂、腐蚀、氧化等目的。
- 集成电路是由多个不同的层构成的(阱、扩散/注入区、多晶硅、金属等)，每个层的加工过程(从下往上进行)，都是由一个完整的光刻工艺过程构成。



光刻需要的掩模

版图 Layout

掩模 Mask

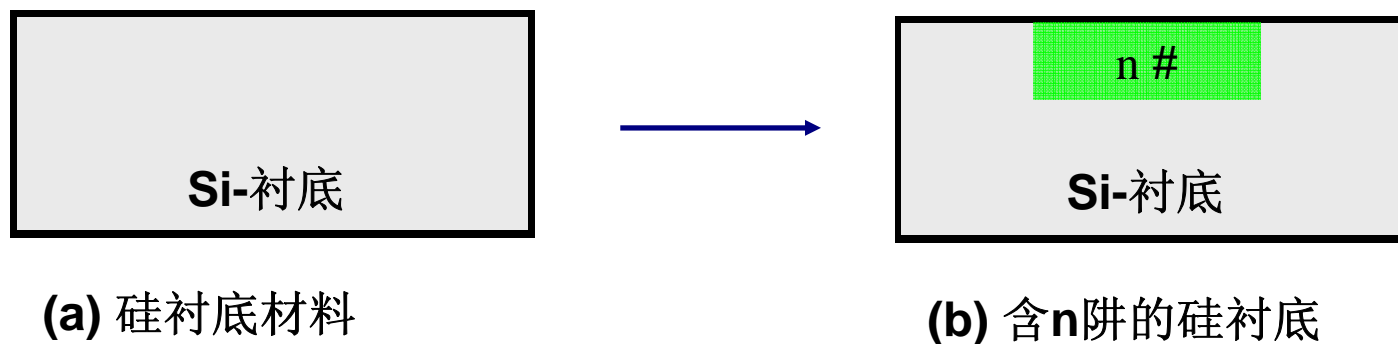


CMOS电路版图和断面构造

CMOS工艺中使用的掩模
(与左图对应)



光刻过程



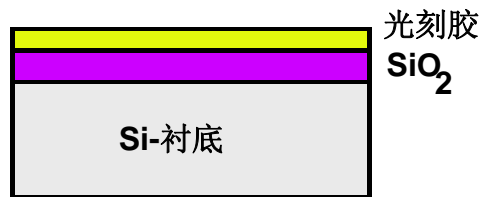
- 假如要在一个硅衬底材料上形成n阱，如何用光刻工艺完成？



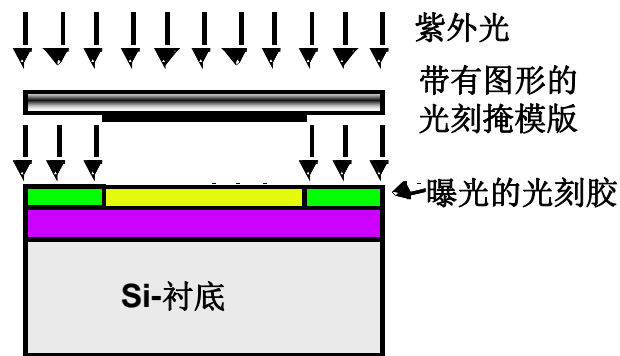
光刻工艺的主要步骤:



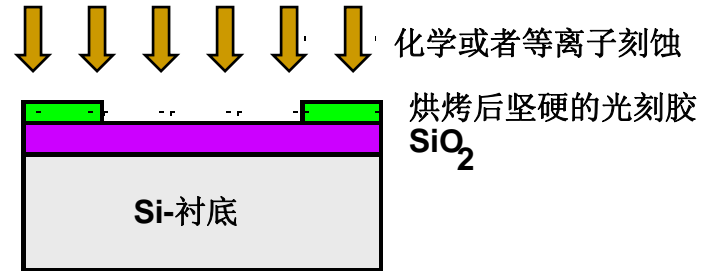
(a) 硅衬底材料



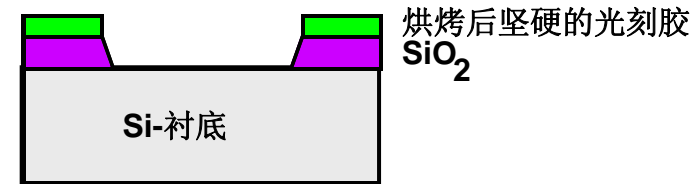
(b) 氧化生长SiO₂和淀积光刻胶之后



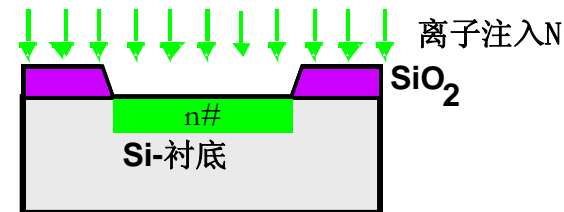
(c) 光刻机曝光



(d) 显影并刻蚀掉光刻胶, 利用化学方法或者等离子刻蚀SiO₂



(e) 刻蚀SiO₂之后



(f) 去除光刻胶之后注入N

光刻的基本要素是掩模版和光刻胶。



光刻的主要步骤

完成掩模版图形到硅表面材料层上图形的转移

- (1)涂胶(匀胶): 正胶和负胶。
- (2)前烘: 烘干光刻胶。
- (3)对准与曝光: 使光刻胶发生光化学反应。
- (4)显影: 未受光照的胶被显影液溶解掉(负胶), 在表面形成胶的光刻窗口。
- (5)坚膜(后烘): 保证胶与 SiO_2 层的粘附质量。
- (6)腐蚀: 采用腐蚀液(湿法)或在等离子体中(干法)将无胶膜保护的 SiO_2 层去除。
- (7)去胶。



正光刻胶和负光刻胶

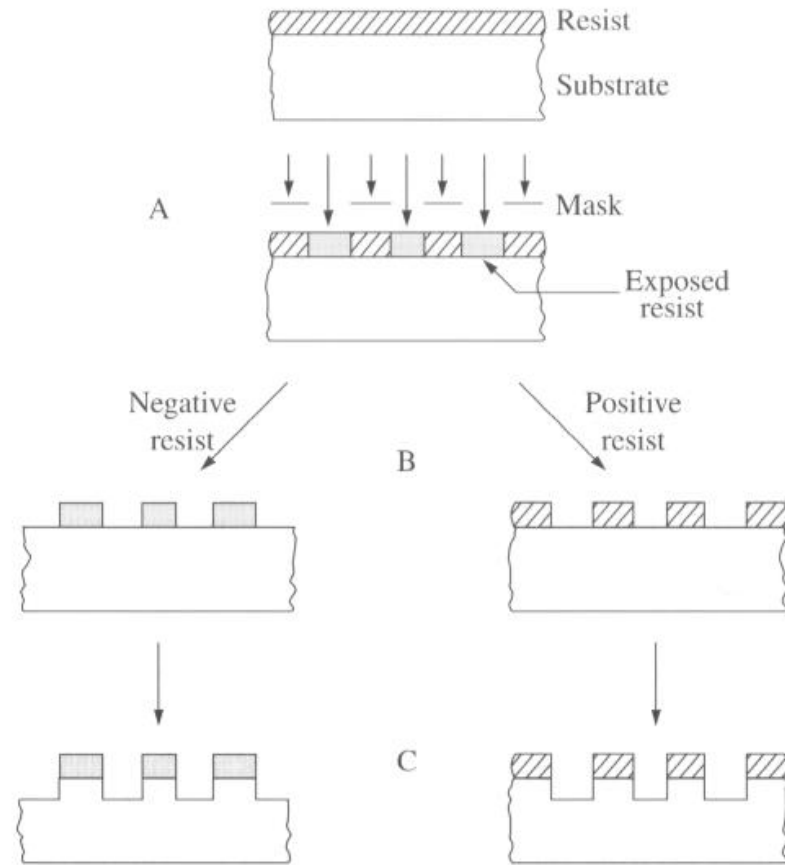


Figure 3.5: The use of positive and negative resist for pattern imaging



集成电路的集成度主要由光刻工艺到底能形成多么精细的图形(分辨率, 清晰度), 以及与其它层的图形有多高的位置吻合精度(套刻精度)来决定的。因此, 为提高光刻工艺的精度, 除利用性能优良的光刻胶外, 还需要有性能良好的曝光系统。

紫外光为光源的曝光方式:

接触式曝光、接近式曝光、**投影式曝光**

其它曝光方式:

X射线曝光、电子束曝光



常见的光刻曝光方法

- 接触式曝光：

分辨率 $<0.5\mu\text{m}$ ；掩模版易损坏；容易累积缺陷；

- 接近式曝光；

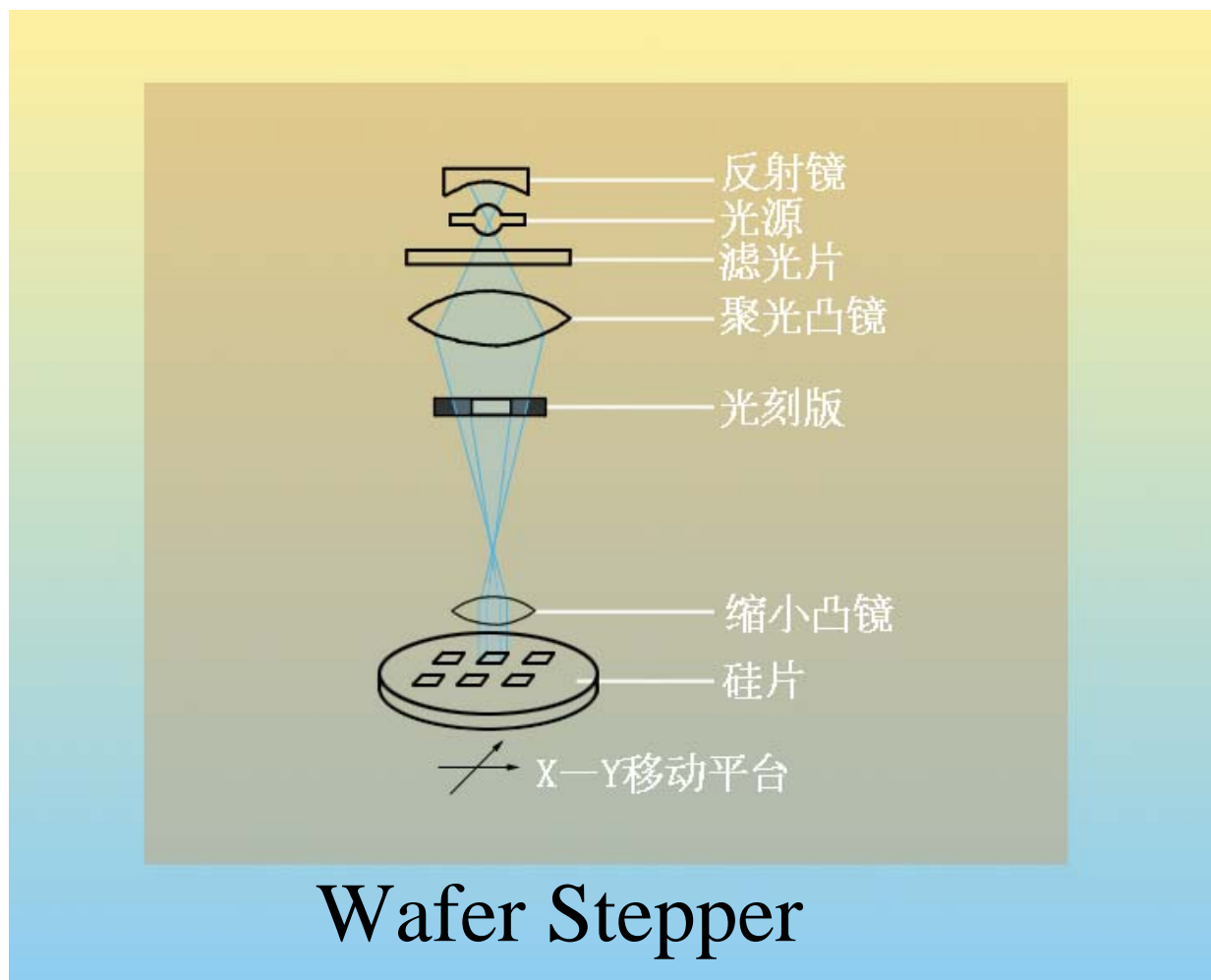
硅片和掩模版之间的间隙在 $10\sim 25\mu\text{m}$ ；

对于可见光，分辨率约 $1\mu\text{m}$ ；对X-ray，分辨率可以很高；

- 投影式曝光（目前最常用的）



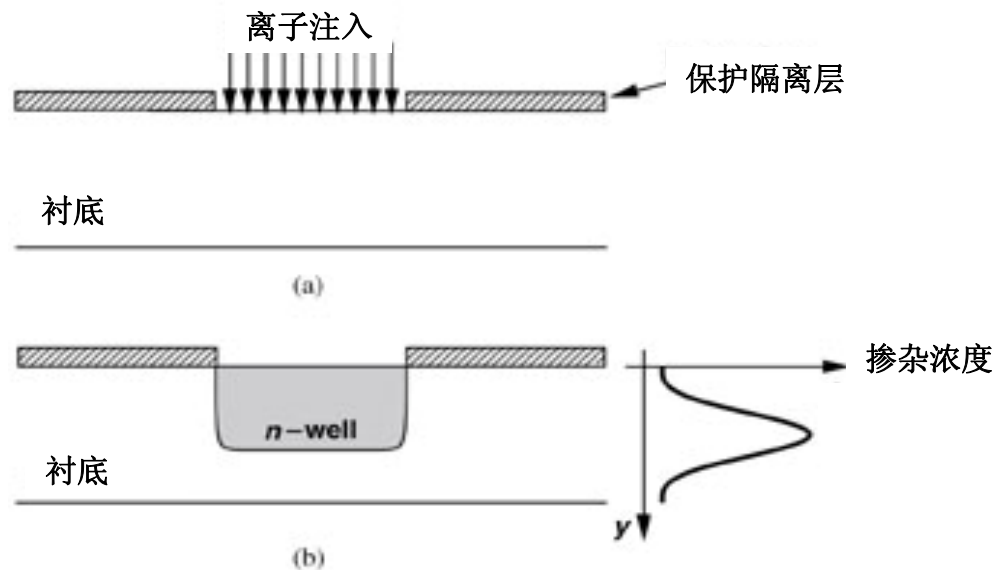
投影式曝光系统



4 掺杂工艺 (Doping)

选择掺杂的方法有：扩散法和离子注入法。

1. 扩散法 (diffusion) 是将掺杂气体导入放有硅片的高温炉中，将杂质扩散到硅片内的一种方法。
2. 目前最常用的掺杂方法是离子注入法 (Ion Implantation)。它将杂质原子变为高能离子束，用其轰击衬底表面使杂质注入硅片内的一种方法。需要进行退火处理。



5 刻蚀工艺 (Etching)

——去除无保护层的表面材料的工艺

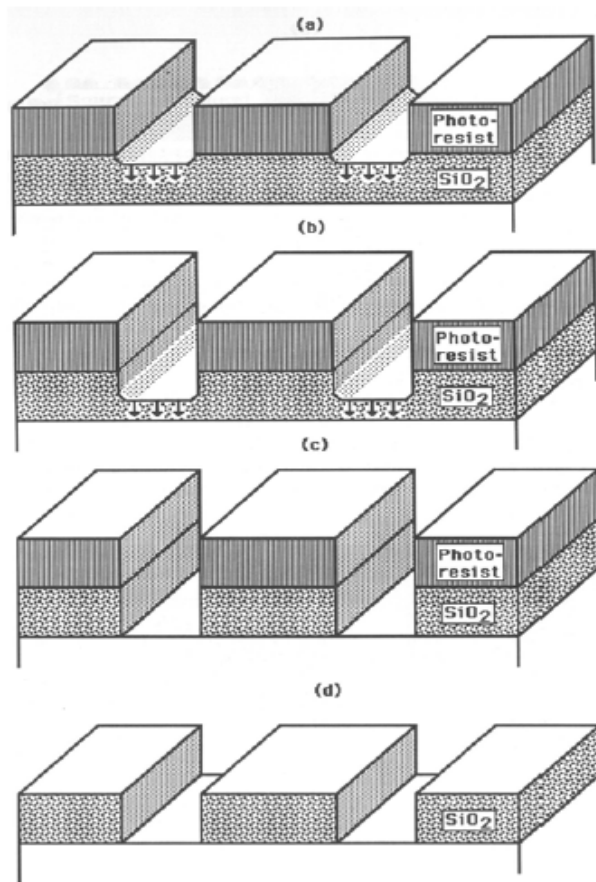
用光刻方法制成的微图形，只是在光刻胶上得到了需要的微图形，还不是真正的器件结构。因此需将光刻胶上的微图形转移到胶下面的各层材料上去，这个工艺叫做刻蚀。通常是用光刻工艺形成的光刻胶作掩模对下层材料进行腐蚀，去掉不要的部分，保留需要的部分。

刻蚀技术可分成两大类：

- 湿法腐蚀：进行腐蚀的化学物质是溶液；
- 干法腐蚀(一般称为刻蚀)：进行刻蚀的化学物质是气体。



干法刻蚀和湿法刻蚀比较



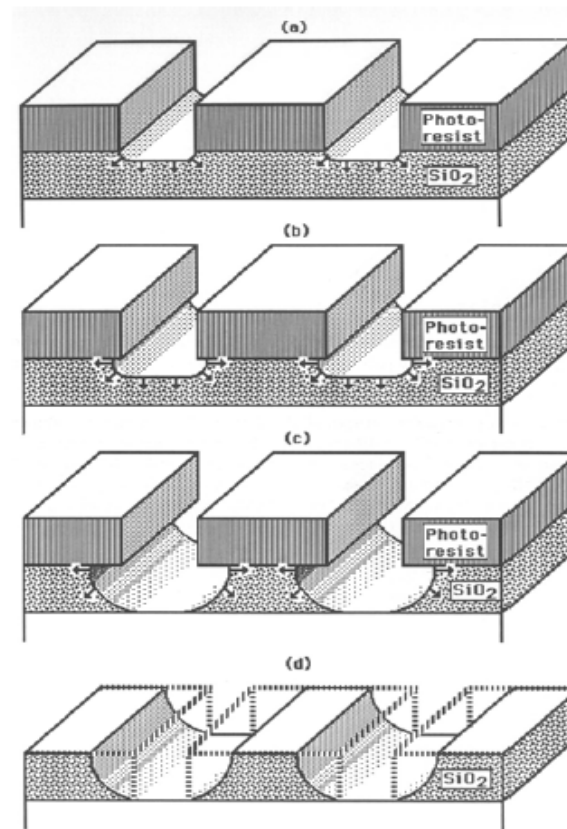
光刻胶掩模图形

刻蚀薄膜

刻蚀完成

去除光刻胶

各向异性
(例如: 反应离子刻蚀)



各向同性
(例如: 湿法刻蚀)



6 薄膜淀积工艺 (Thin film deposition)

— 在硅片上淀积各种材料的工艺

器件制造过程中还需要在晶片上淀积许多不同材料，如多晶硅、互连层之间的绝缘材料以及互连金属层。

薄膜的淀积方法：

(1) CVD (Chemical Vapor Deposition)

多晶硅膜、二氧化硅膜、氮化硅膜

(2) PVD (Physical Vapor Deposition)

金属薄膜



集成电路制造主要工艺

■ 图形转换：

- 光刻：接触光刻、接近光刻、投影光刻、电子束光刻、X射线光刻
- 刻蚀：干法刻蚀、湿法刻蚀、CMP

■ 掺杂：

- 离子注入
- 扩散

■ 制膜：

- 氧化：干氧氧化、湿氧氧化等
- CVD：APCVD、LPCVD、PECVD
- PVD：蒸发、溅射



集成电路制造主要工艺(小结)

- 氧化工艺 (热氧化和化学气相淀积)
- 光刻工艺、刻蚀
- 掺杂工艺 (扩散法和离子注入法)
- 金属化工艺 (PVD: 真空蒸发, 溅射)
- 掩膜版制造



CMOS工艺技术

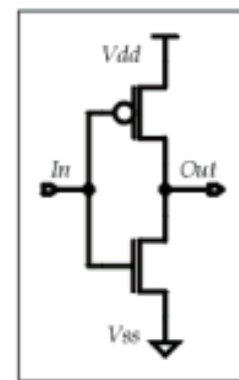
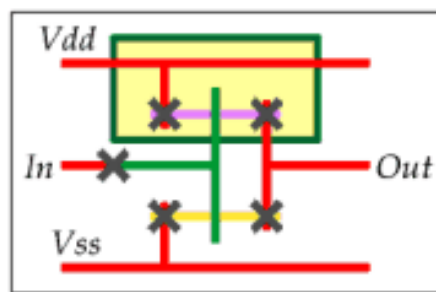
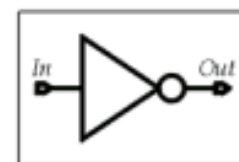
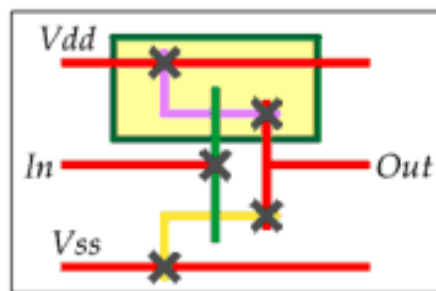
- 体硅工艺
 - P阱CMOS工艺
 - N阱CMOS工艺
 - 双阱CMOS工艺
- SOI(Silicon On Isolator)工艺



CMOS工艺流程(以N阱CMOS为例)

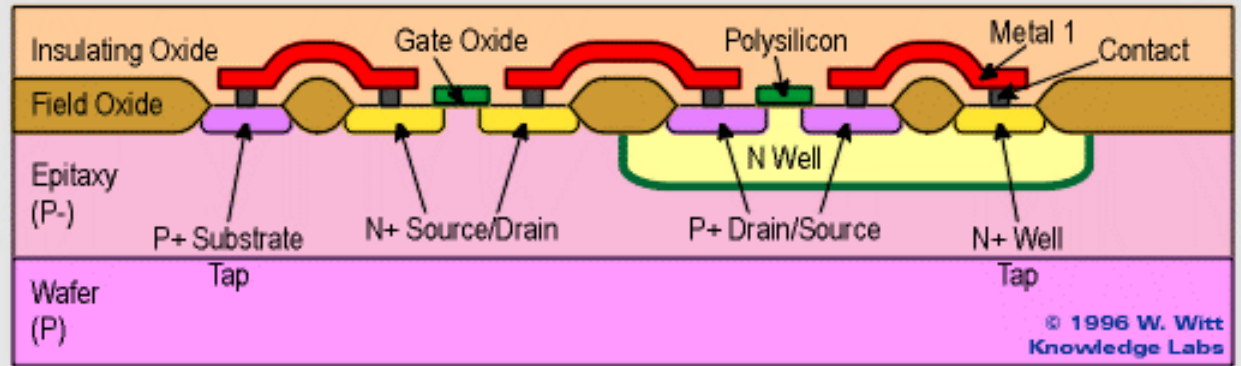
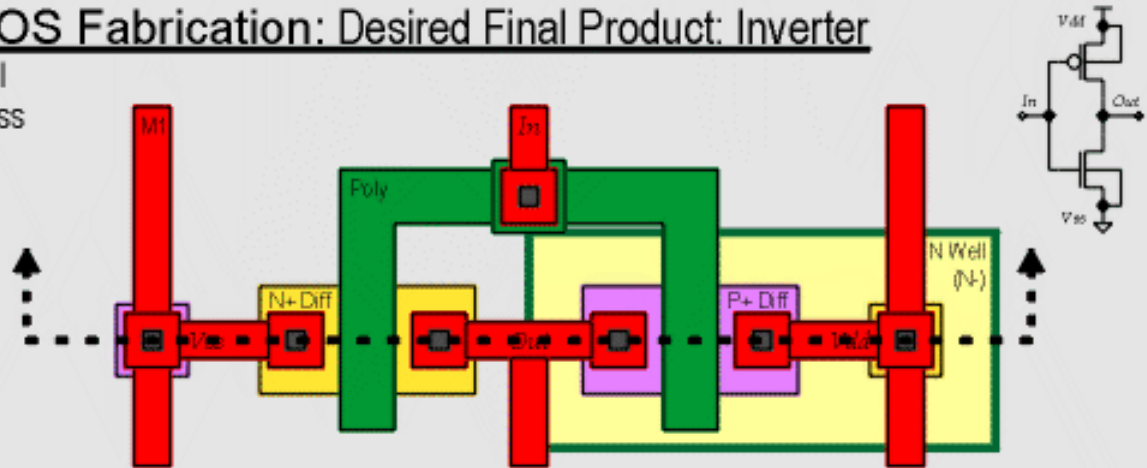
CMOS1 Layout Color Legend

N+ Diffusion	yellow fill
P+ Diffusion	purple fill
N Well	dark green outline light yellow fill
Polysilicon	green fill
Metal	red fill
Contact	gray fill



CMOS Fabrication: Desired Final Product: Inverter

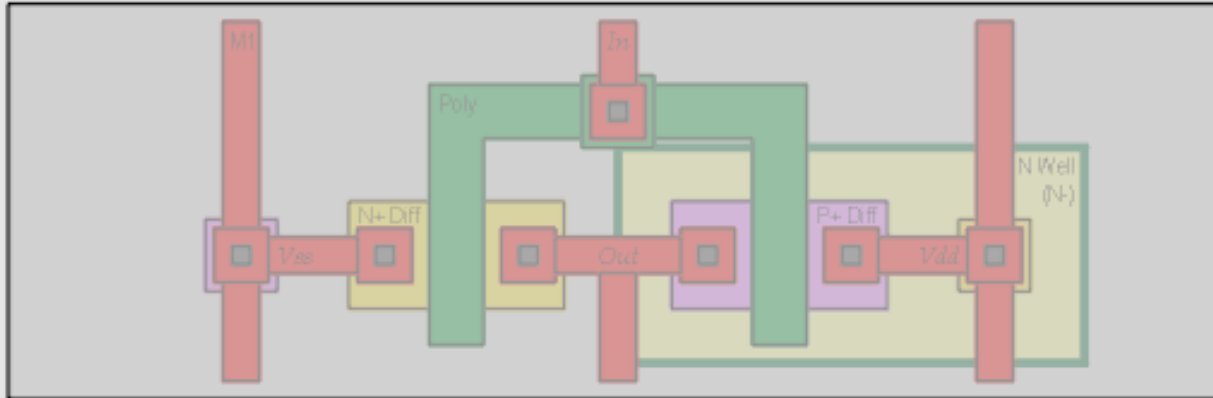
N-Well
Process



© 1996 W. Witt
Knowledge Labs



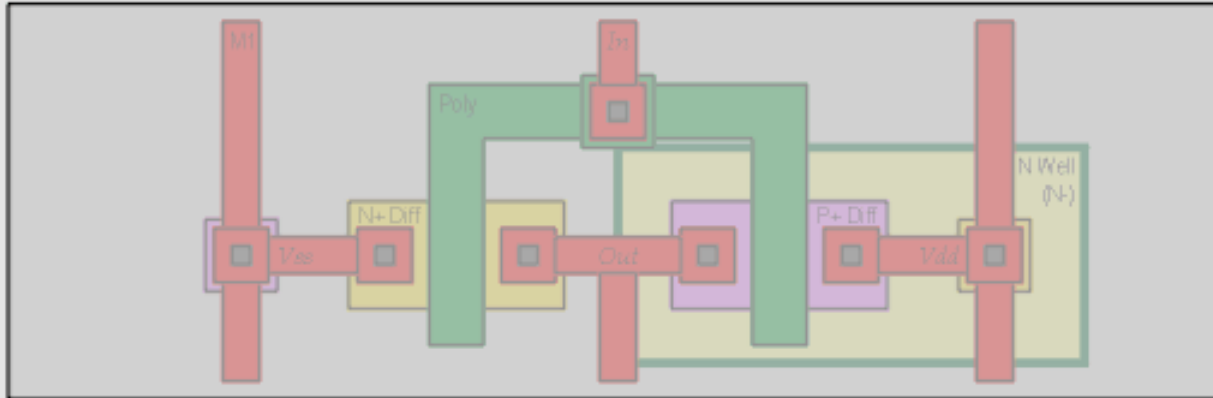
CMOS Fabrication: Substrate: P Silicon Wafer



© 1996 W. Witt
Knowledge Labs



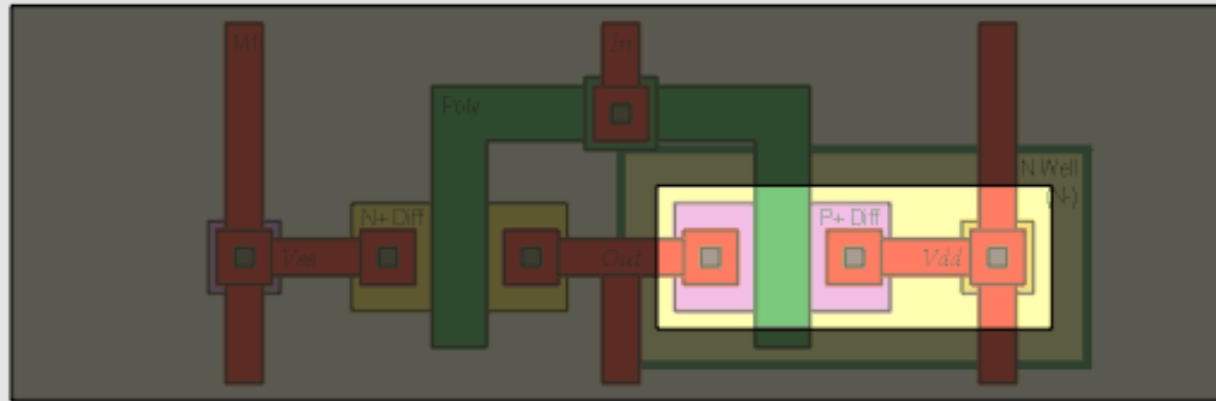
CMOS Fabrication: Well Region: Resist Deposited



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Well Region: Well Mask

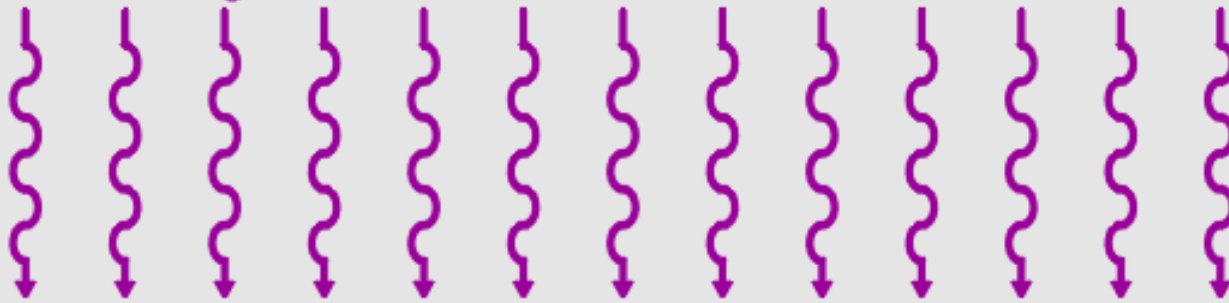


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Well Region: Resist Exposed

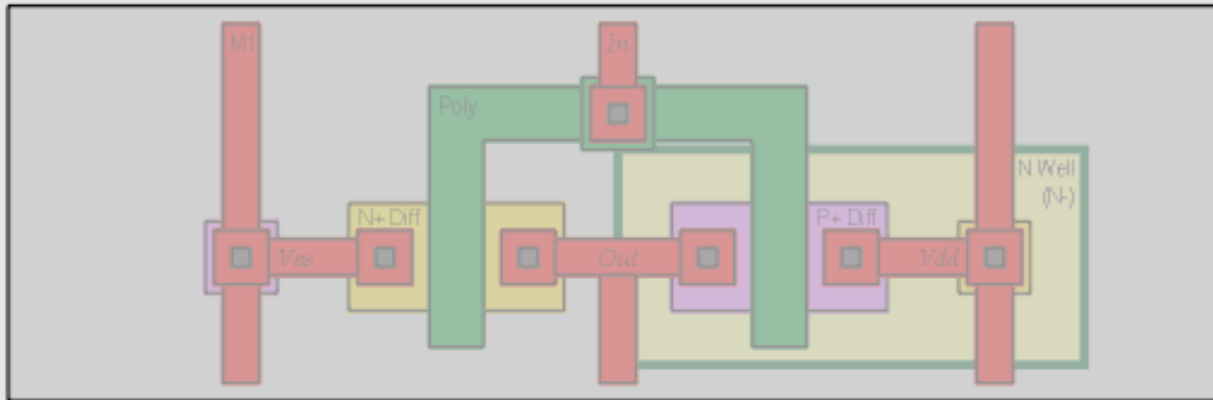
UV Light



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Well Region: Exposed Resist Removed

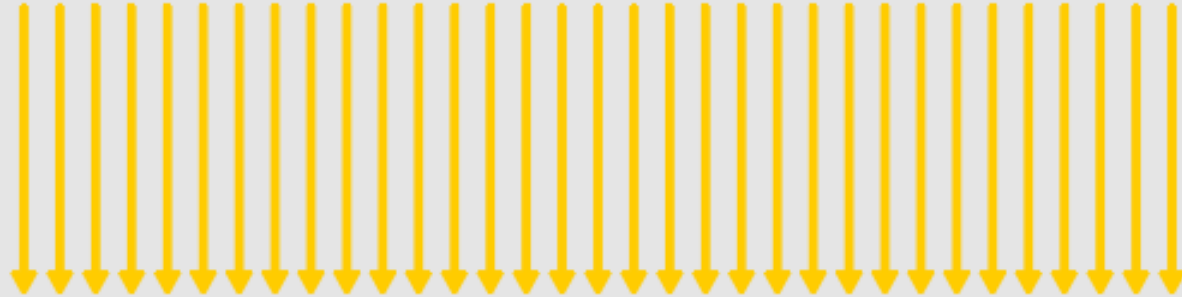


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Well Region: N-Dopant Implanted

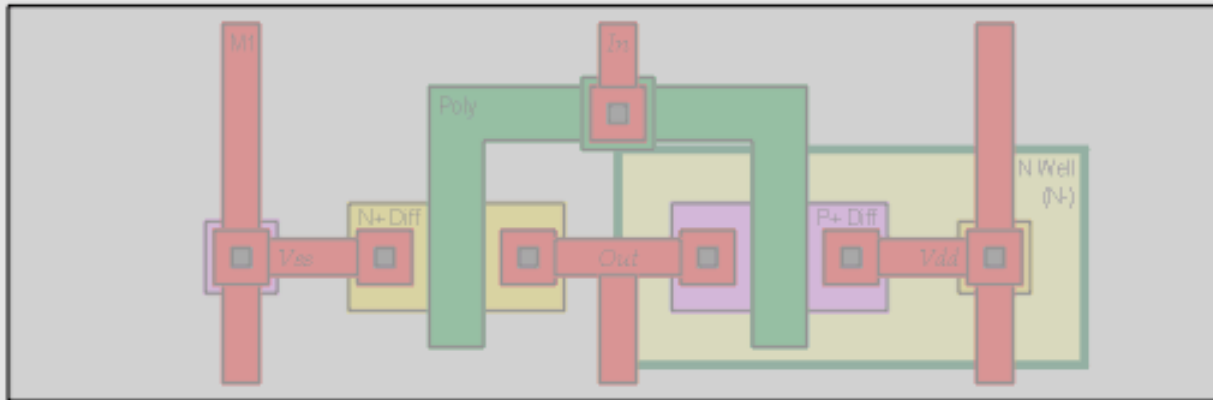
N-Dopant: Arsenic or Phosphorous Ions



© 1996 W. Witt
Knowledge Labs



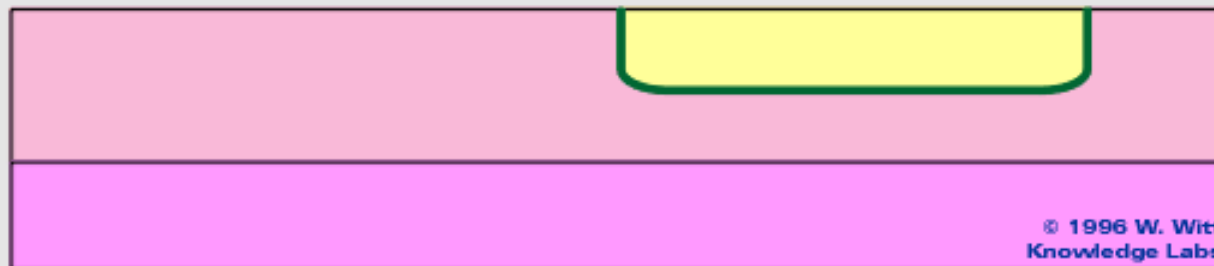
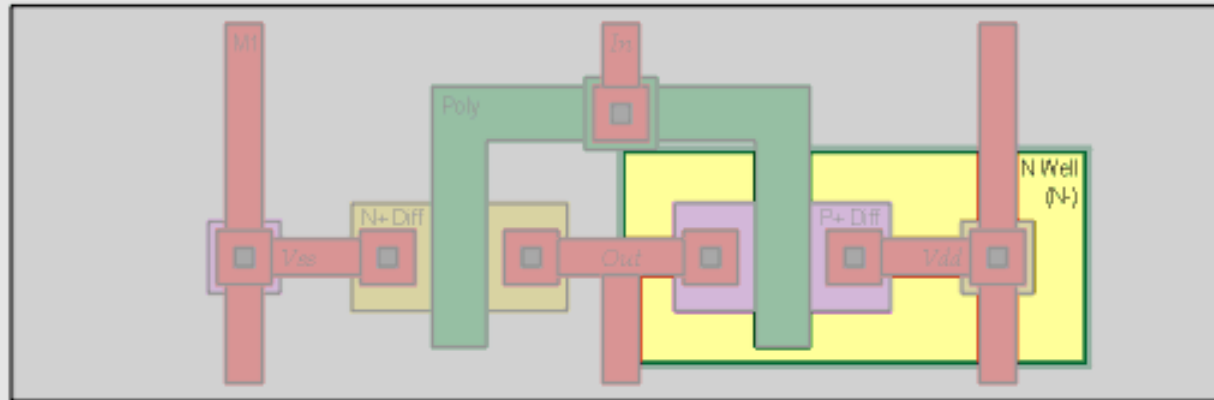
CMOS Fabrication: Well Region: Remaining Resist Removed



© 1996 W. Witt
Knowledge Labs



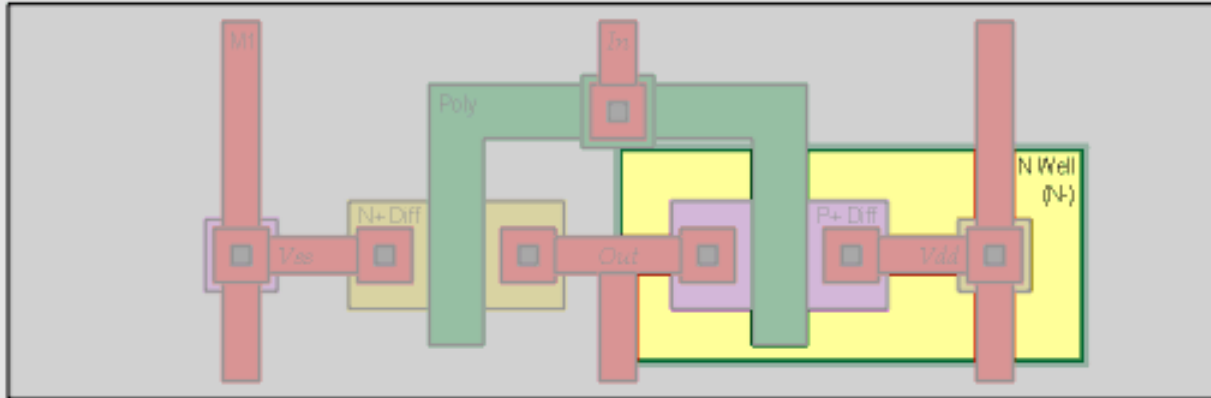
CMOS Fabrication: Well Region: N-Dopant Diffused



© 1996 W. Witt
Knowledge Labs



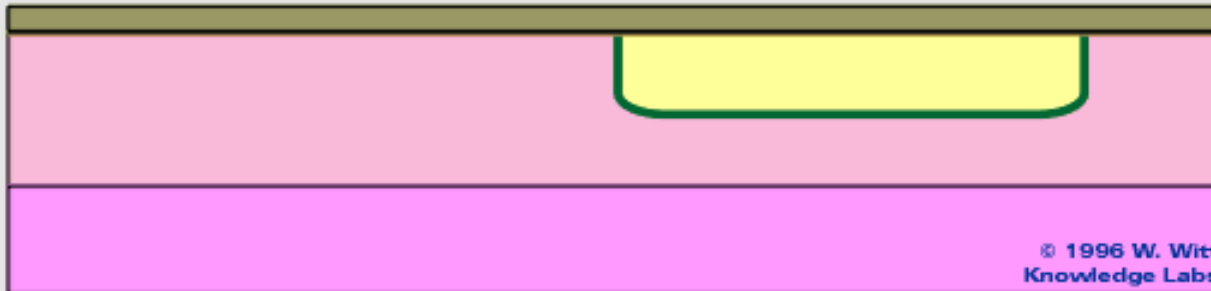
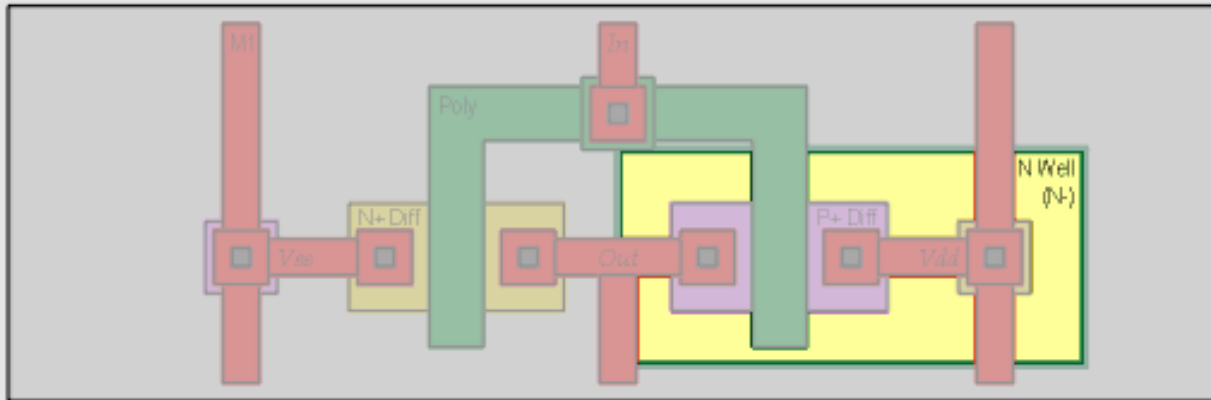
CMOS Fabrication: Field Oxide: Thin Sacrificial Oxide Grown



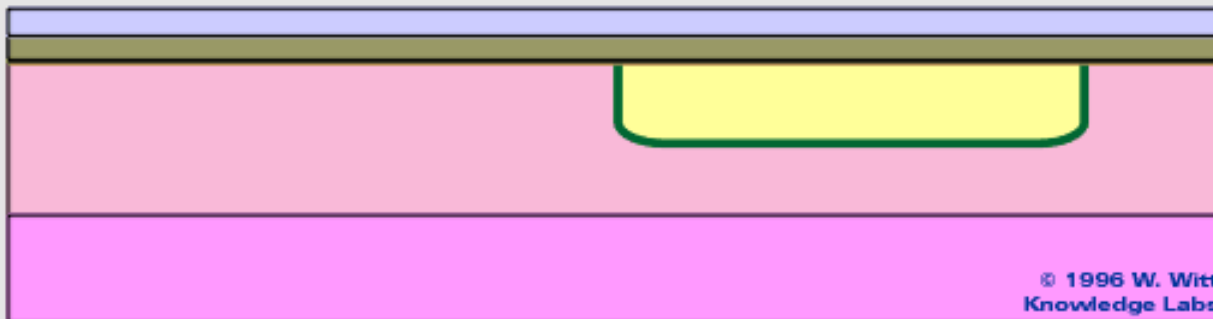
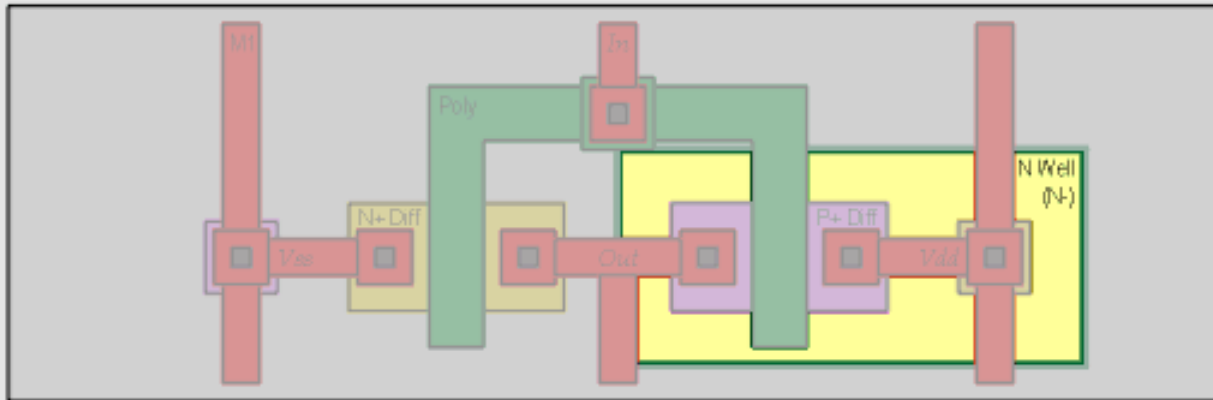
© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Field Oxide: Nitride Deposited



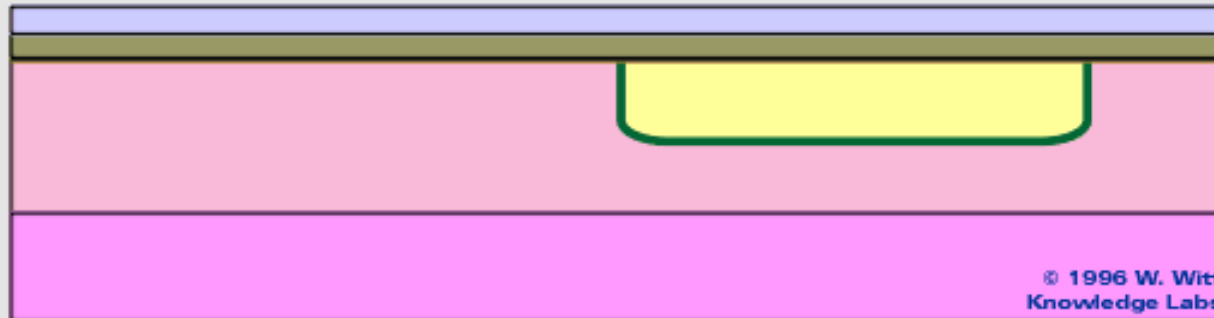
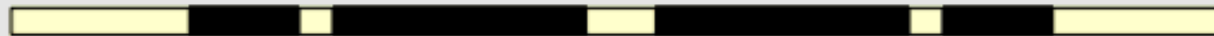
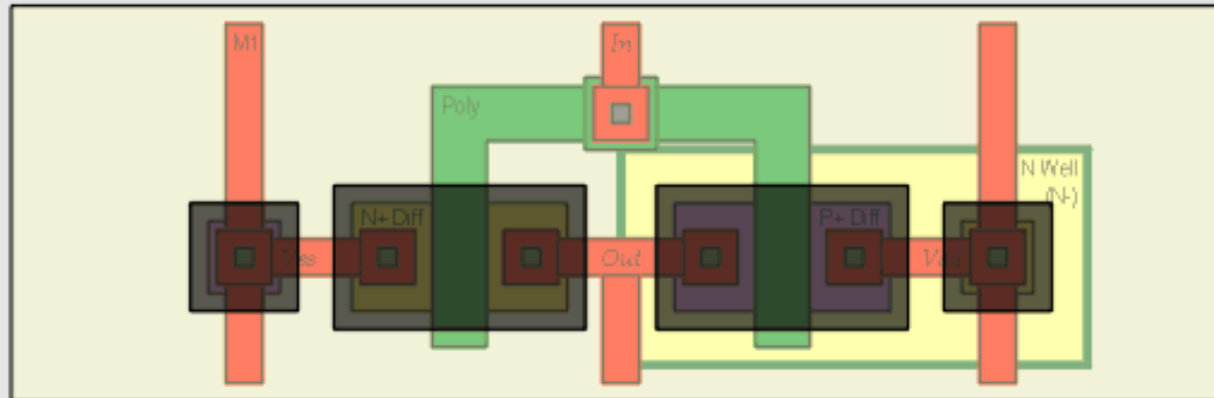
CMOS Fabrication: Field Oxide: Resist Deposited



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Field Oxide: Source/Drain/Tap Region Mask

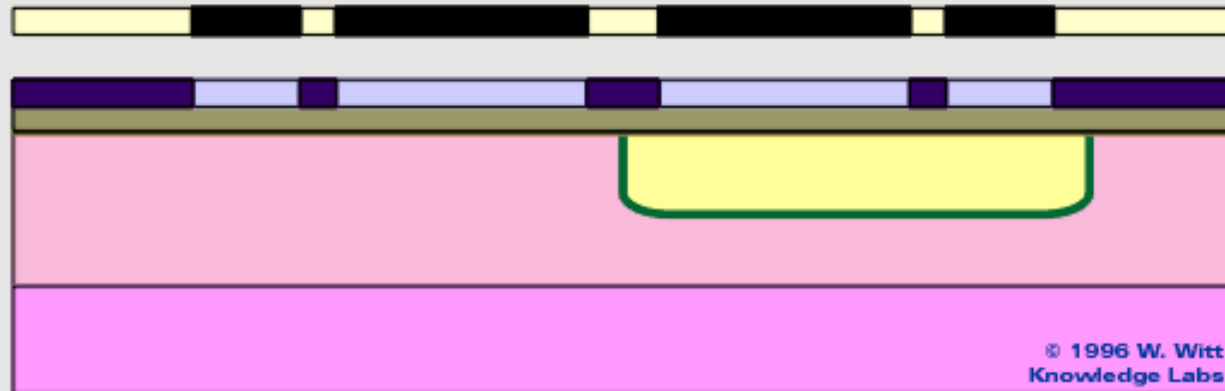
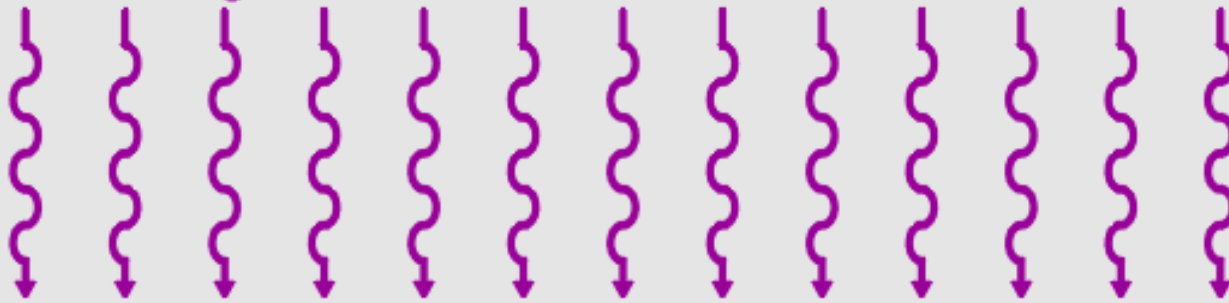


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Field Oxide: Resist Exposed

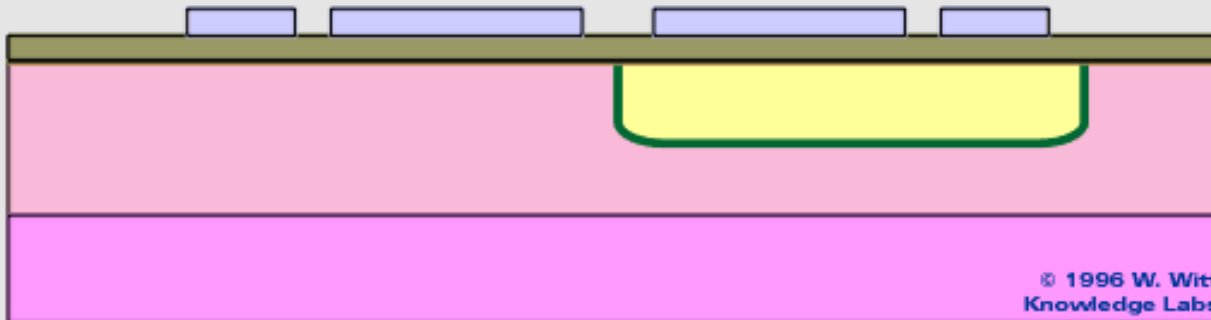
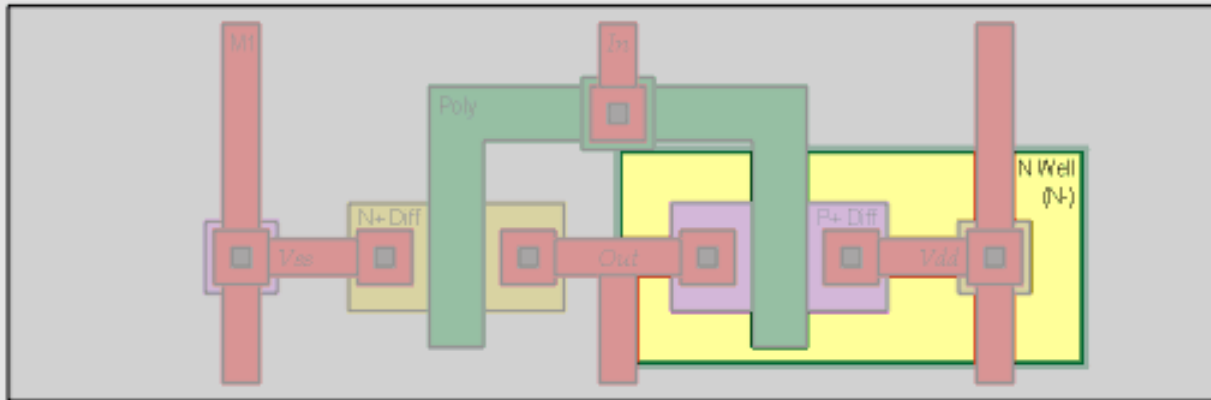
UV Light



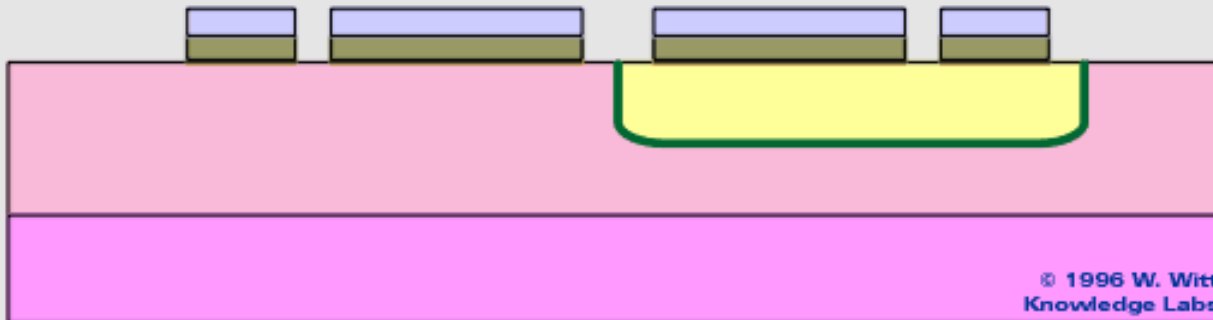
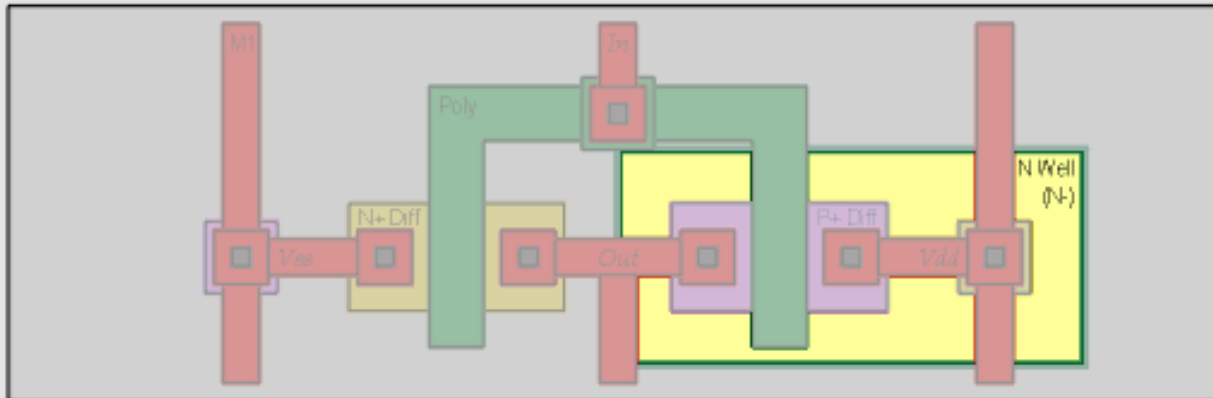
© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Field Oxide: Exposed Resist Removed



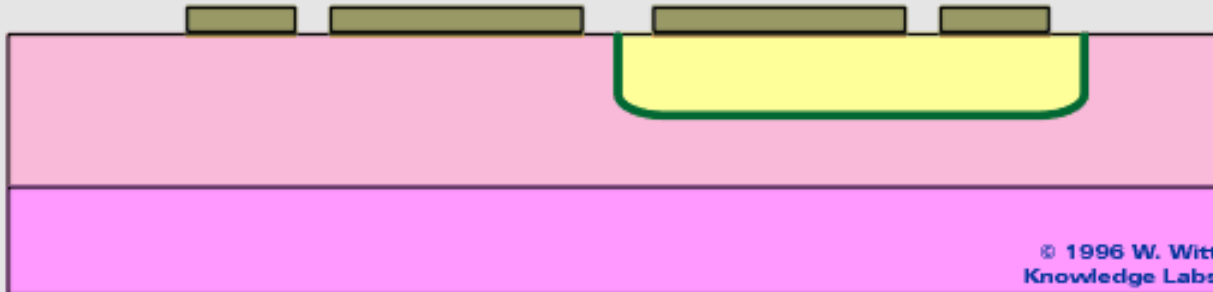
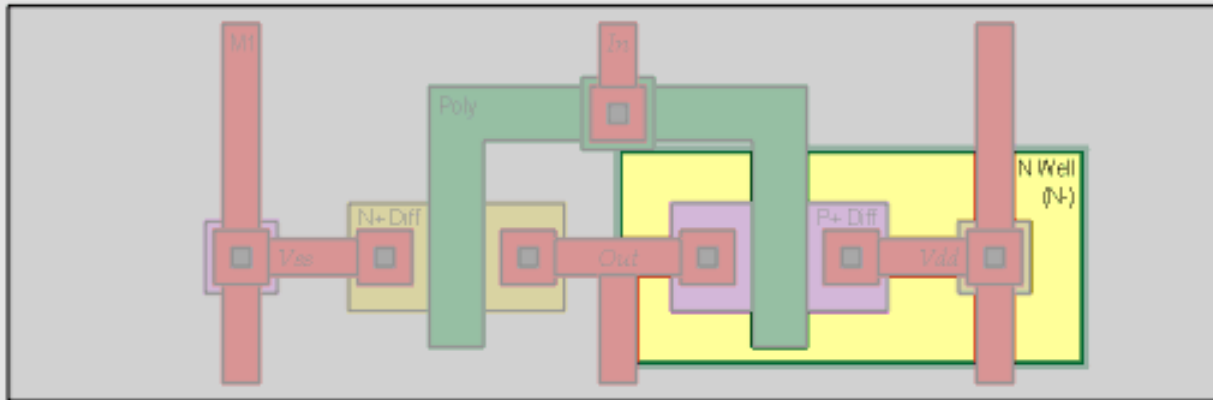
CMOS Fabrication: Field Oxide: Nitride Etched



© 1996 W. Witt
Knowledge Labs



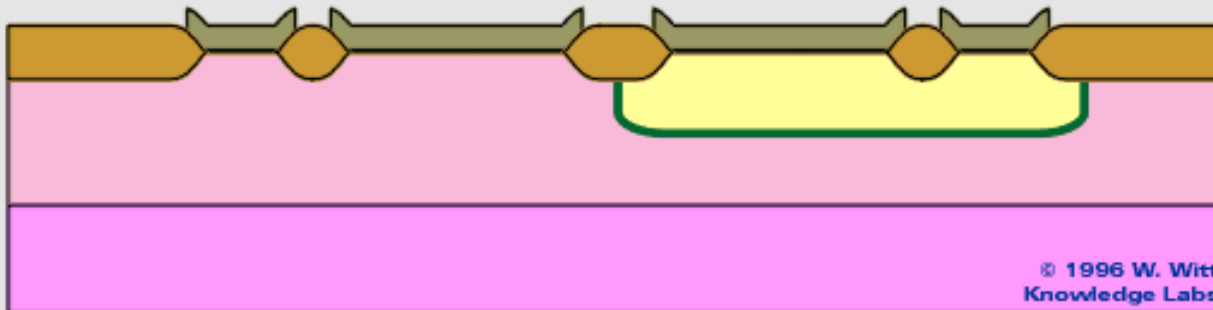
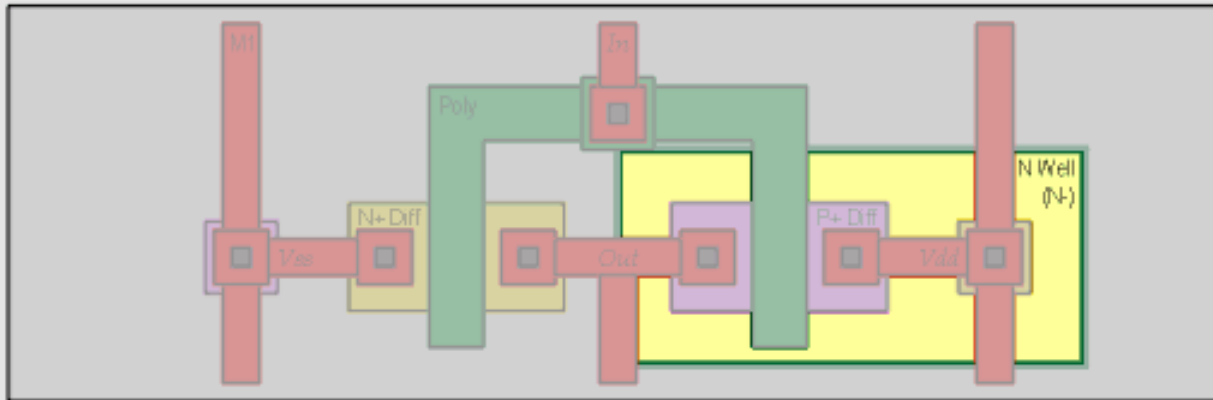
CMOS Fabrication: Field Oxide: Remaining Resist Removed



© 1996 W. Witt
Knowledge Labs



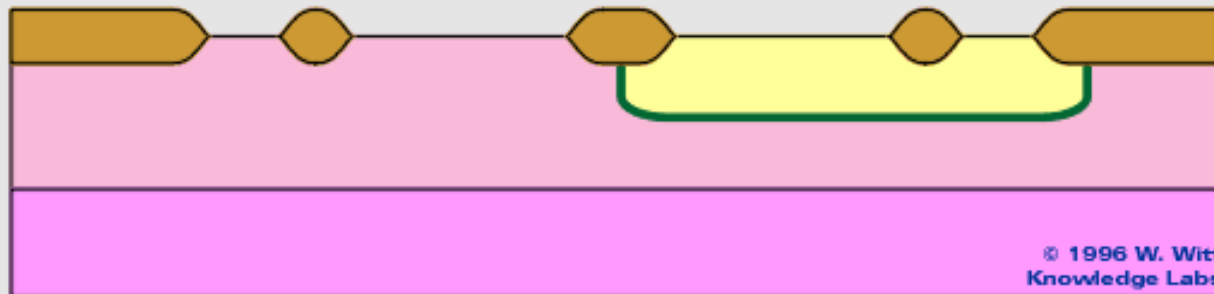
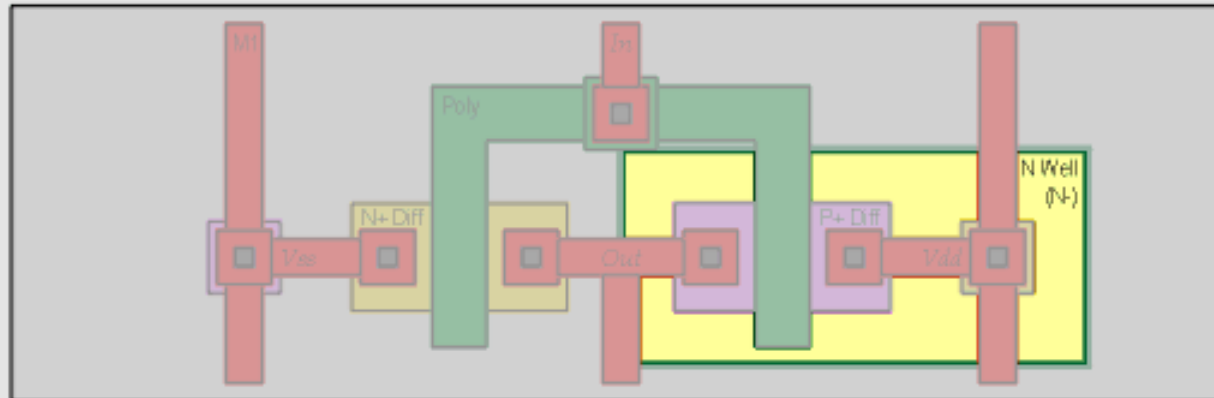
CMOS Fabrication: Field Oxide: Field Oxide Grown



© 1996 W. Witt
Knowledge Labs



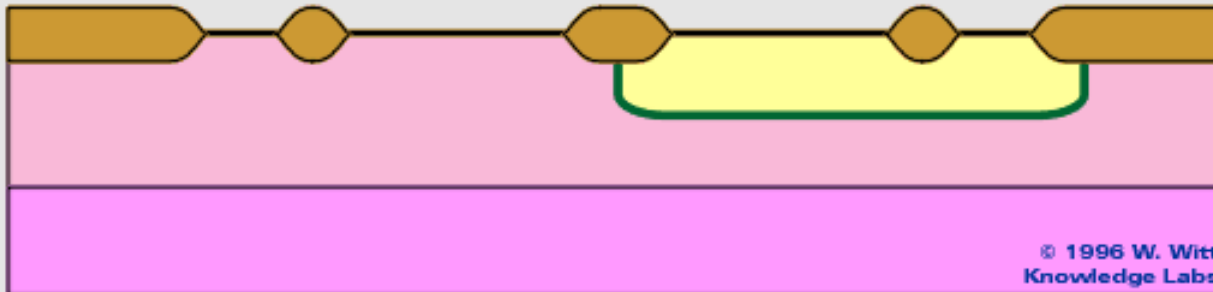
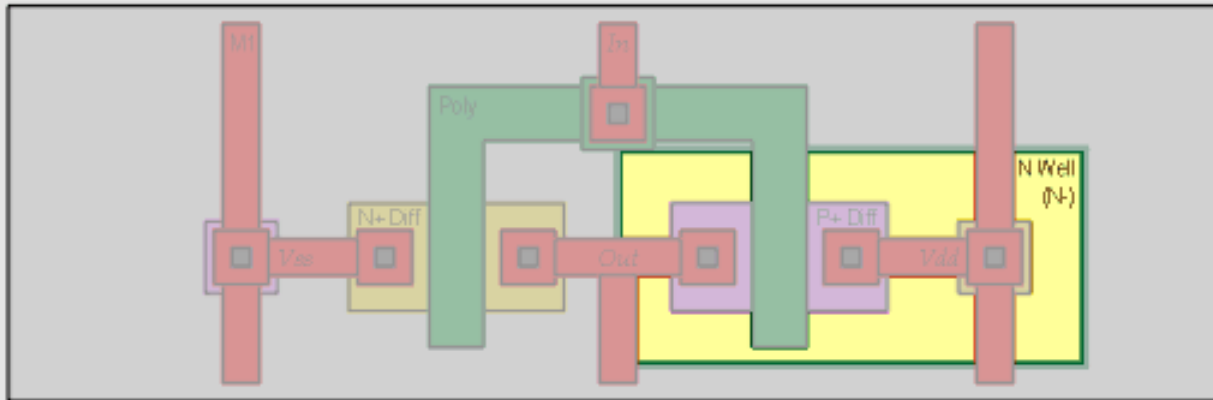
CMOS Fabrication: Field Oxide: Nitride and Thin Oxide Removed



© 1996 W. Witt
Knowledge Labs



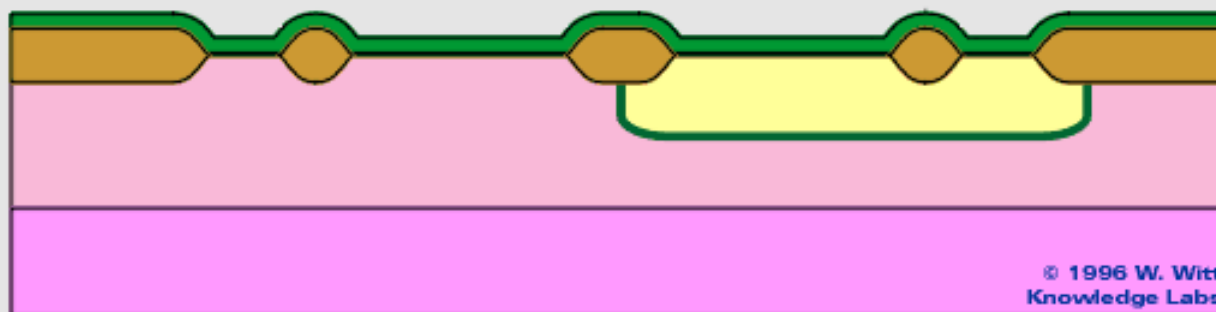
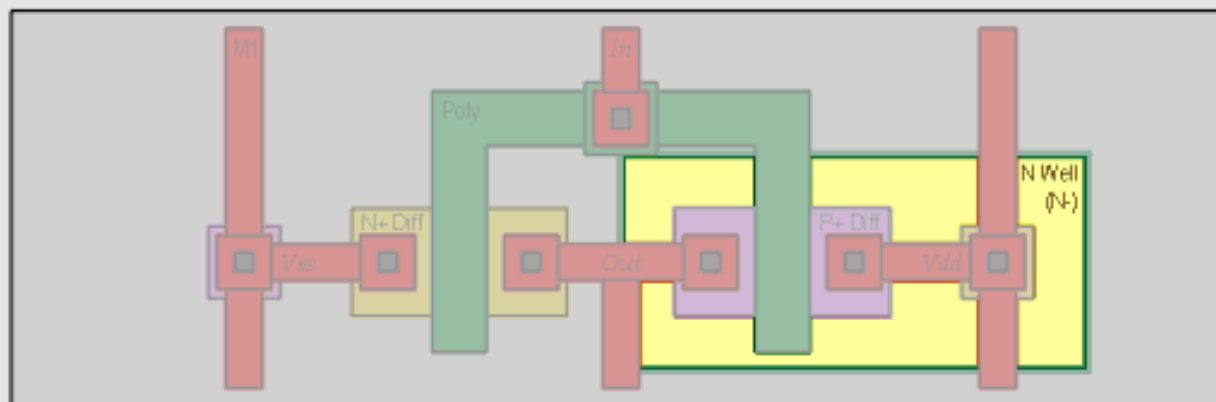
CMOS Fabrication: Gate Oxide & Poly: Gate Oxide Grown



© 1996 W. Witt
Knowledge Labs



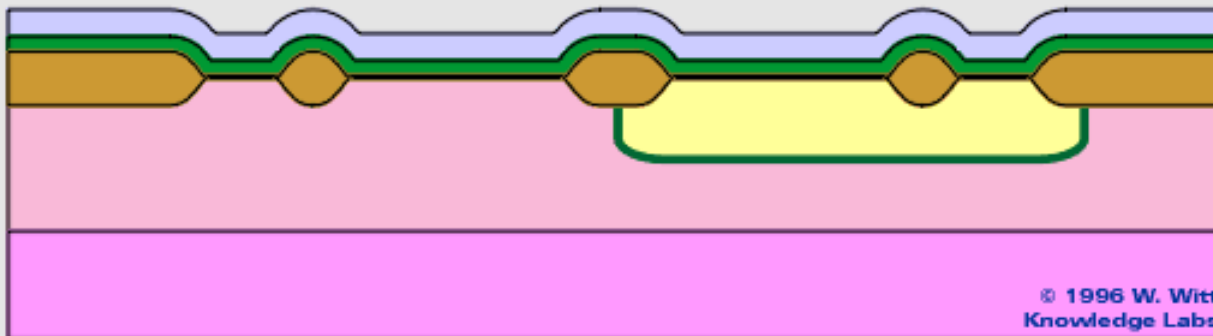
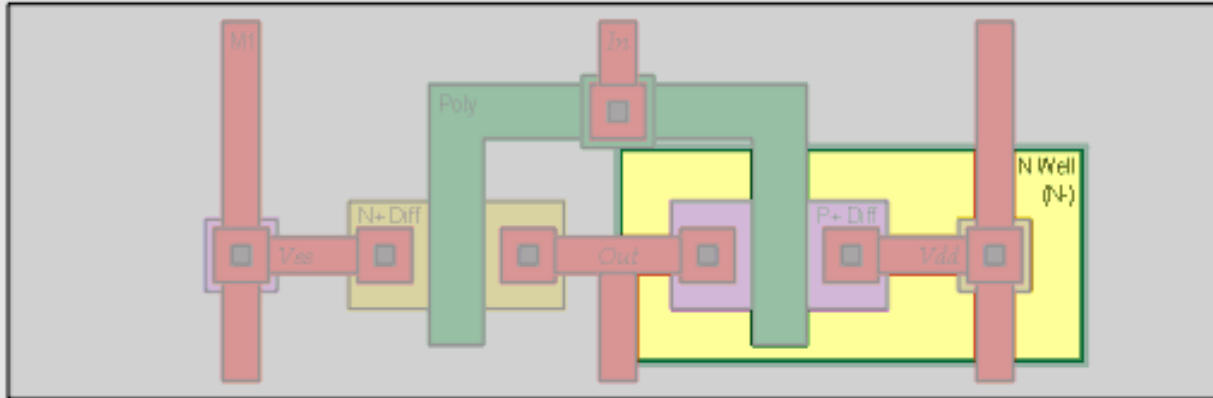
CMOS Fabrication: Gate Oxide & Poly: Polysilicon Deposited



© 1996 W. Witt
Knowledge Labs



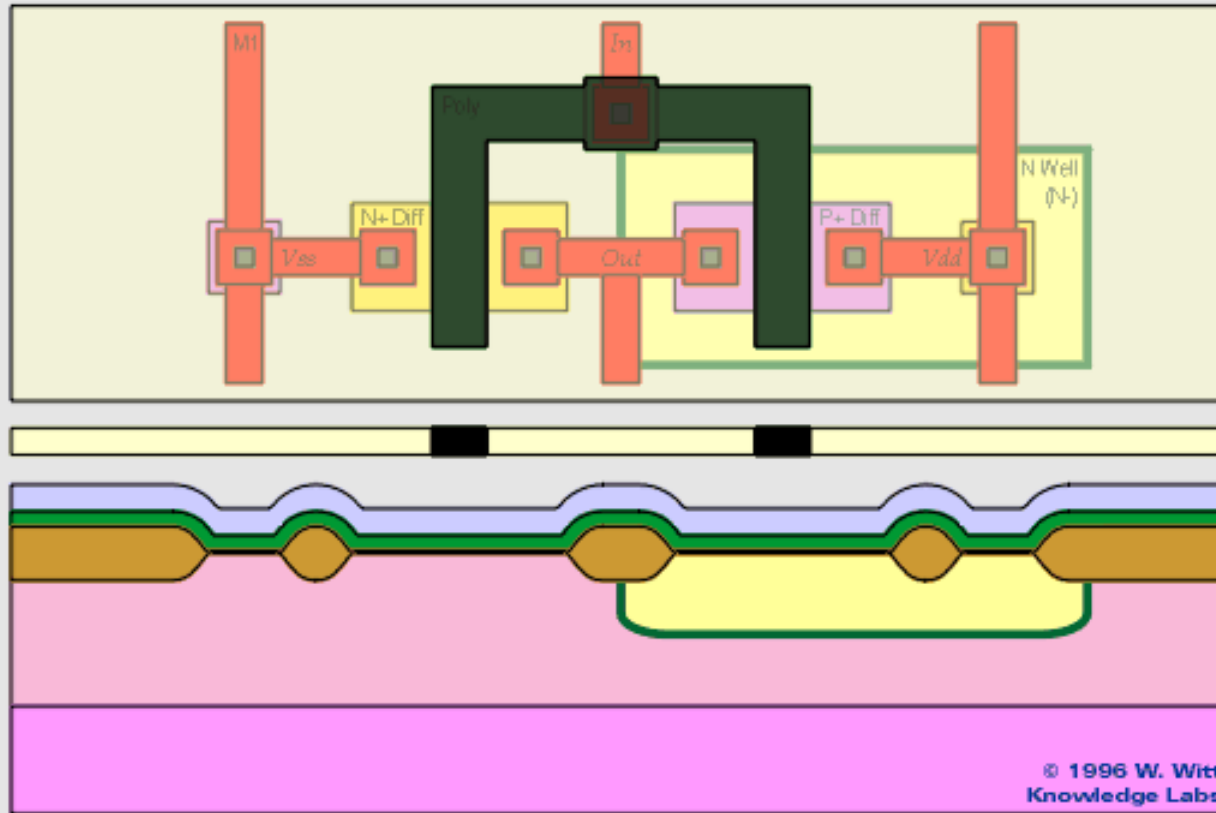
CMOS Fabrication: Gate Oxide & Poly: Resist Deposited



© 1996 W. Witt
Knowledge Labs

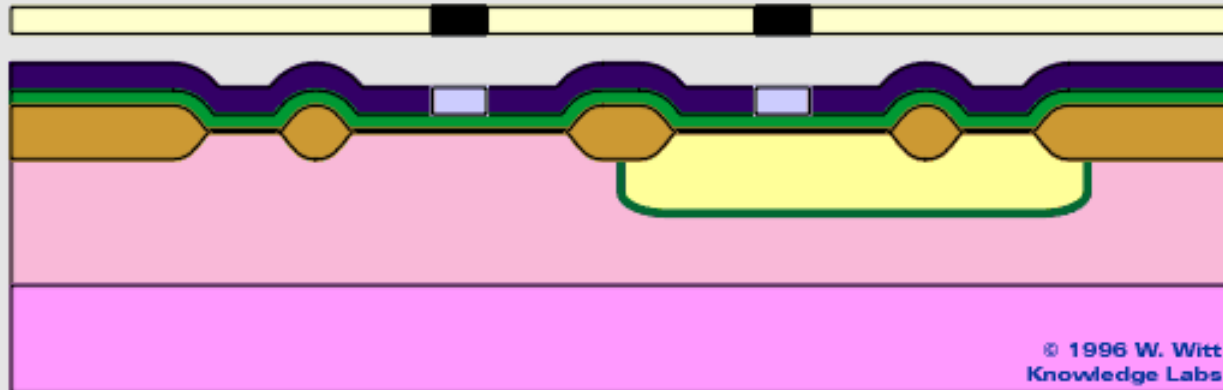
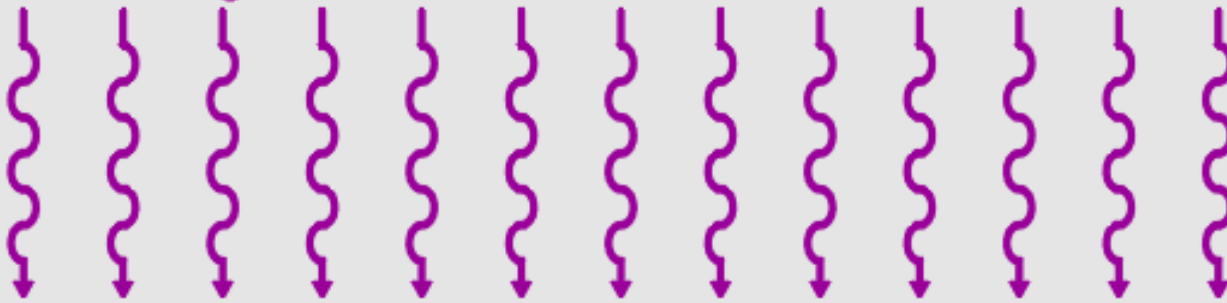


CMOS Fabrication: Gate Oxide & Poly: Polysilicon Mask

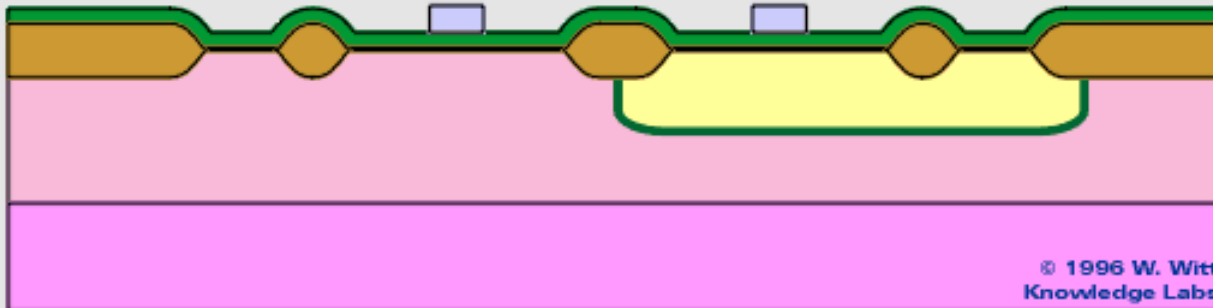
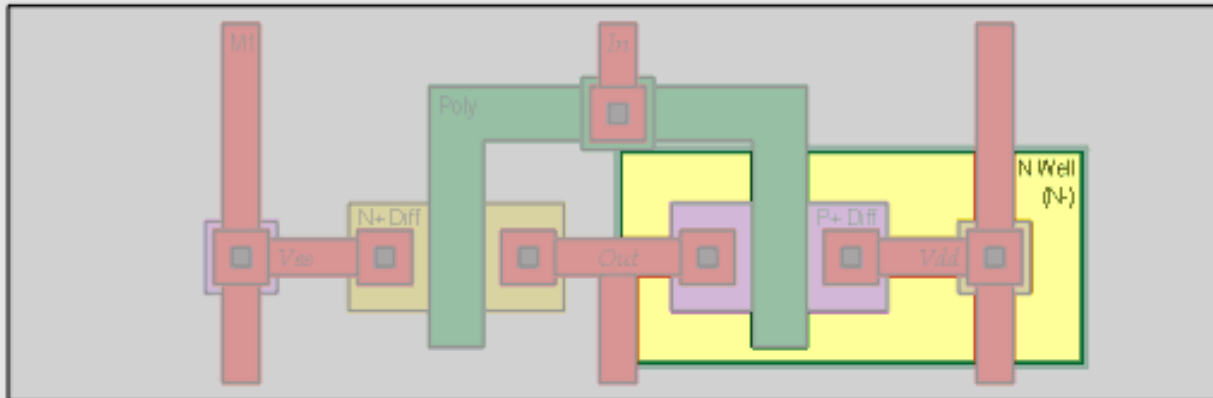


CMOS Fabrication: Gate Oxide & Poly: Resist Exposed

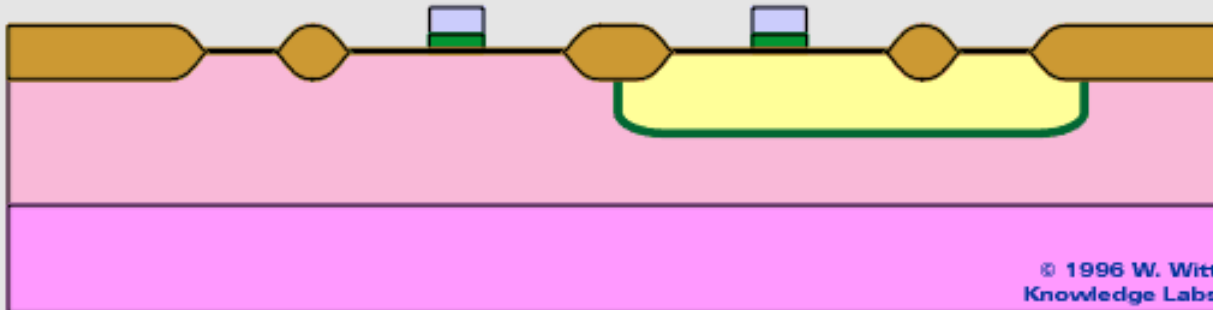
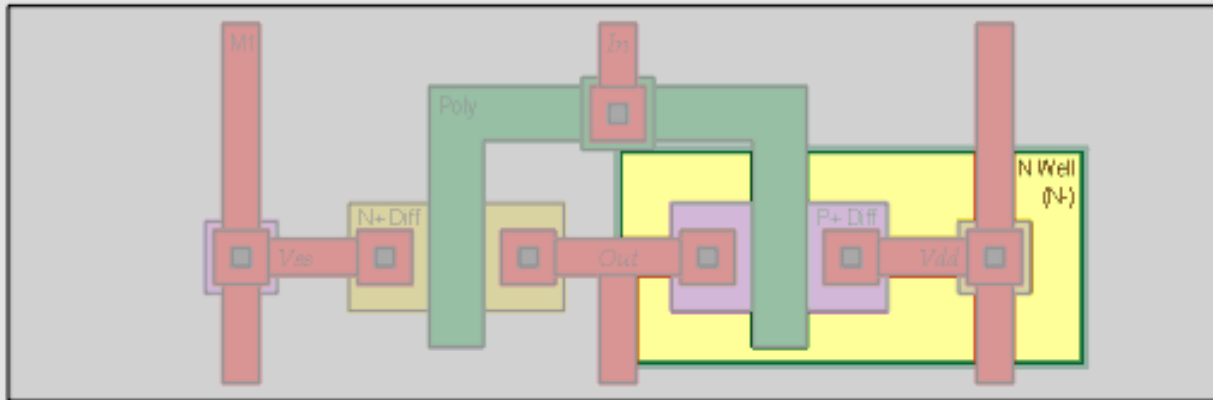
UV Light



CMOS Fabrication: Gate Oxide & Poly: Exposed Resist Removed



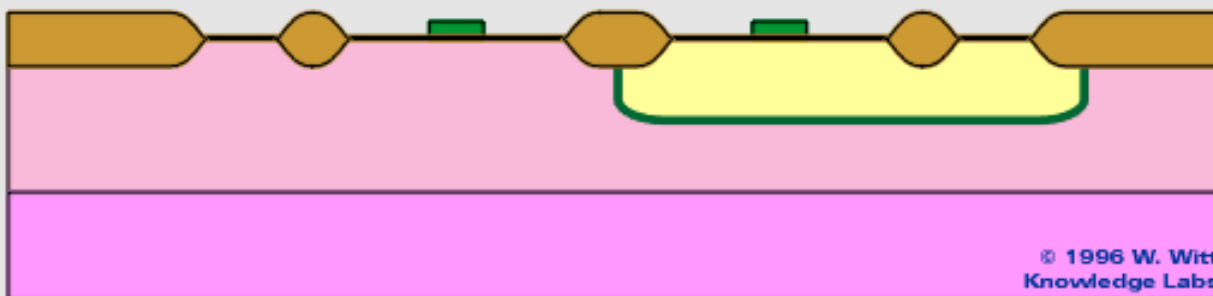
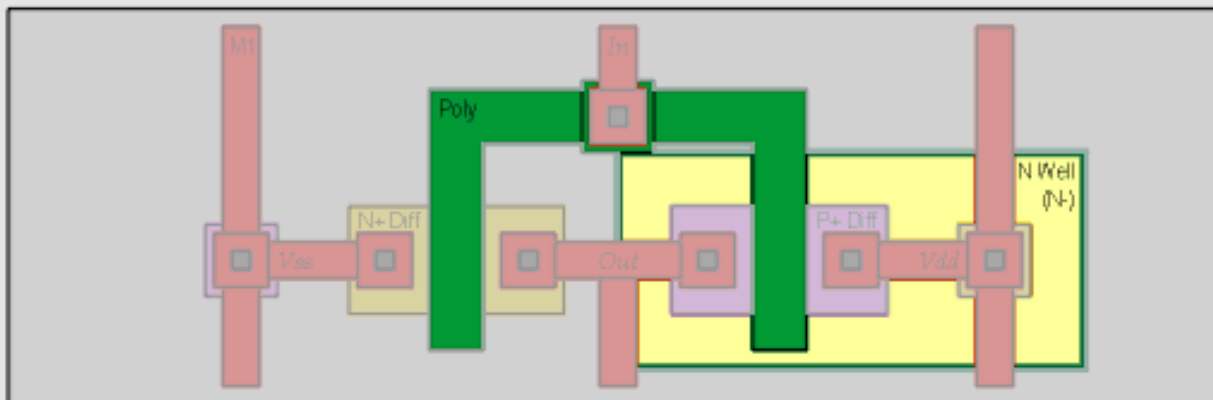
CMOS Fabrication: Gate Oxide & Poly: Polysilicon Etched



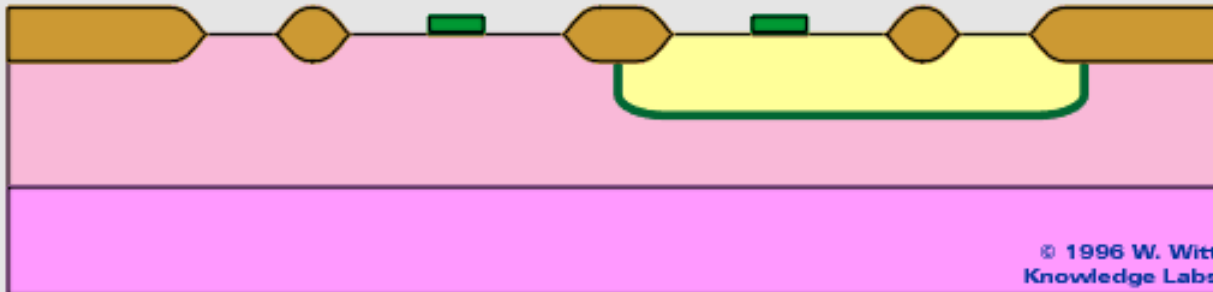
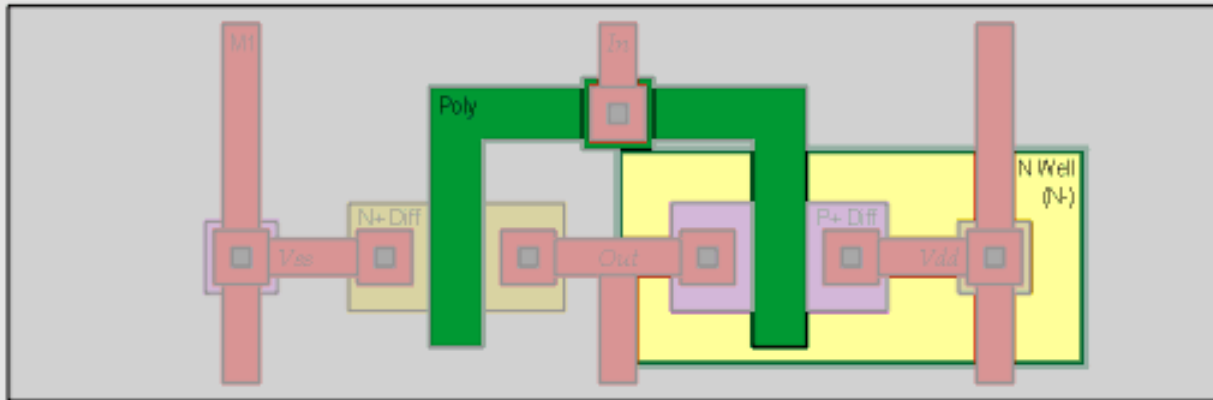
© 1996 W. Witt
Knowledge Labs



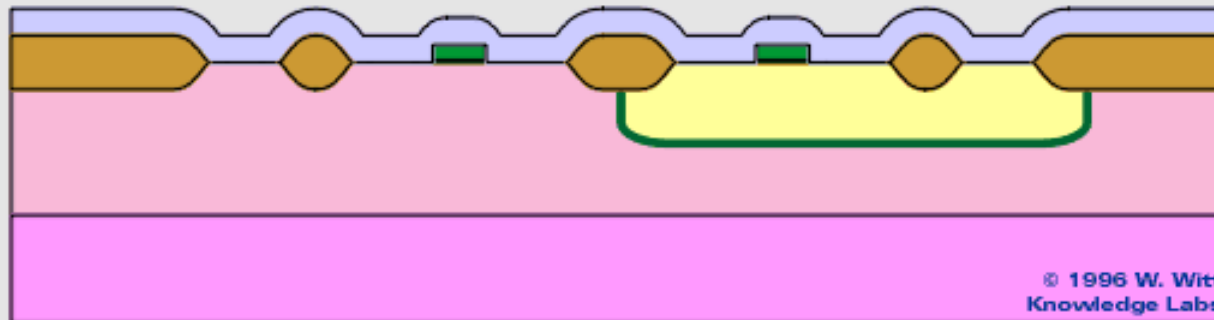
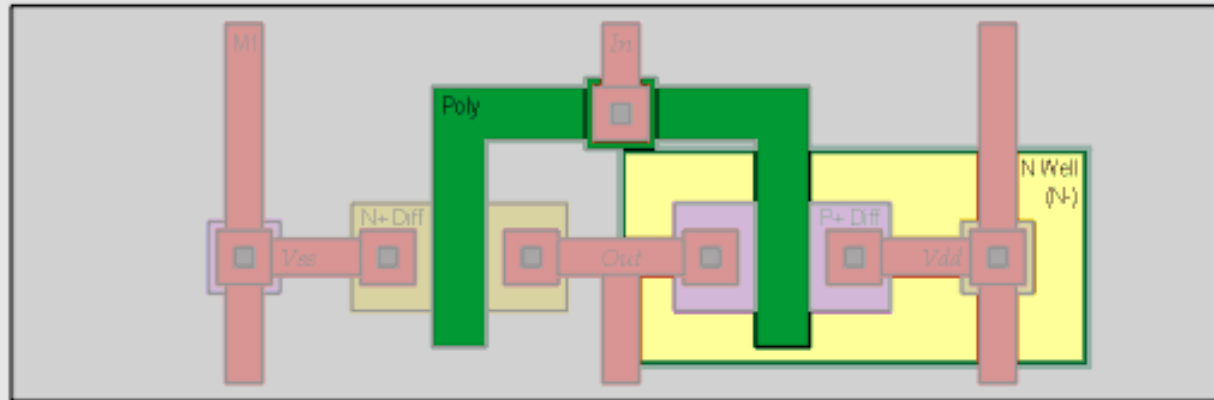
CMOS Fabrication: Gate Oxide & Poly: Rem Resist Removed



CMOS Fabrication: Gate Oxide & Poly: Gate Oxide Etched



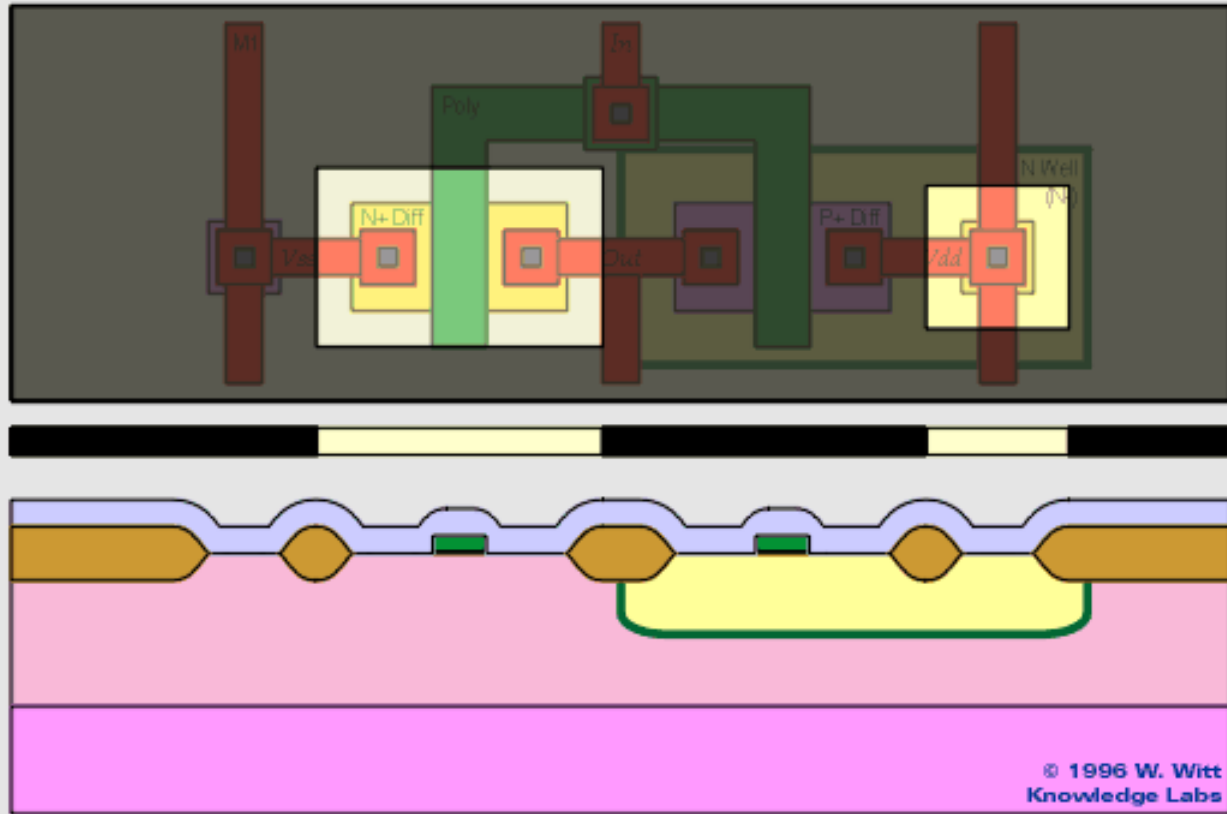
CMOS Fabrication: N+ Regions: Resist Deposited



© 1996 W. Witt
Knowledge Labs

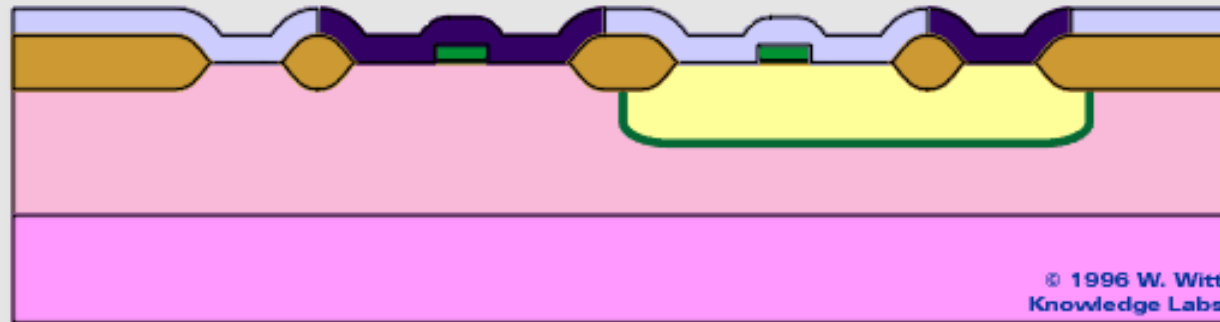
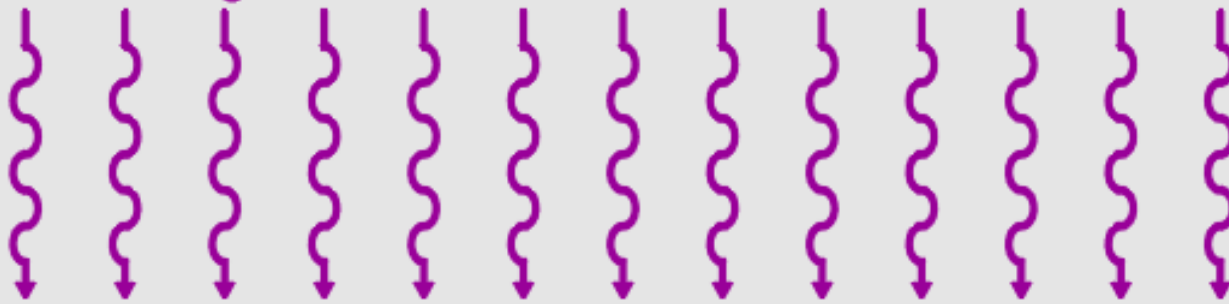


CMOS Fabrication: N+ Regions: N+ Mask



CMOS Fabrication: N+ Regions: Resist Exposed

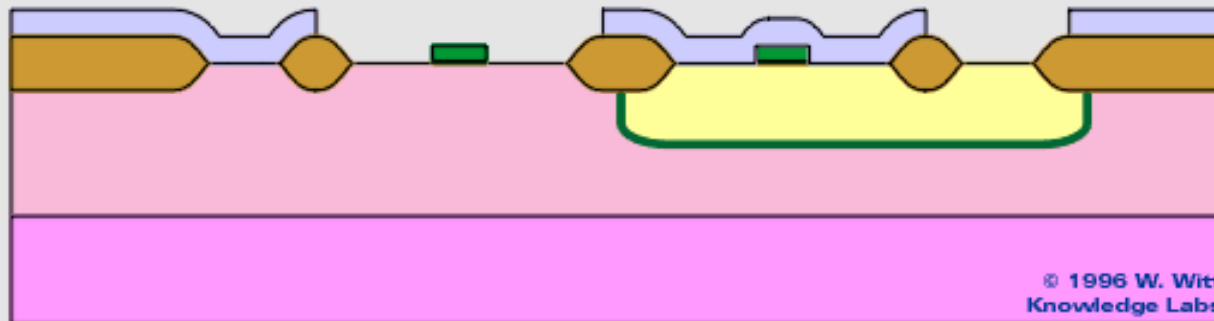
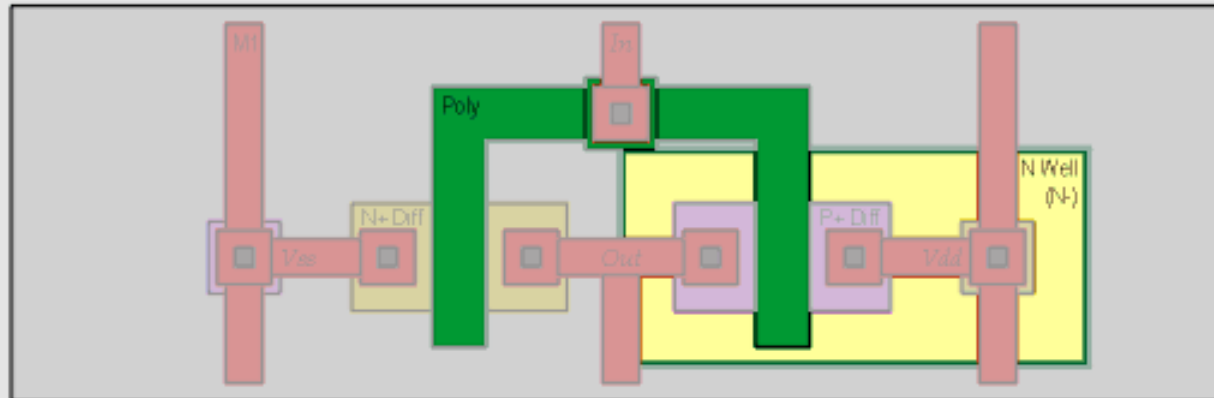
UV Light



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: N+ Regions: Exposed Resist Removed

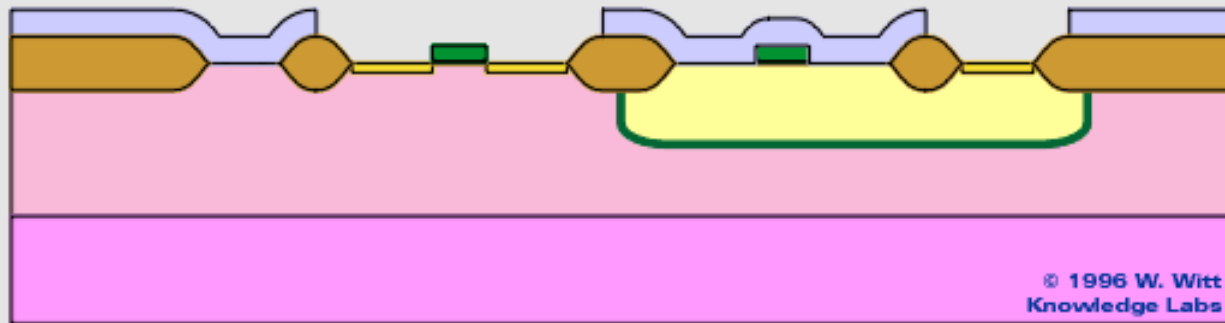
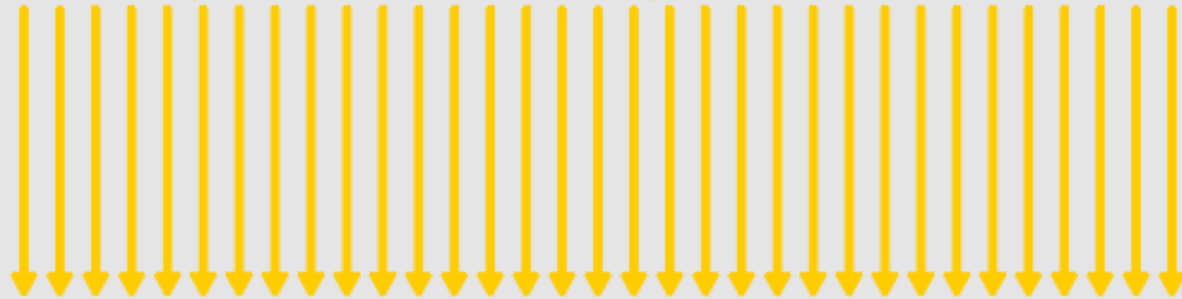


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: N+ Regions: N-Dopant Implanted

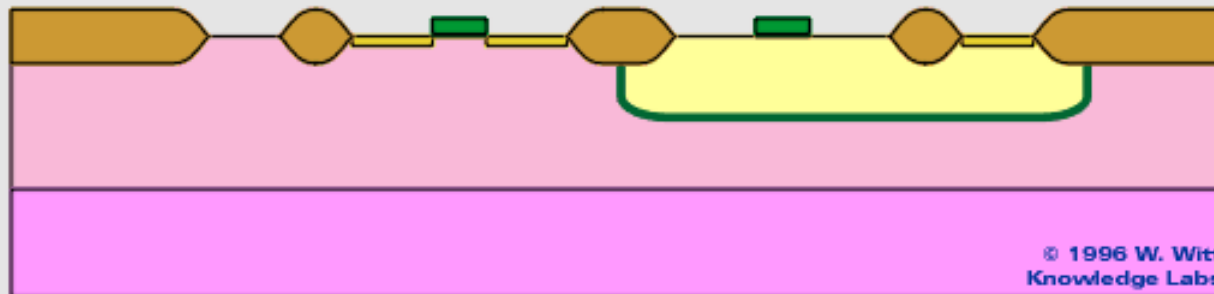
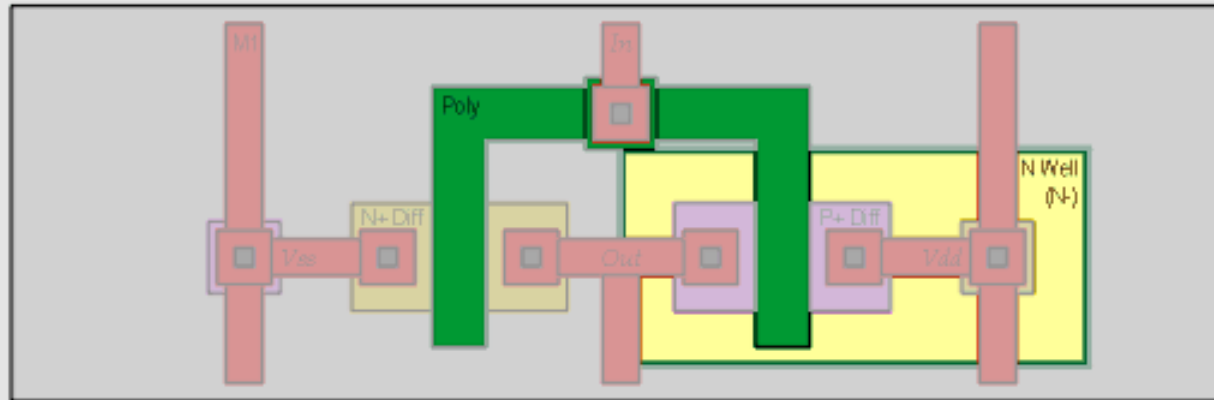
N-Dopant: Arsenic or Phosphorous Ions



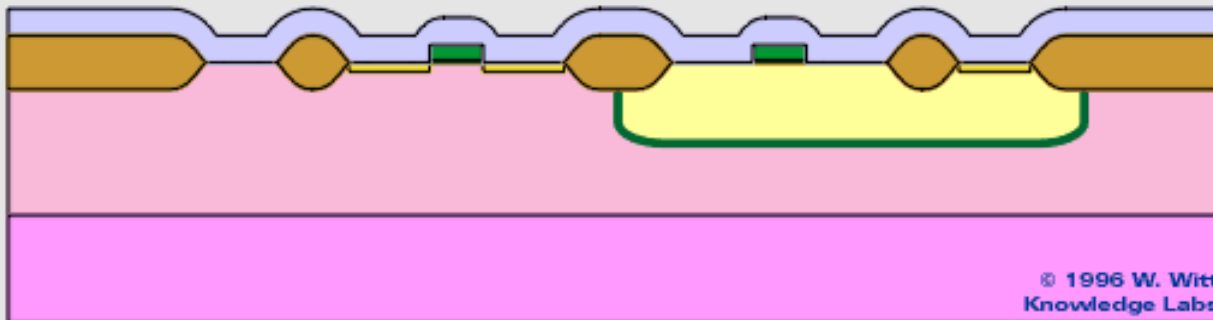
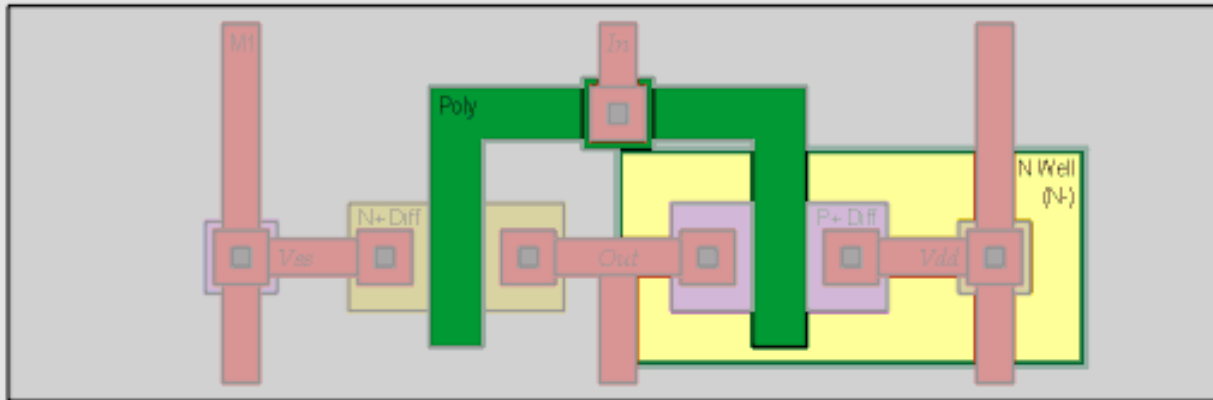
© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: N+ Regions: Remaining Resist Removed



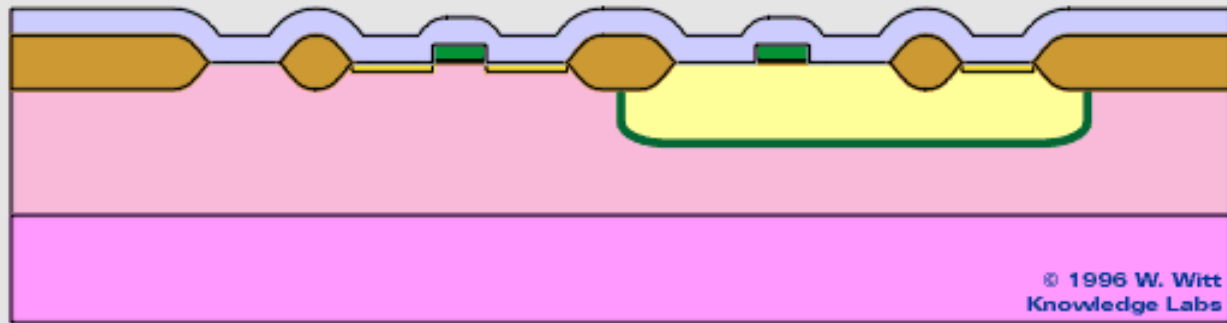
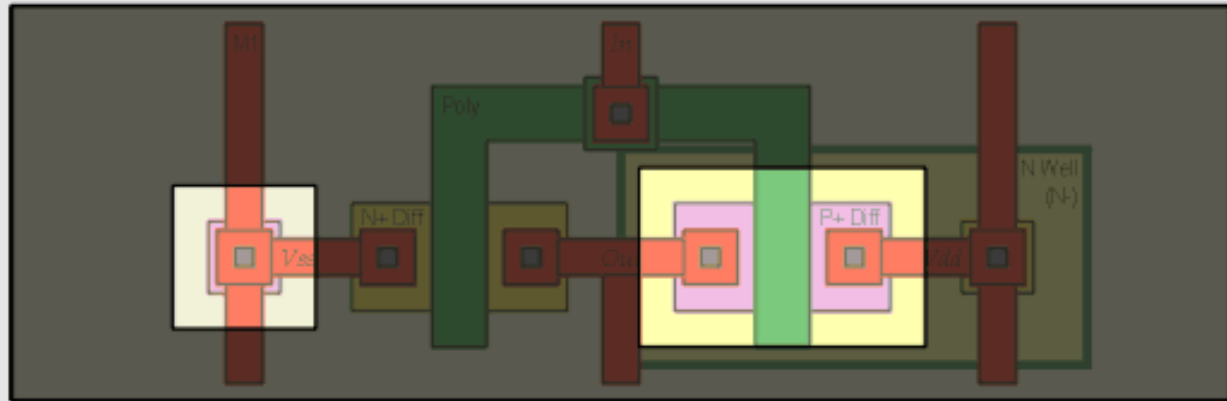
CMOS Fabrication: P+ Regions: Resist Deposited



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: P+ Regions: P+ Mask

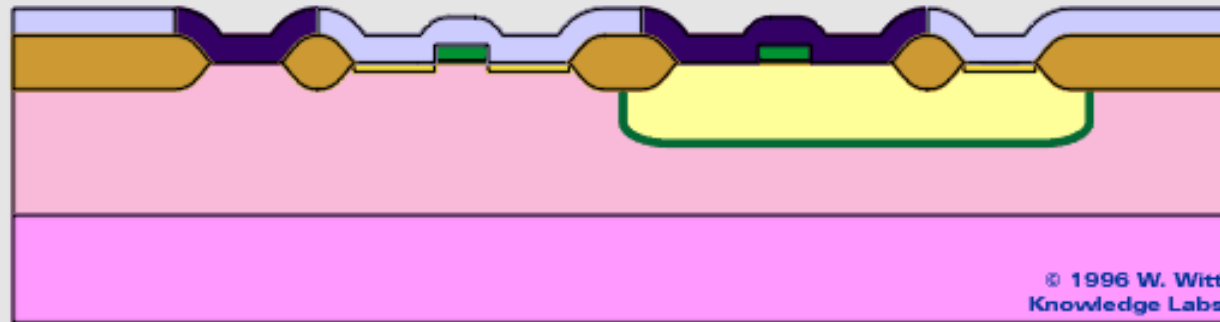
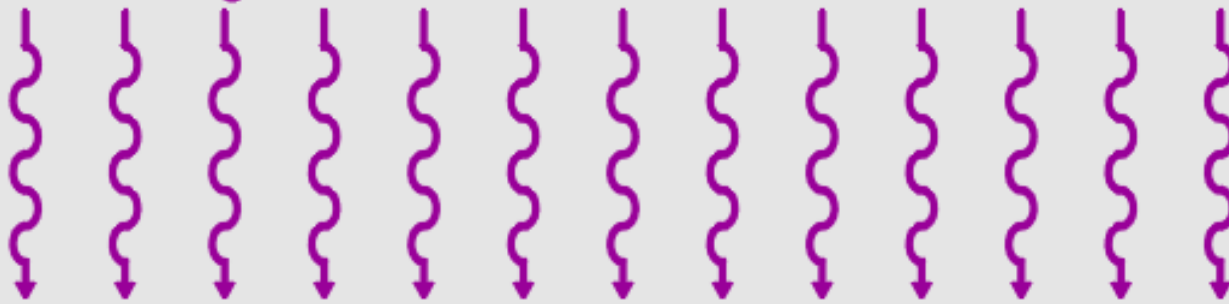


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: P+ Regions: Resist Exposed

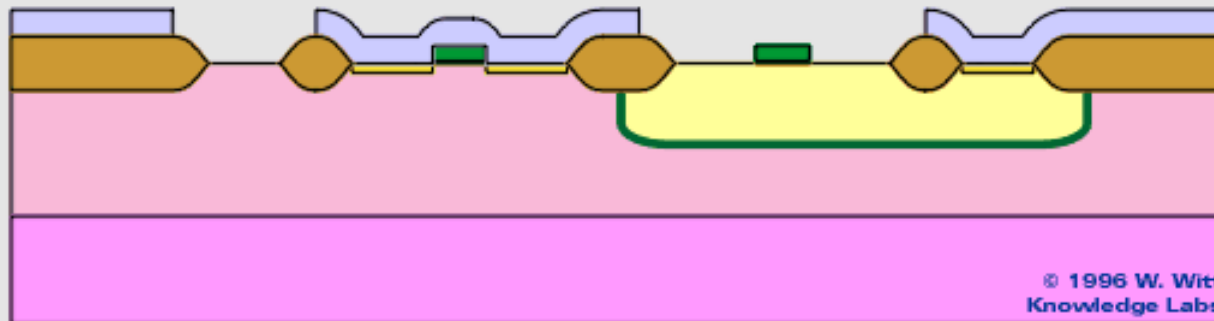
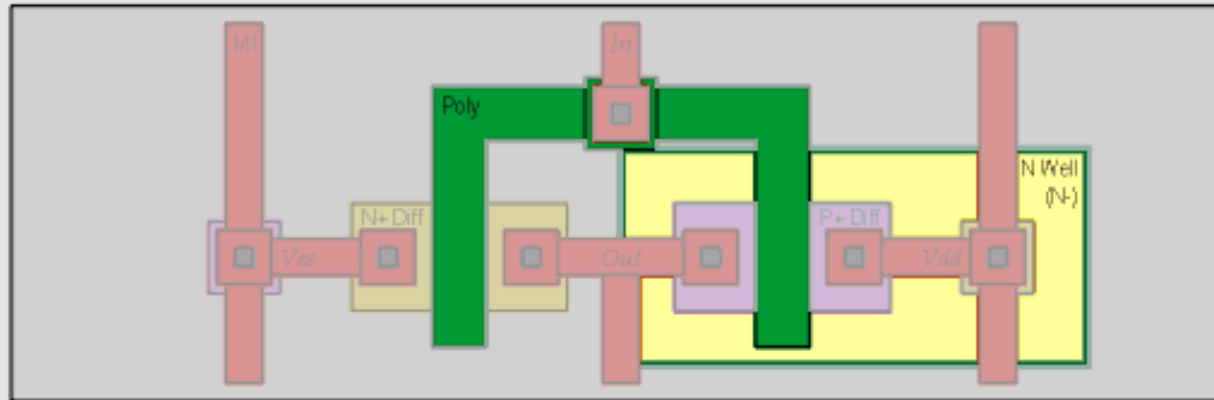
UV Light



© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: P+ Regions: Exposed Resist Removed

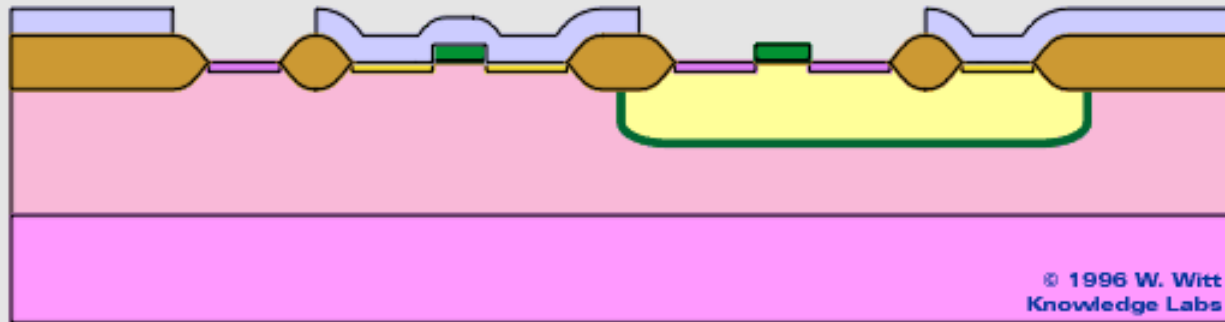
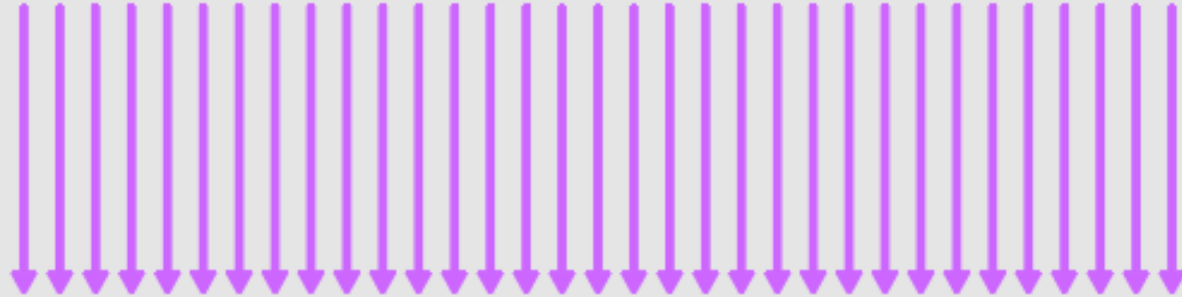


© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: P+ Regions: P-Dopant Implanted

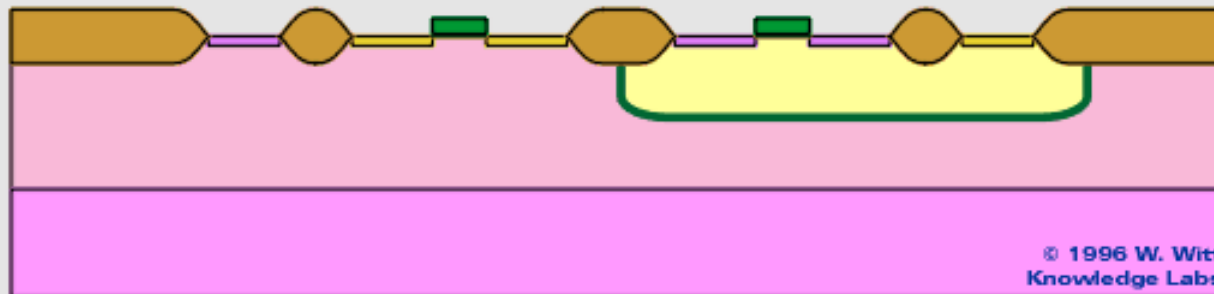
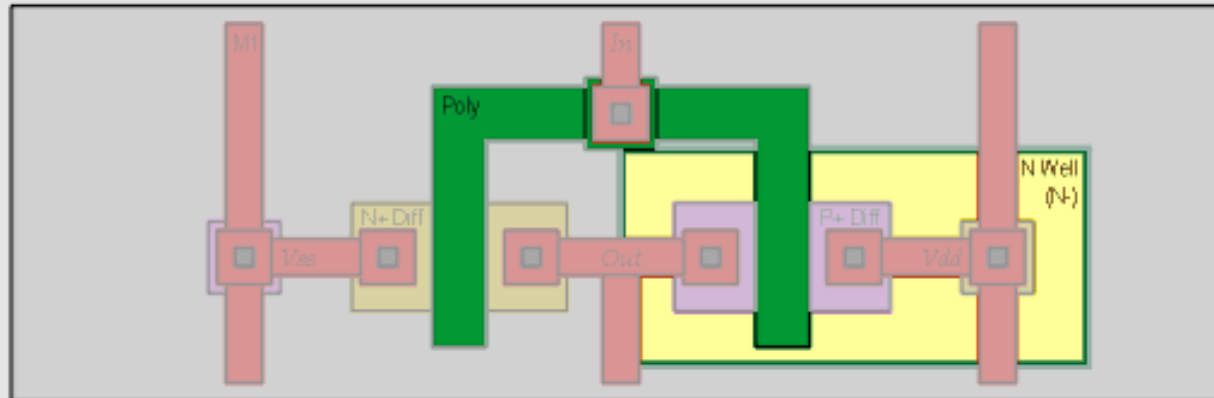
P-Dopant: Boron Ions



© 1996 W. Witt
Knowledge Labs



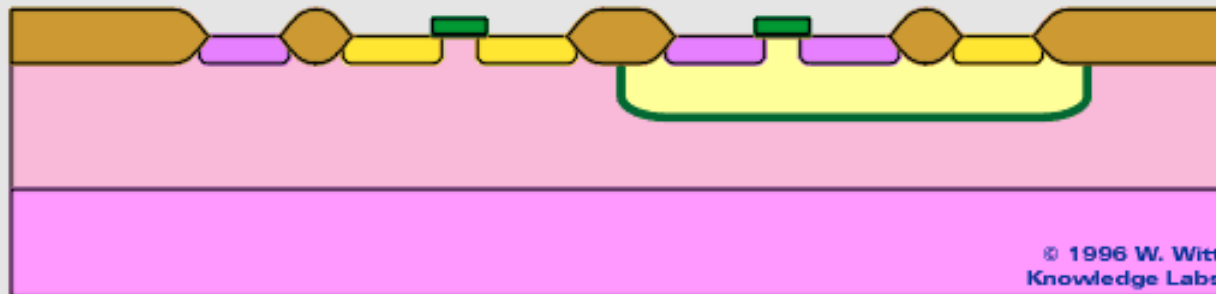
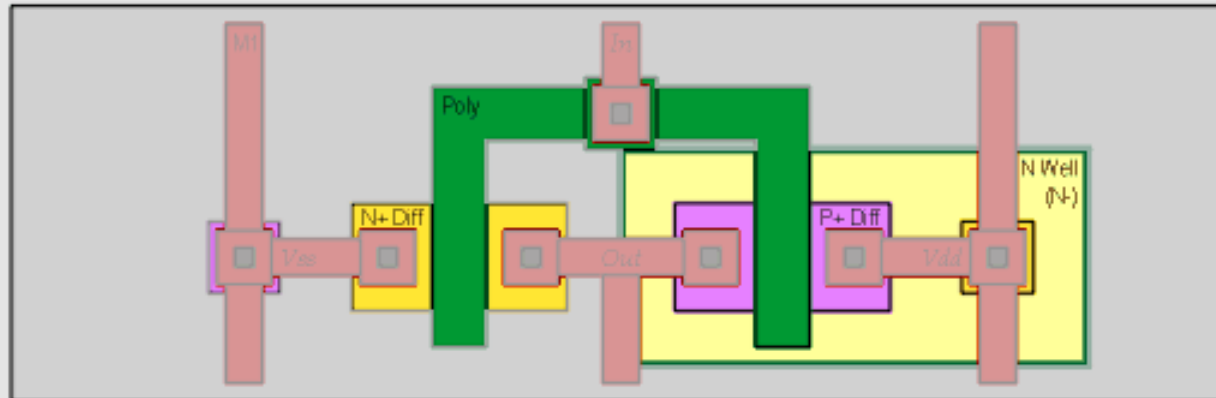
CMOS Fabrication: P+ Regions: Remaining Resist Removed



© 1996 W. Witt
Knowledge Labs



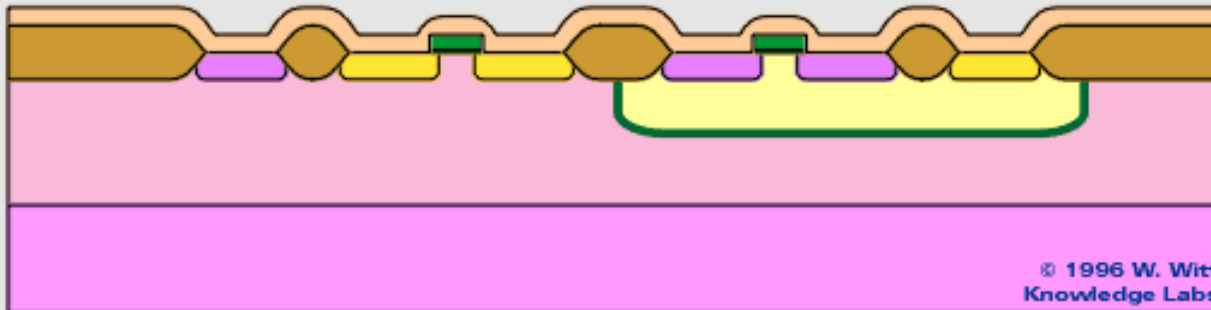
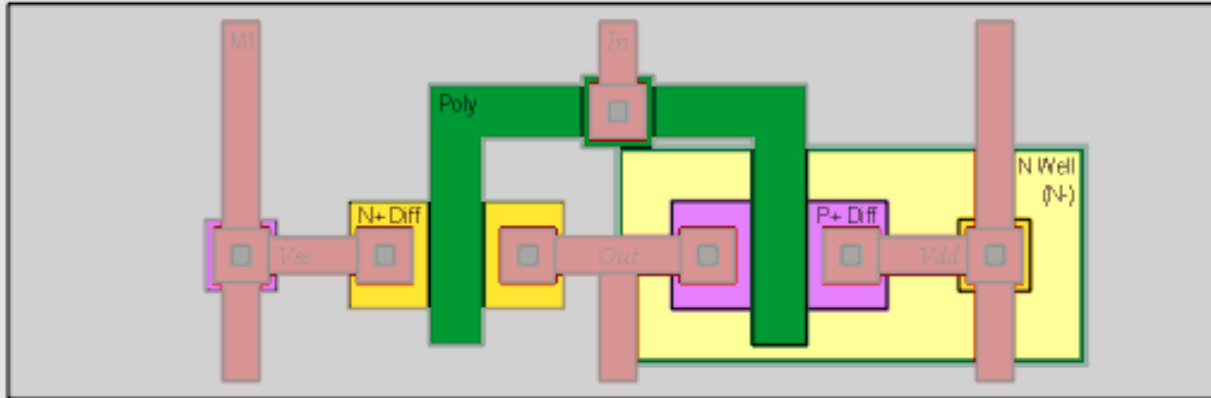
CMOS Fabrication: N+/P+ Regions: N+ and P+ Regions Diffused



© 1996 W. Witt
Knowledge Labs



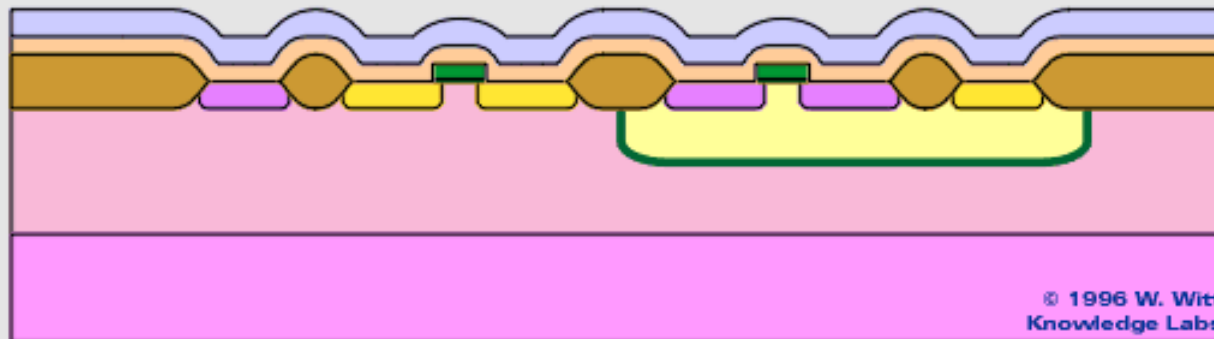
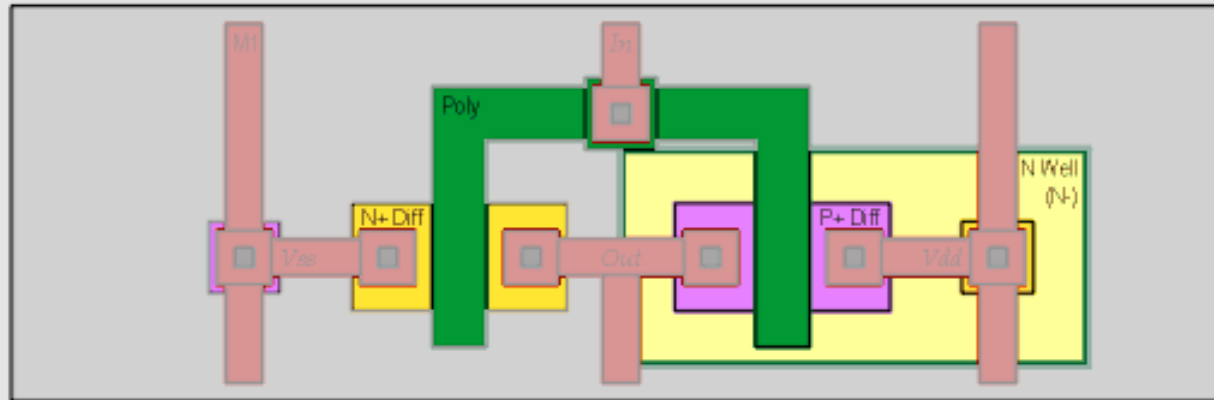
CMOS Fabrication: Insulating Oxide Deposited



© 1996 W. Witt
Knowledge Labs



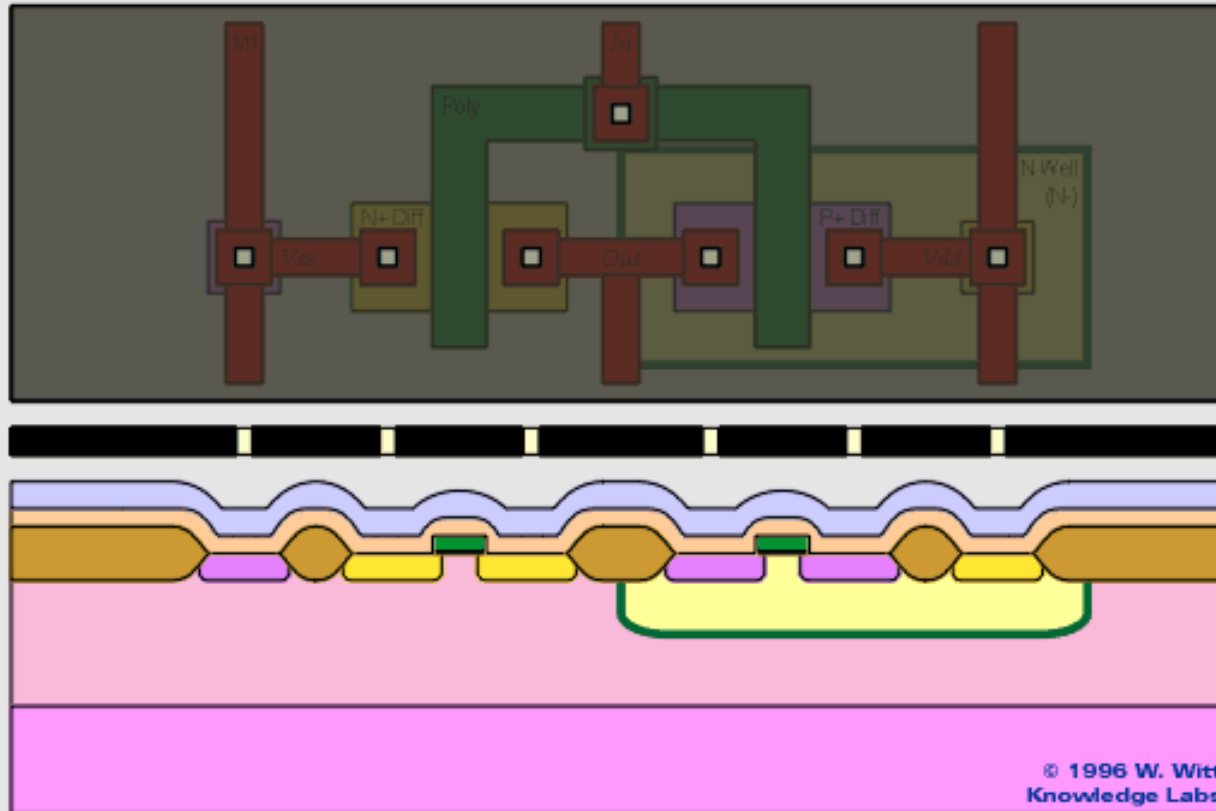
CMOS Fabrication: Contacts: Resist Deposited



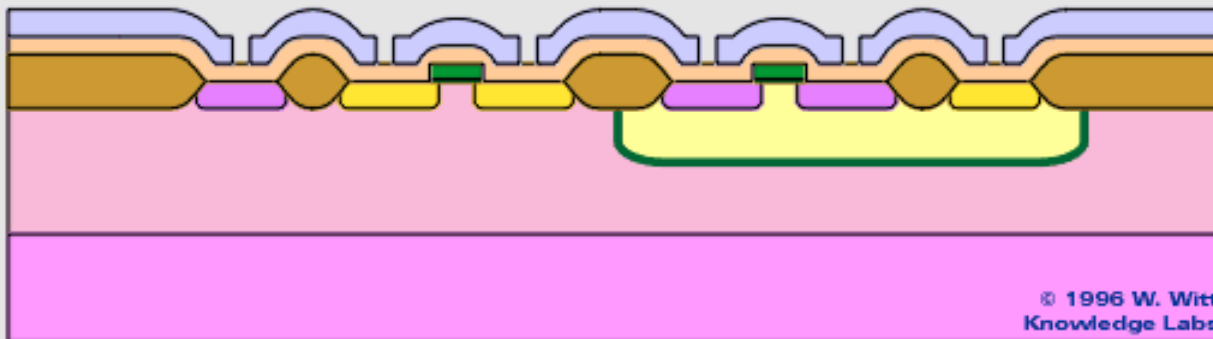
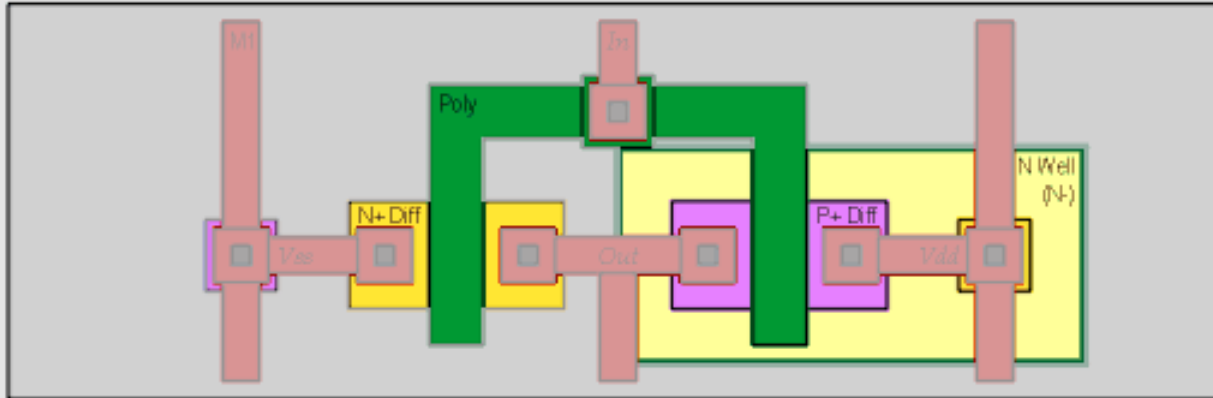
© 1996 W. Witt
Knowledge Labs



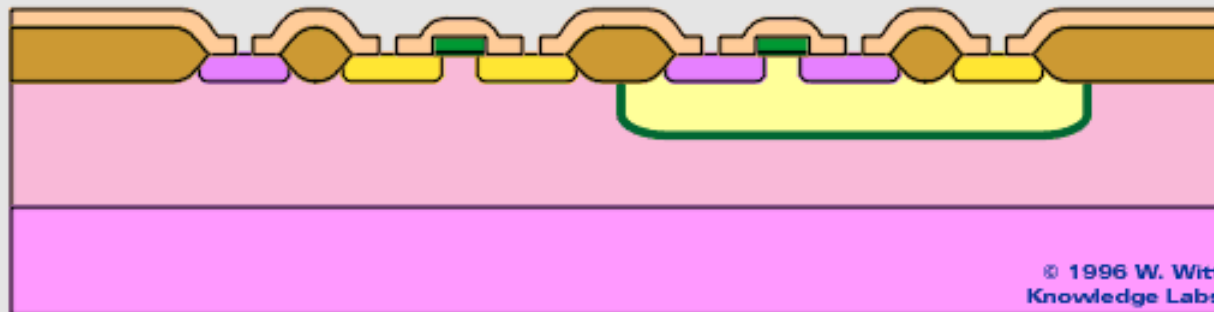
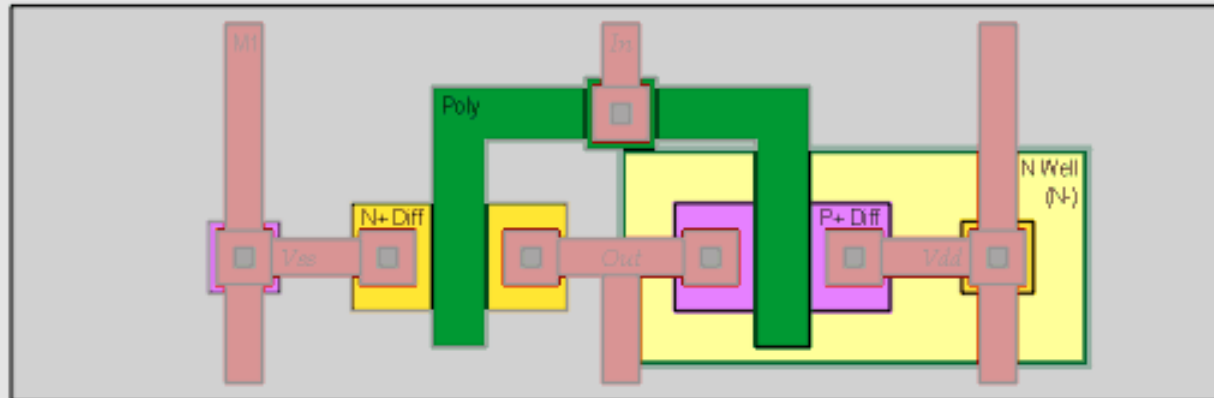
CMOS Fabrication: Contacts: Contact Mask



CMOS Fabrication: Contacts: Exposed Resist Removed



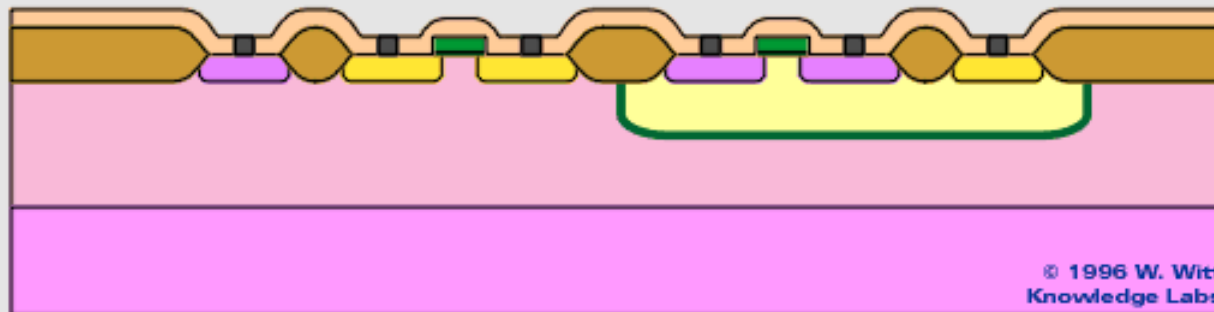
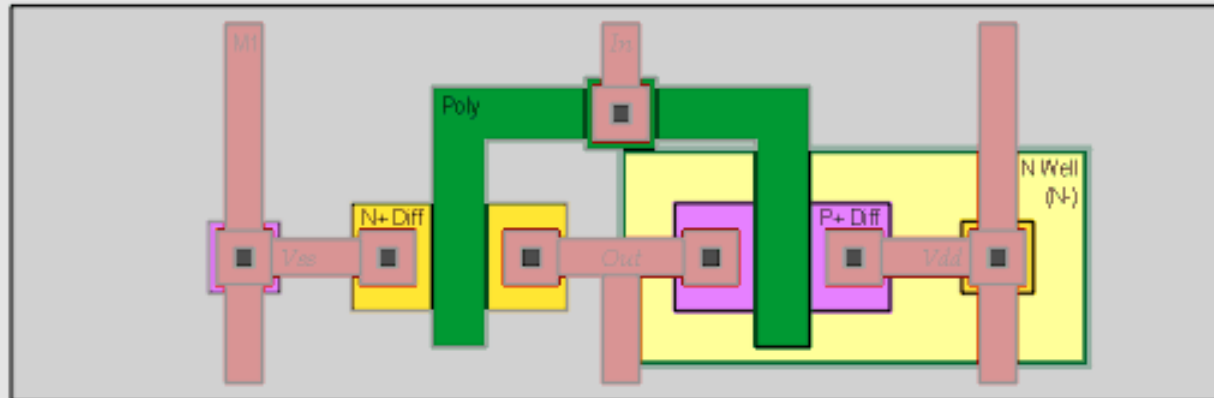
CMOS Fabrication: Contacts: Remaining Resist Removed



© 1996 W. Witt
Knowledge Labs



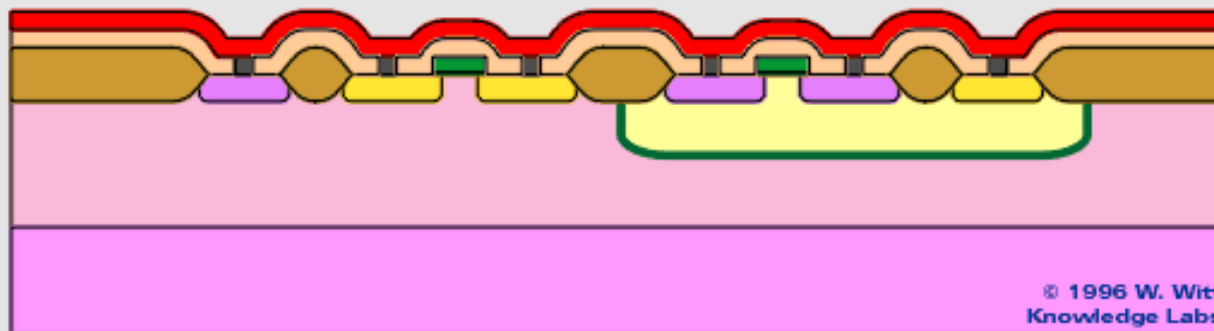
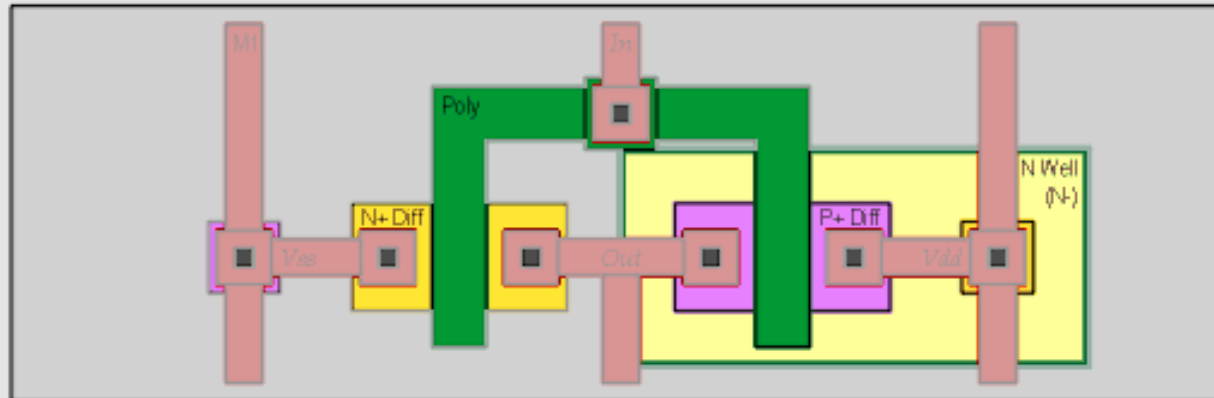
CMOS Fabrication: Contacts: Contact Holes Filled (Tungsten)



© 1996 W. Witt
Knowledge Labs



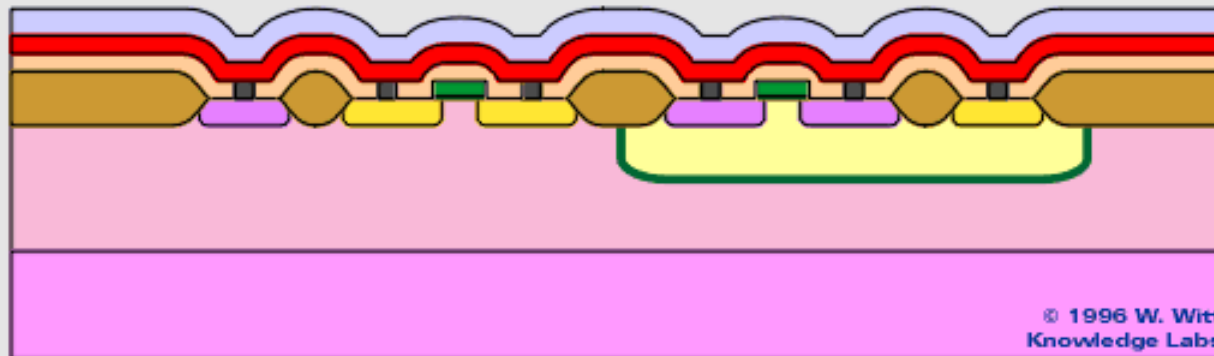
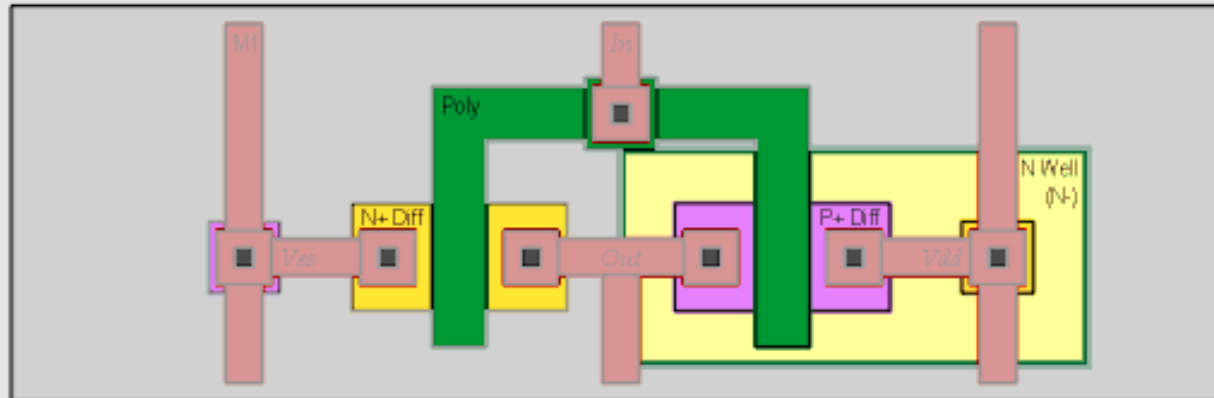
CMOS Fabrication: Metal 1: Metal Deposited (Aluminum)



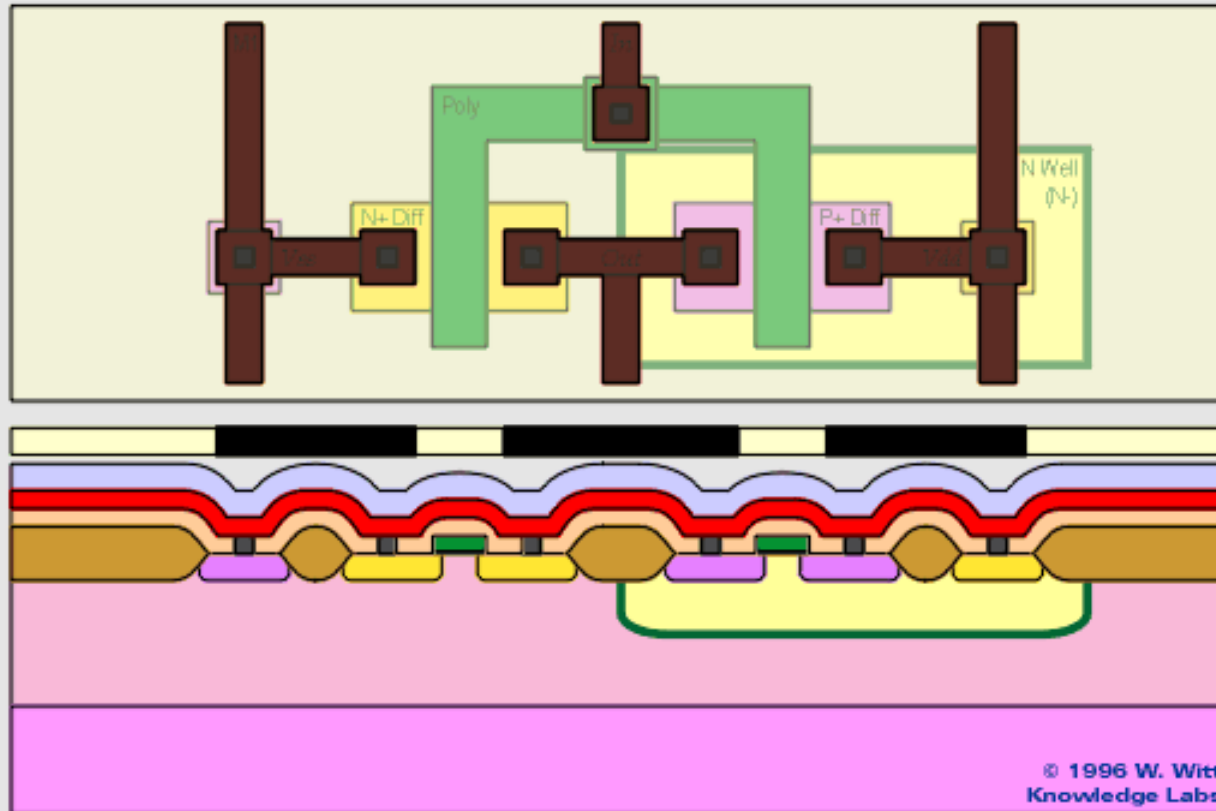
© 1996 W. Witt
Knowledge Labs



CMOS Fabrication: Metal 1: Resist Deposited

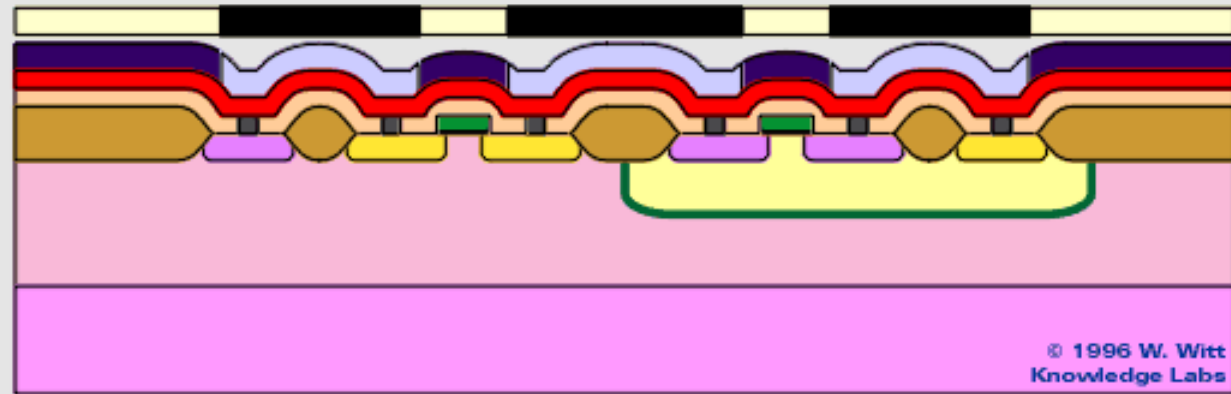
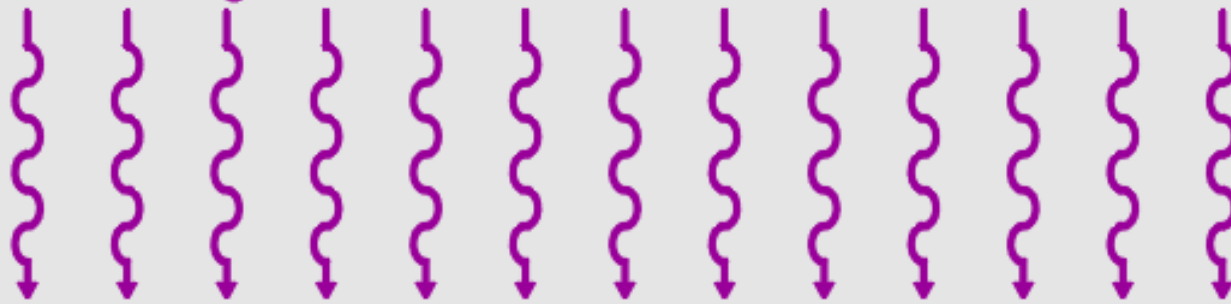


CMOS Fabrication: Metal 1: Metal 1 Mask

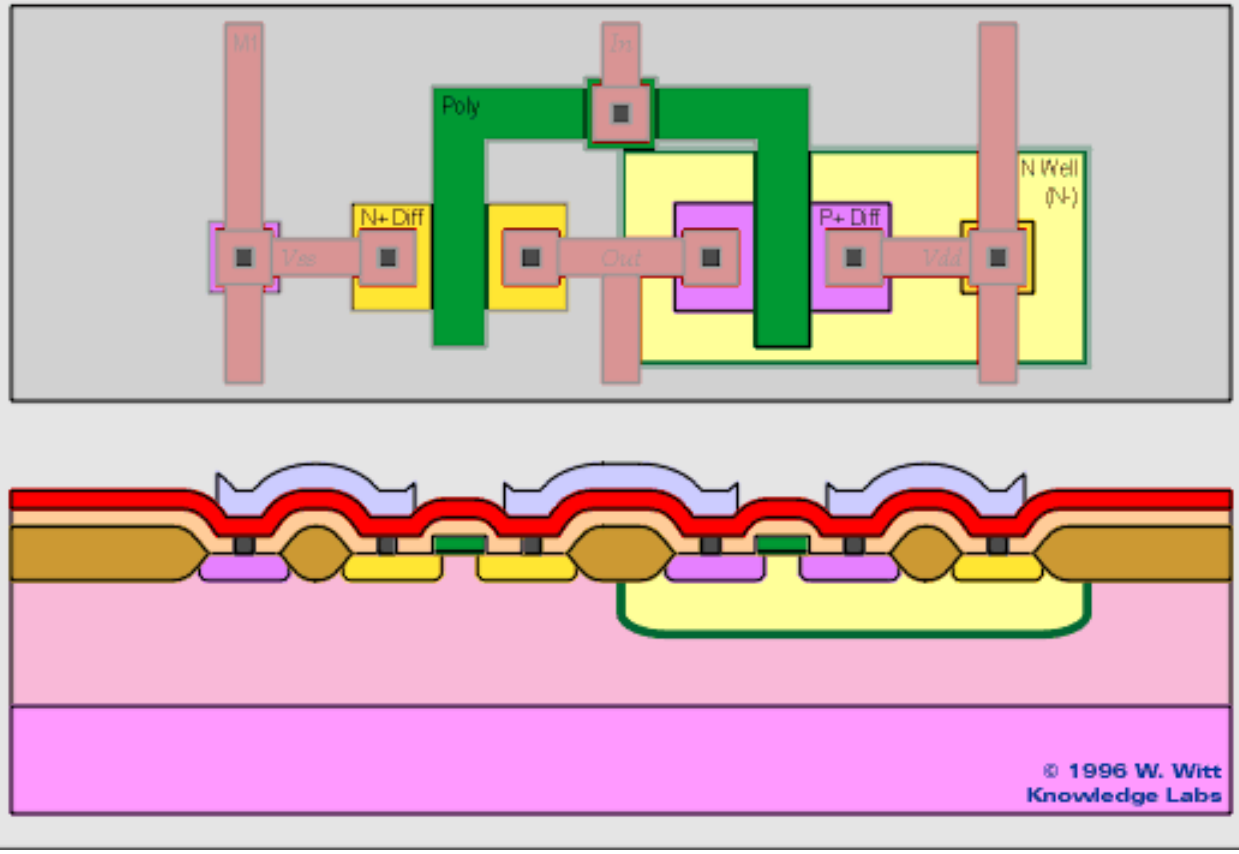


CMOS Fabrication: Metal 1: Resist Exposed

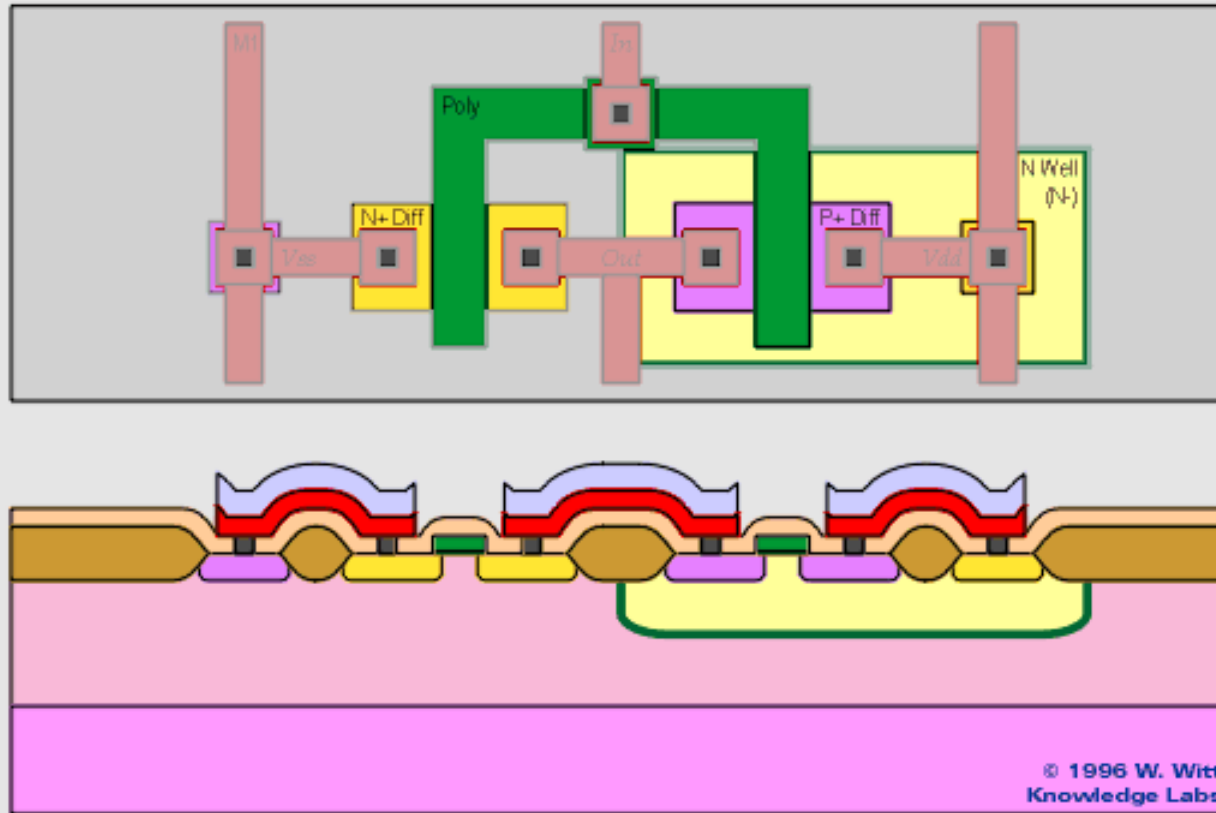
UV Light



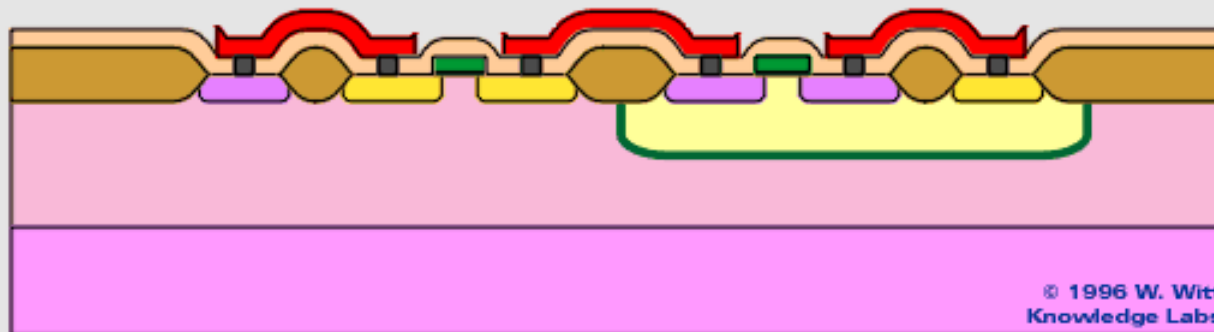
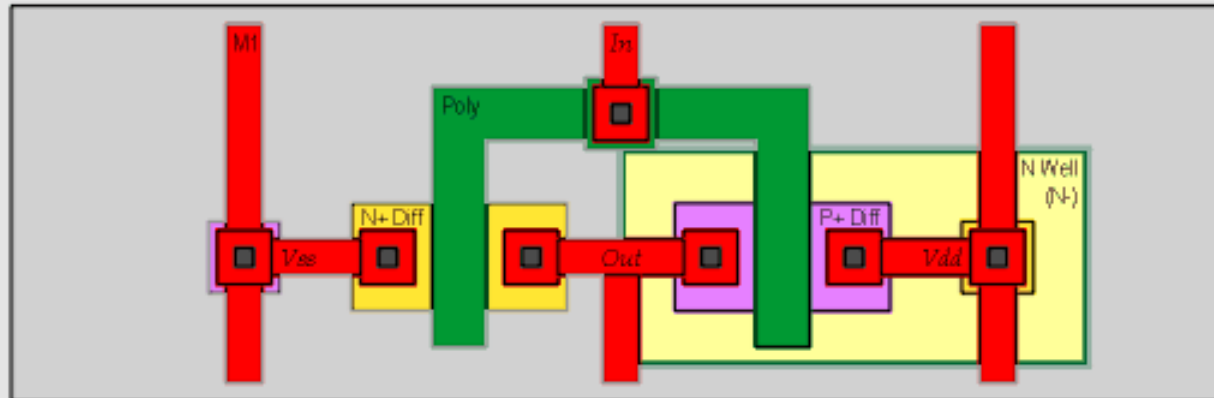
CMOS Fabrication: Metal 1: Exposed Resist Removed



CMOS Fabrication: Metal 1: Metal Etched



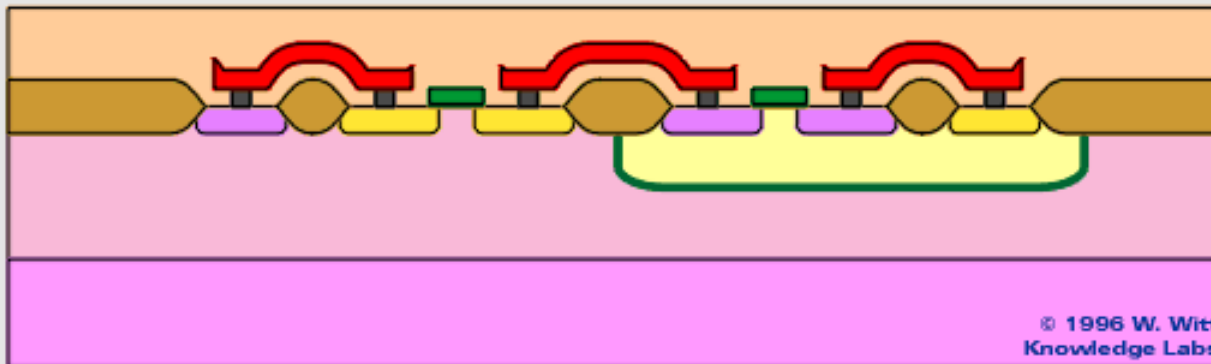
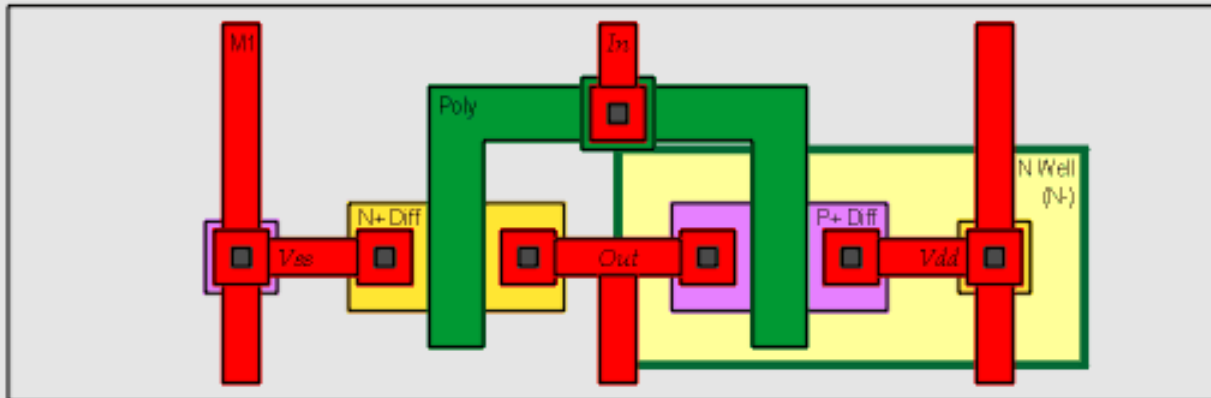
CMOS Fabrication: Metal 1: Remaining Resist Removed



© 1996 W. Witt
Knowledge Labs



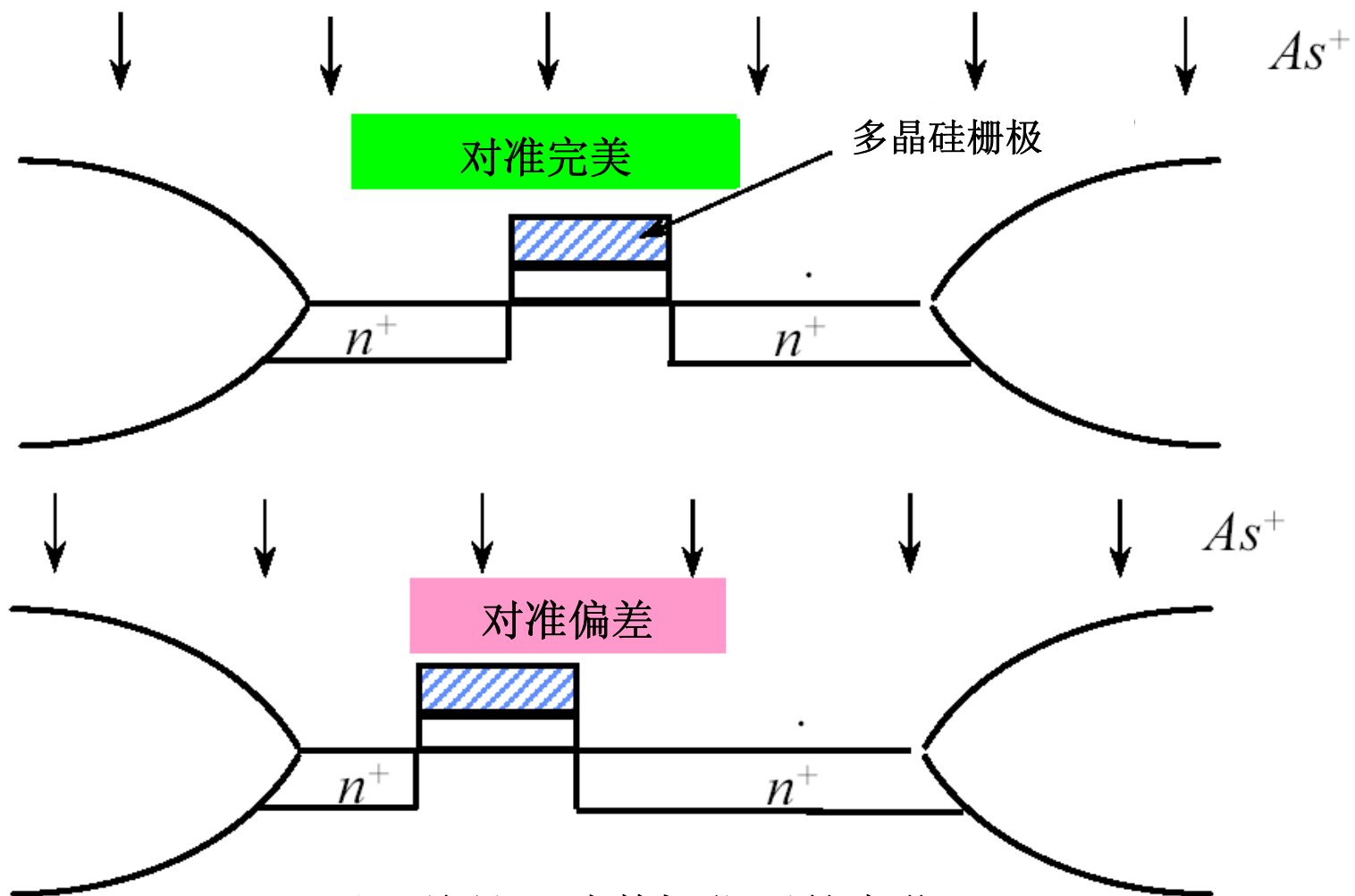
CMOS Fabrication: Insulating Oxide (Passivation) Deposited



© 1996 W. Witt
Knowledge Labs



自对准源漏工艺

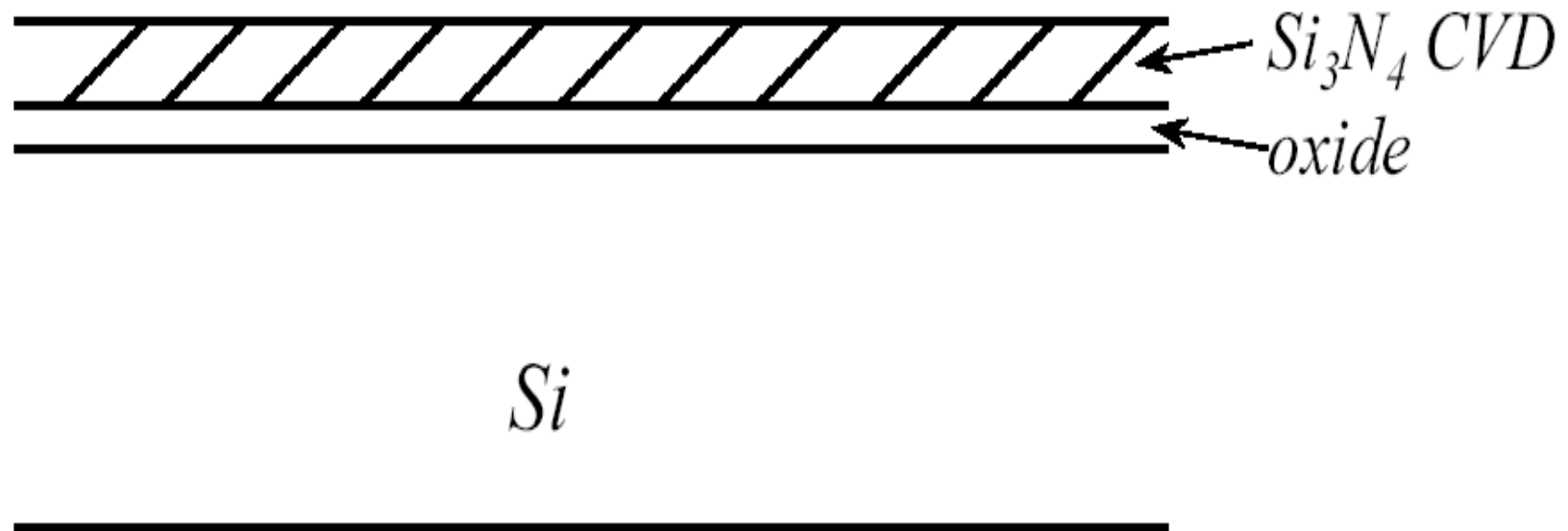


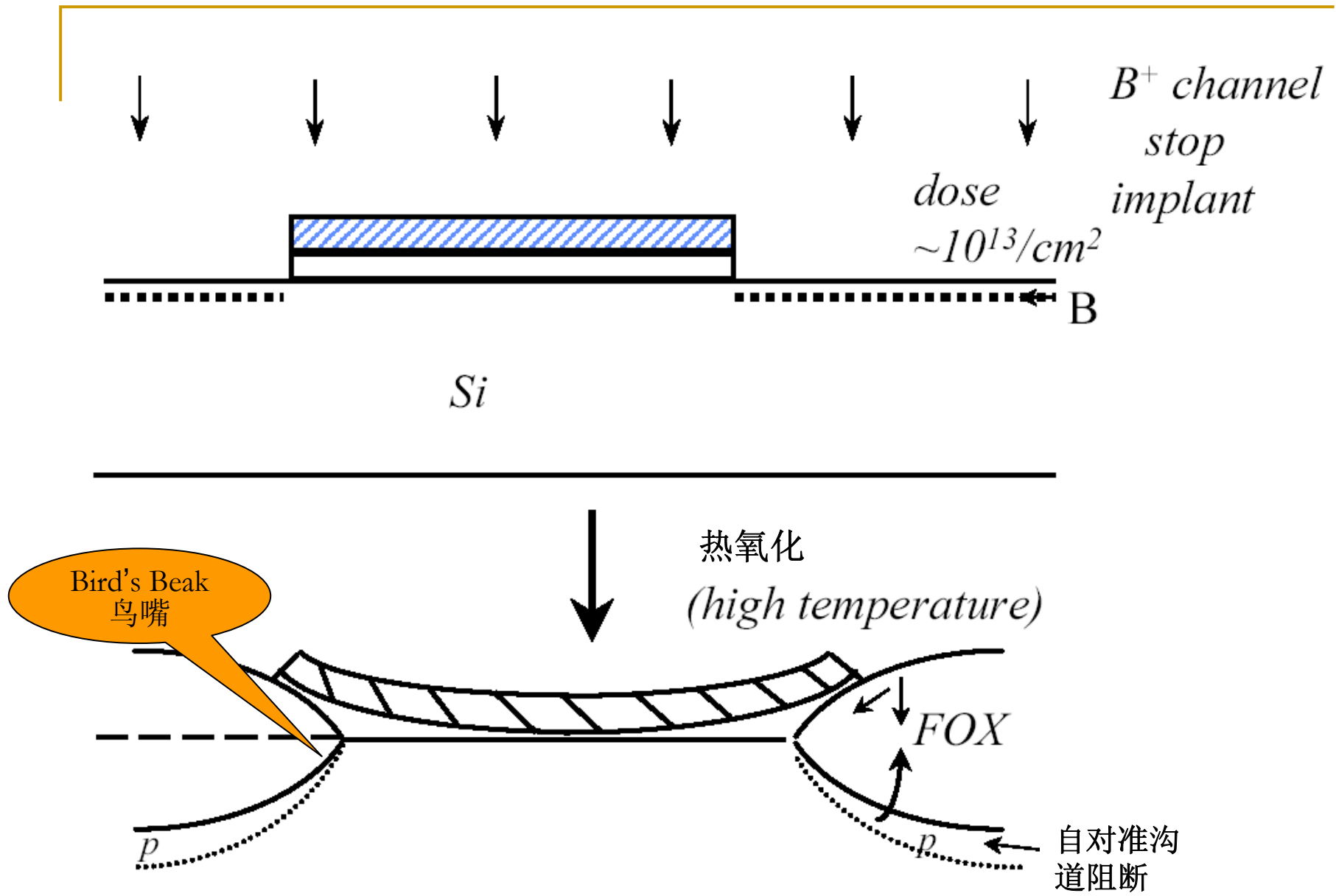
*源漏区总是跟随着栅位置的变化



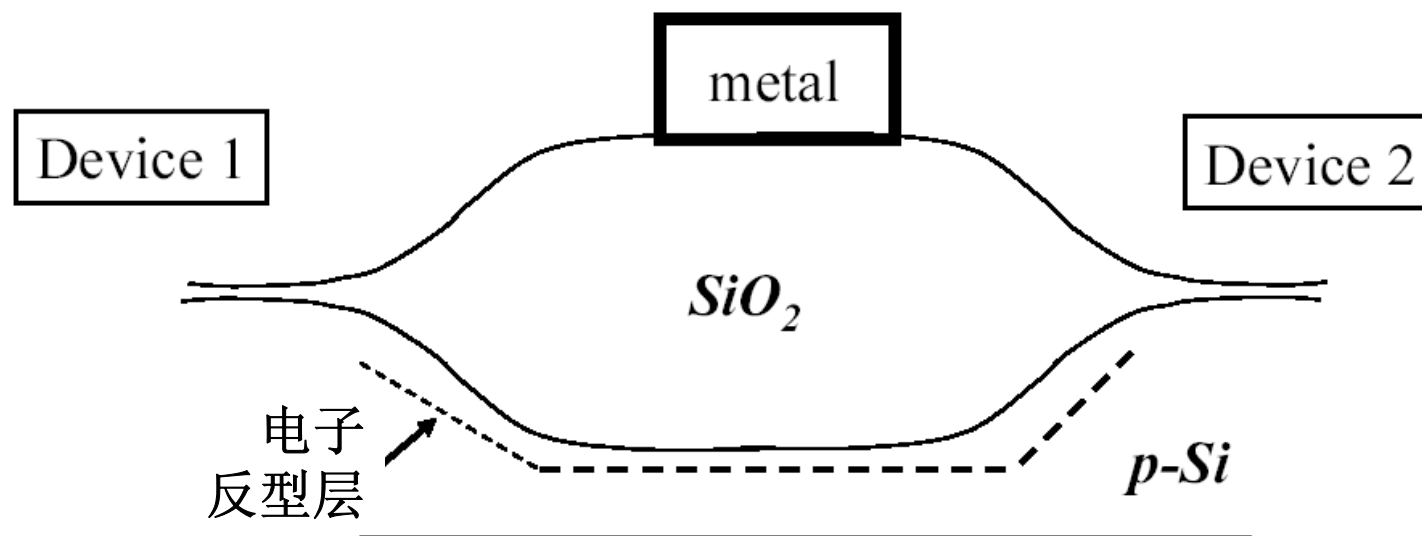
LOCOS (Local Oxidation Isolation) 局部场氧隔离工艺步骤:

LOCOS Process Flow

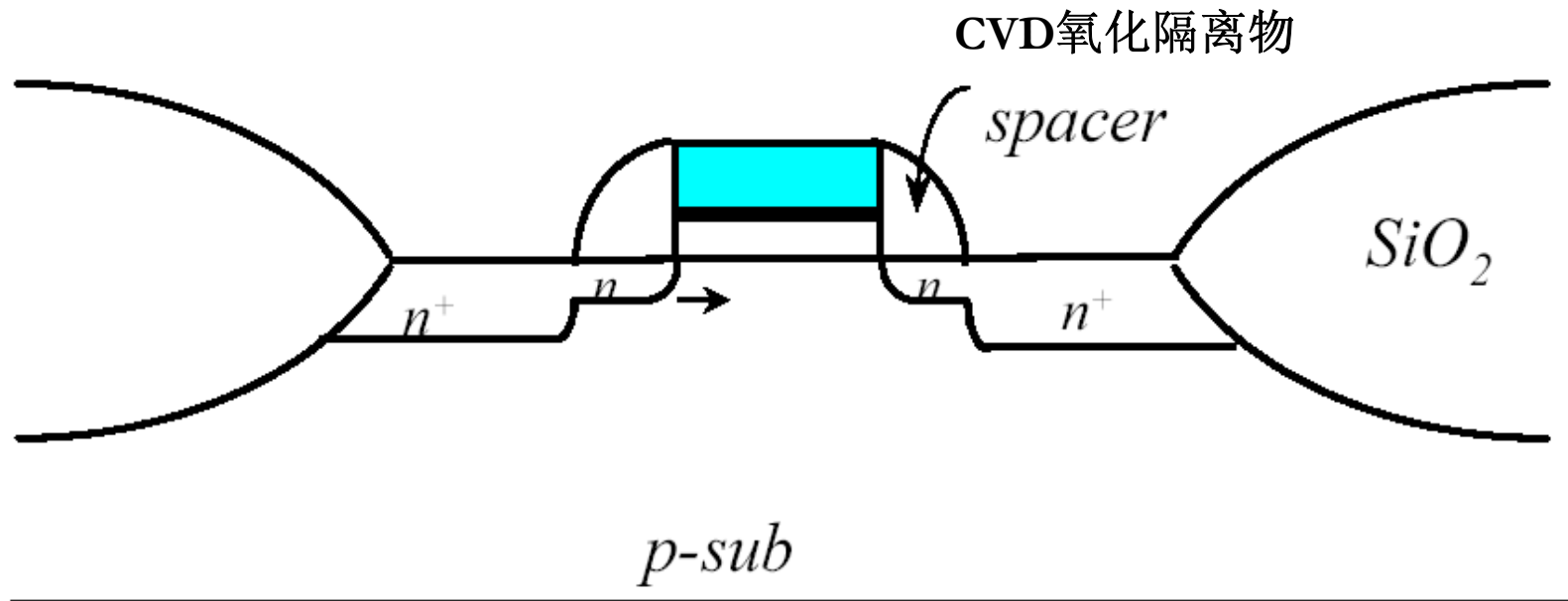




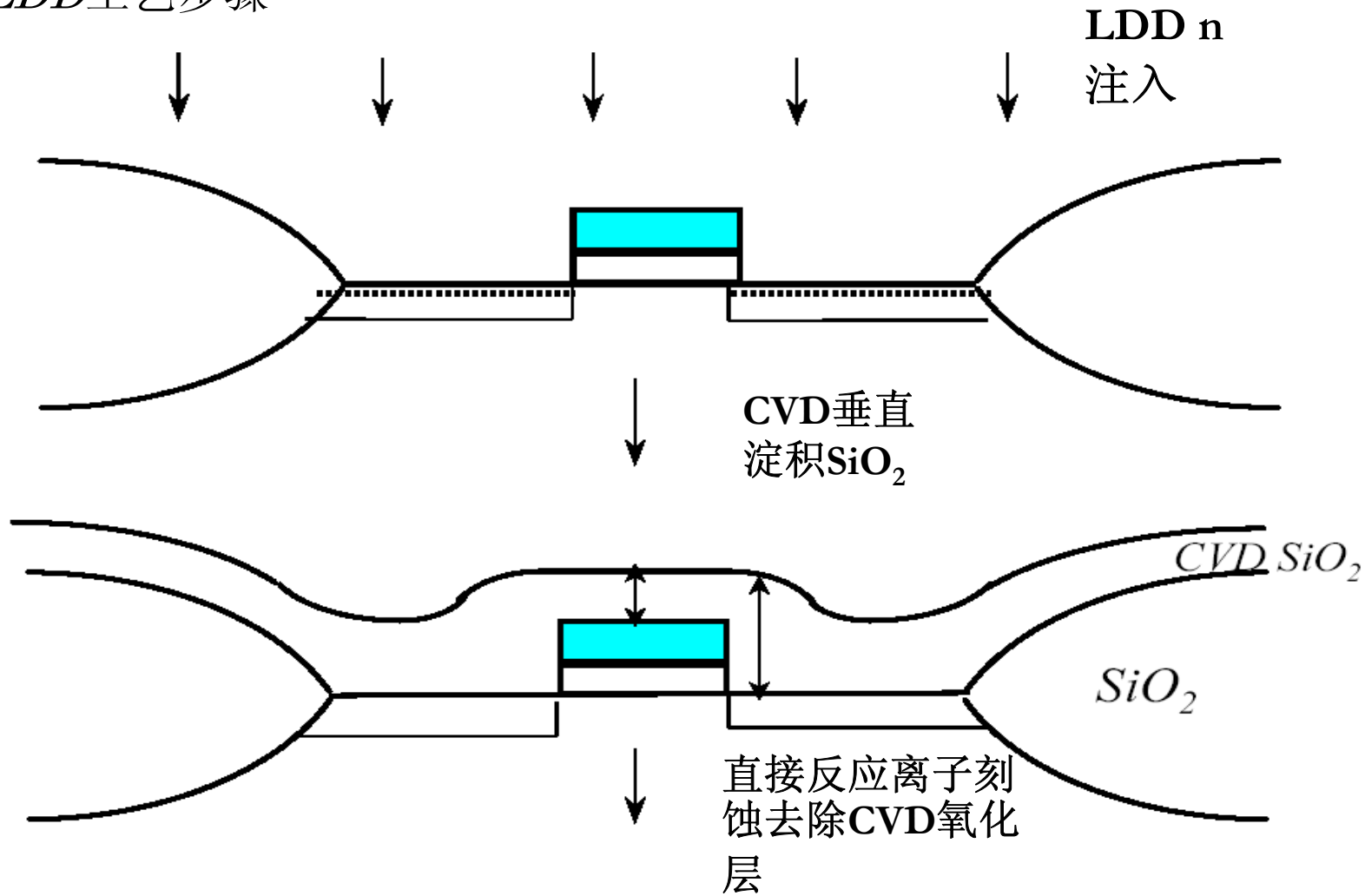
- 如果多晶硅或者金属线覆盖场氧区(FOX), 就会形成寄生MOS晶体管, 如果导线上的电压足够高, 那么就会使衬底上的硅形成反型层, 使相邻的两个器件短路。而提高场氧区底下的硅的掺杂浓度(沟道阻断注入), 就可以大大提高产生反型层的阈值电压。



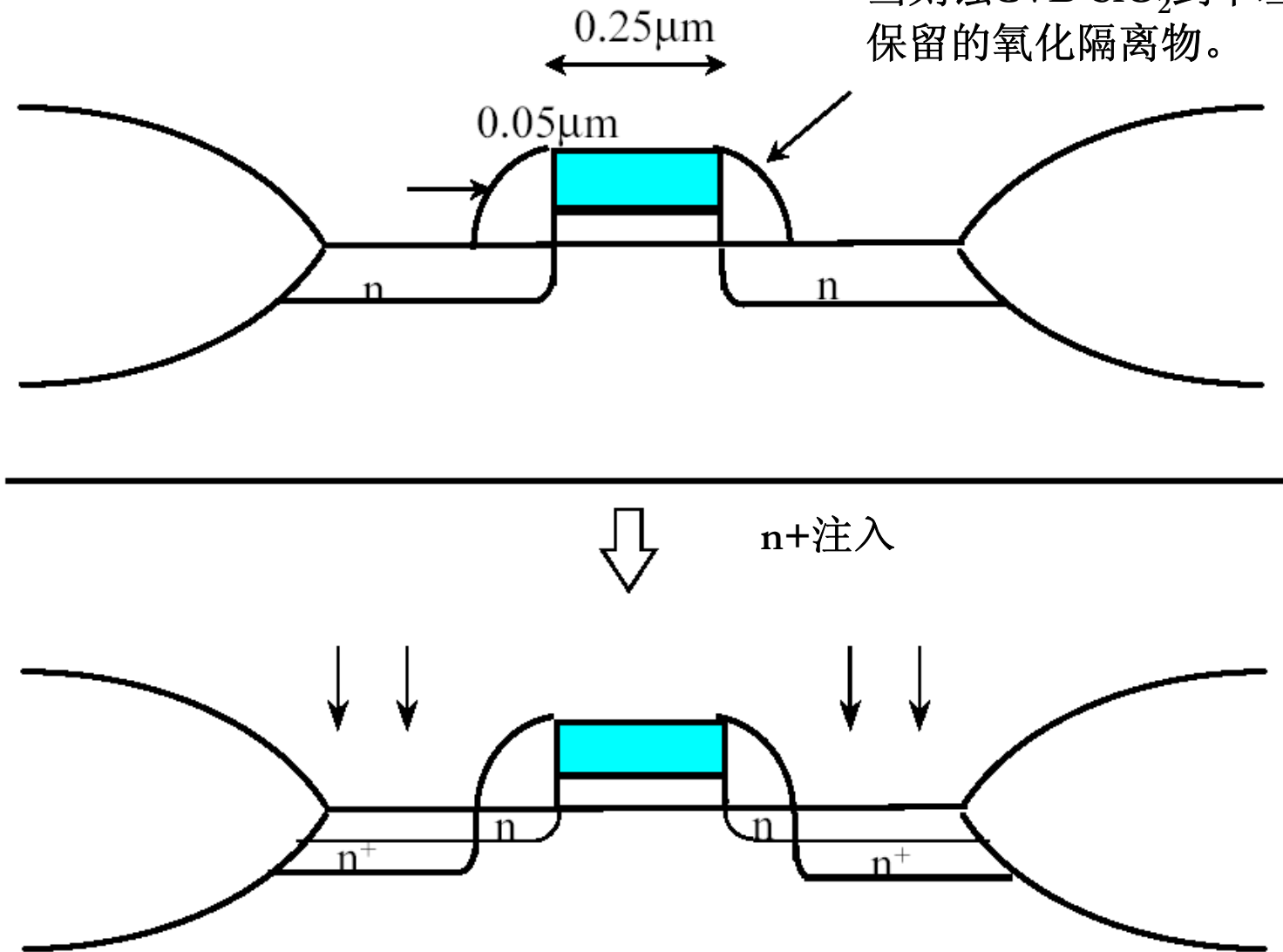
自对准LDD(Lightly Doped Drain/Source)



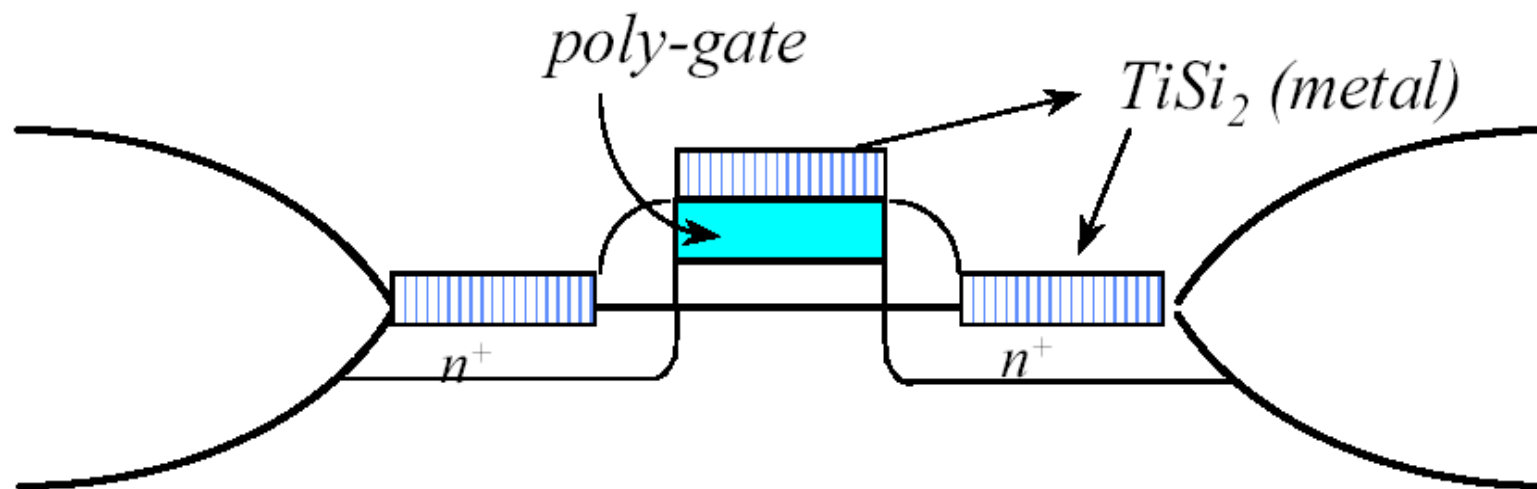
LDD工艺步骤



当刻蚀CVD SiO₂到平坦区域时，保留的氧化隔离物。



自对准硅化物(Silicide)工艺一 (SALICIDE)



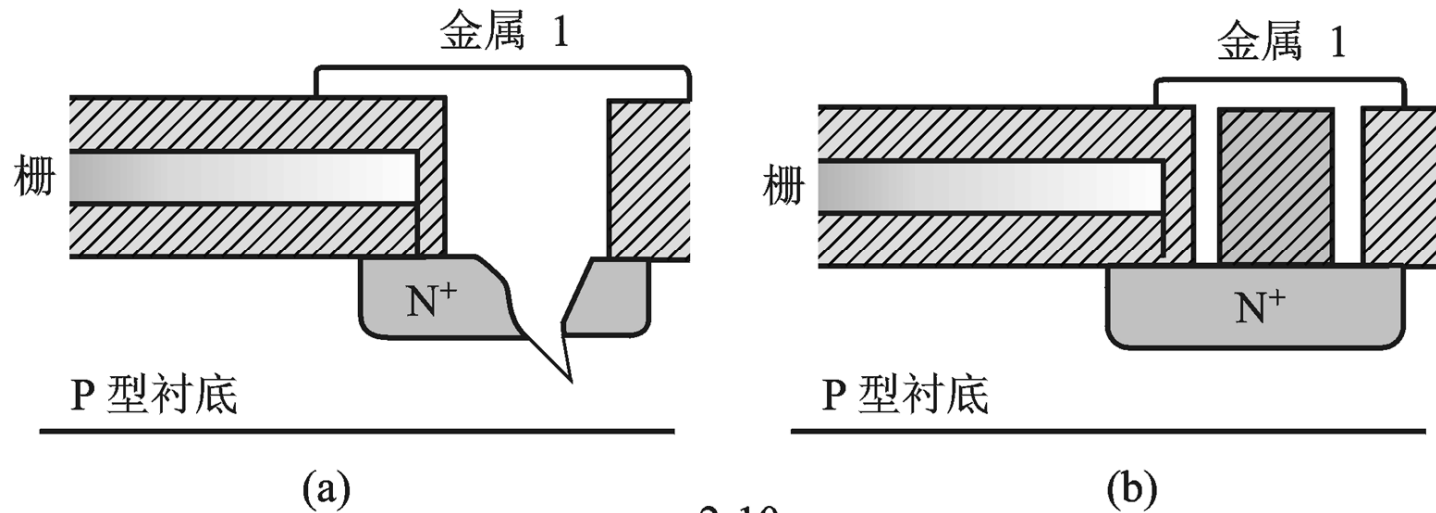
金属硅化物具有金属性质的。

它大大降低了多晶硅栅极和源漏区的方块电阻值。

氧化物侧墙可以起到使栅极硅化物与源、漏区硅化物断开的作用。



大接触孔的“接触穿刺”

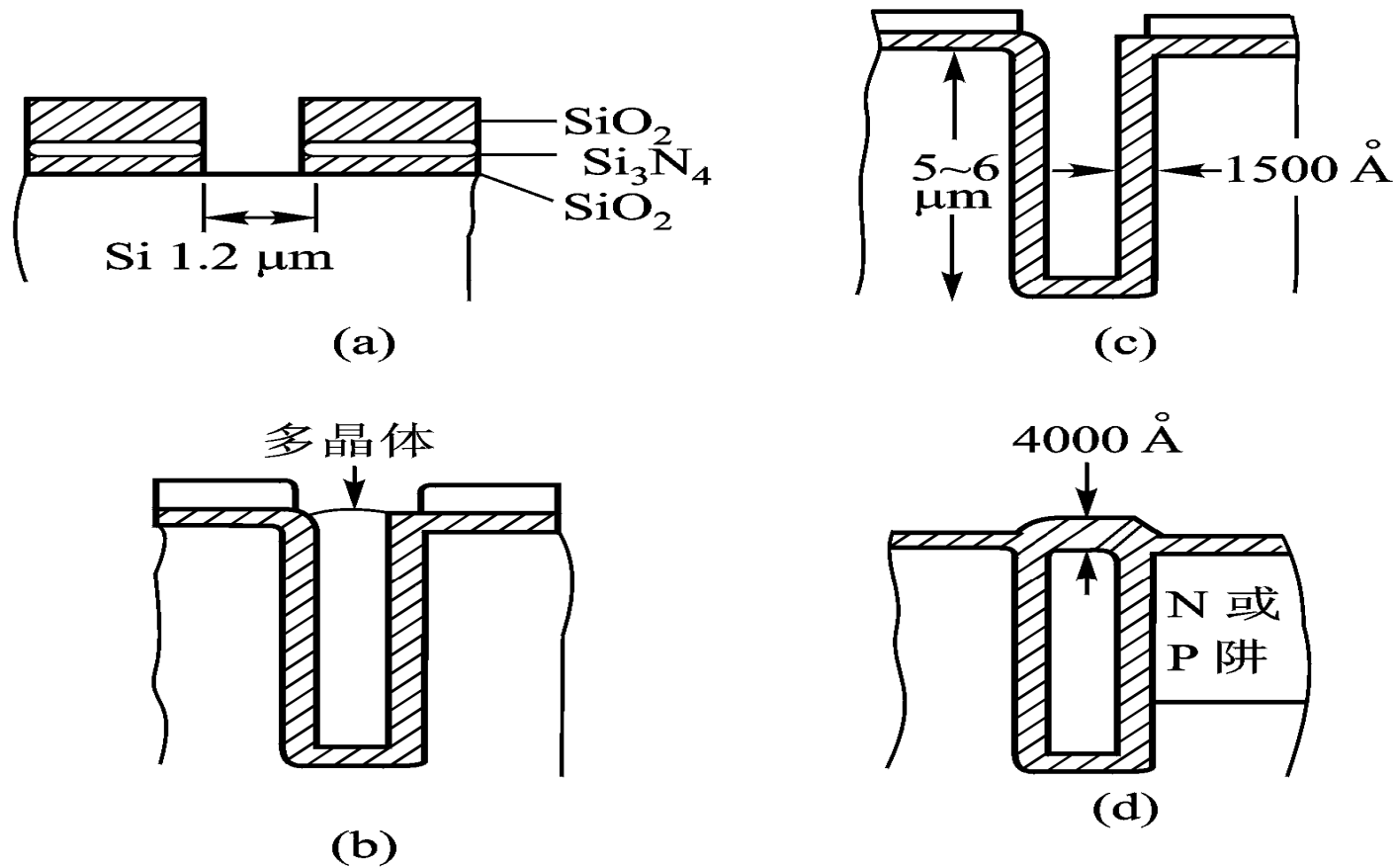


2-10

每个接触孔或通孔的尺寸都是固定的。当接触孔的面积很大时，通常把其分成很多小的窗口



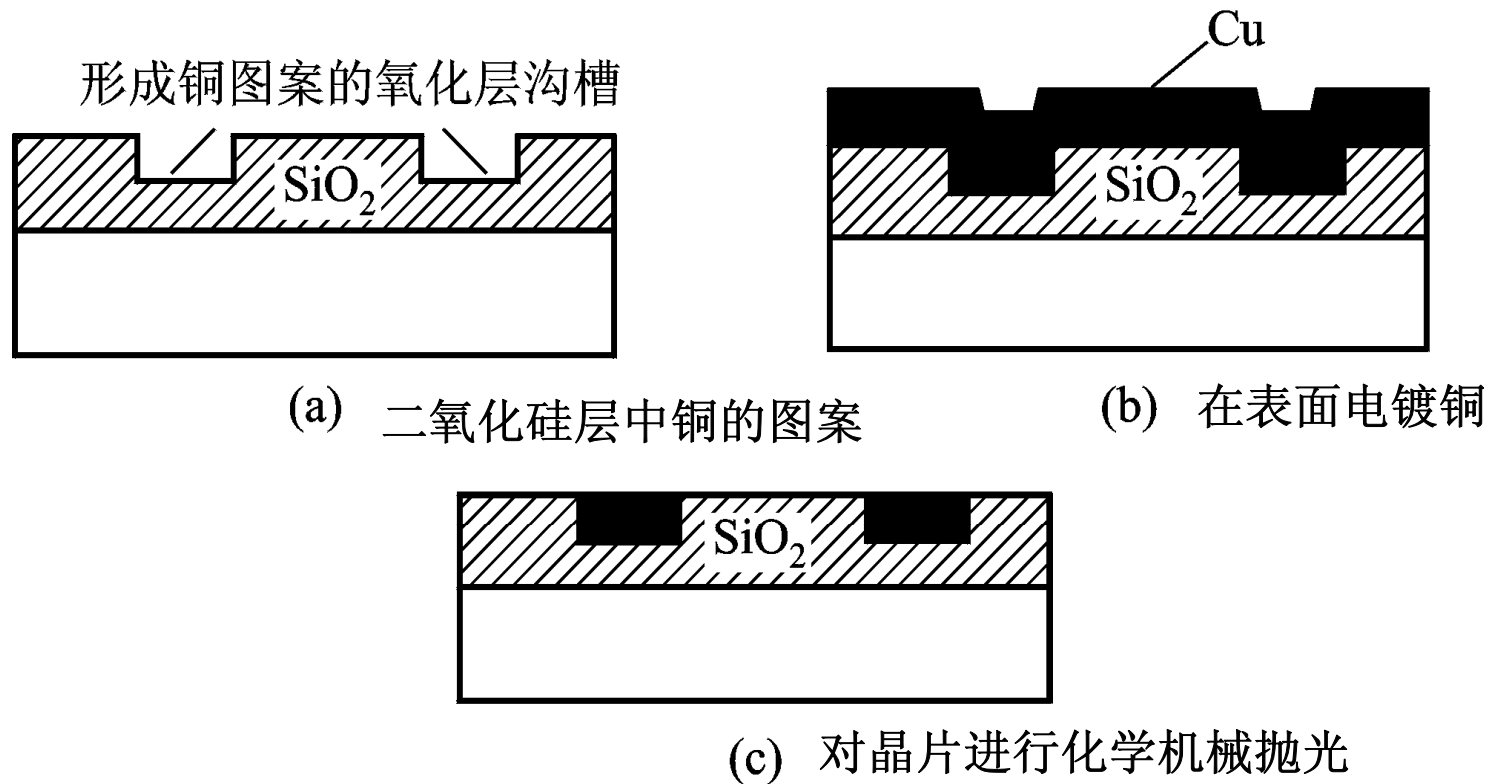
工艺改进——沟槽隔离 (STI) 工艺



在 $0.25\ \mu\text{m}$ 及以下工艺基本取代了局部氧化隔离工艺(LOCOS)



互连材料:用铜代替铝



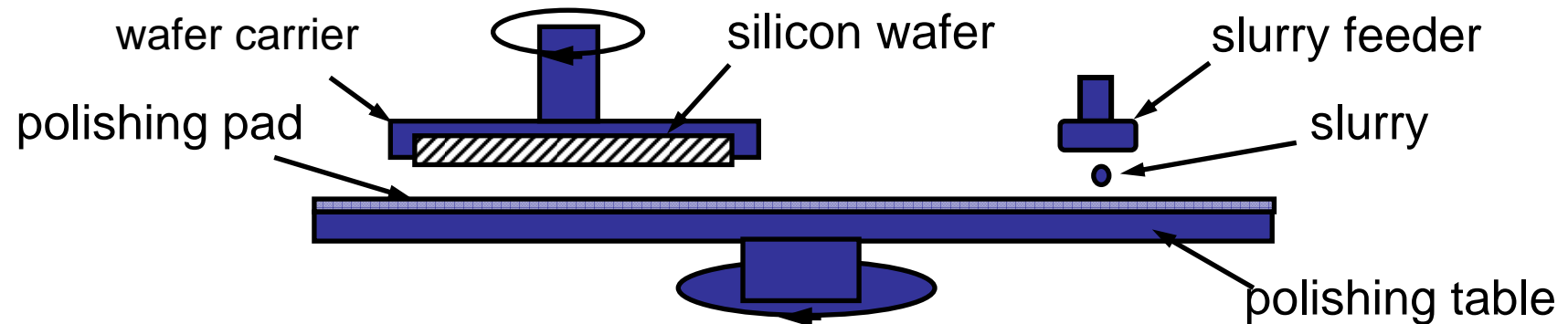
铜的电阻率，大约为铝的一半，可减小互连线的薄层电阻。但是，铜能在硅中很快扩散，也能在二氧化硅中扩散，而且对铜很难刻蚀。因此，采用特殊的大马士革镶嵌工艺。



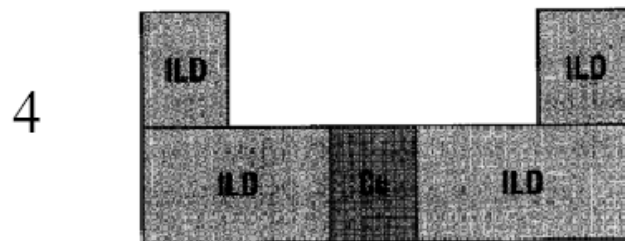
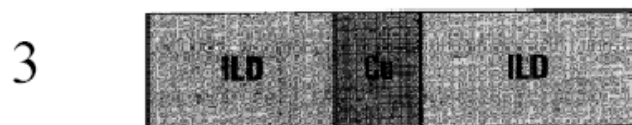
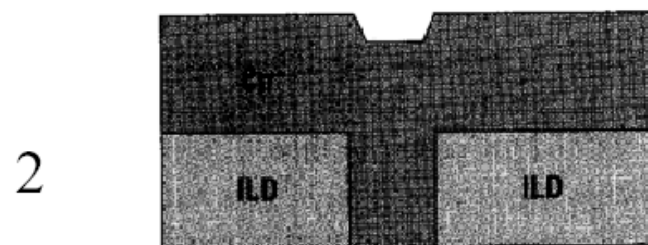
化学机械抛光

Chemical-Mechanical Planarization (CMP)

Polishing pad wear, slurry composition, pad elasticity make this a very difficult process step

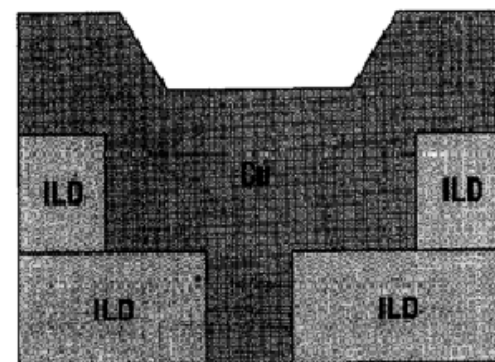


Cu互连的damascene工艺—采用CMP刻蚀Cu

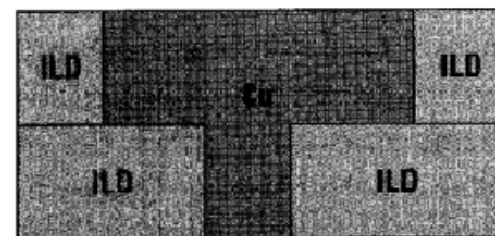


ILD = InterLevel Dielectric

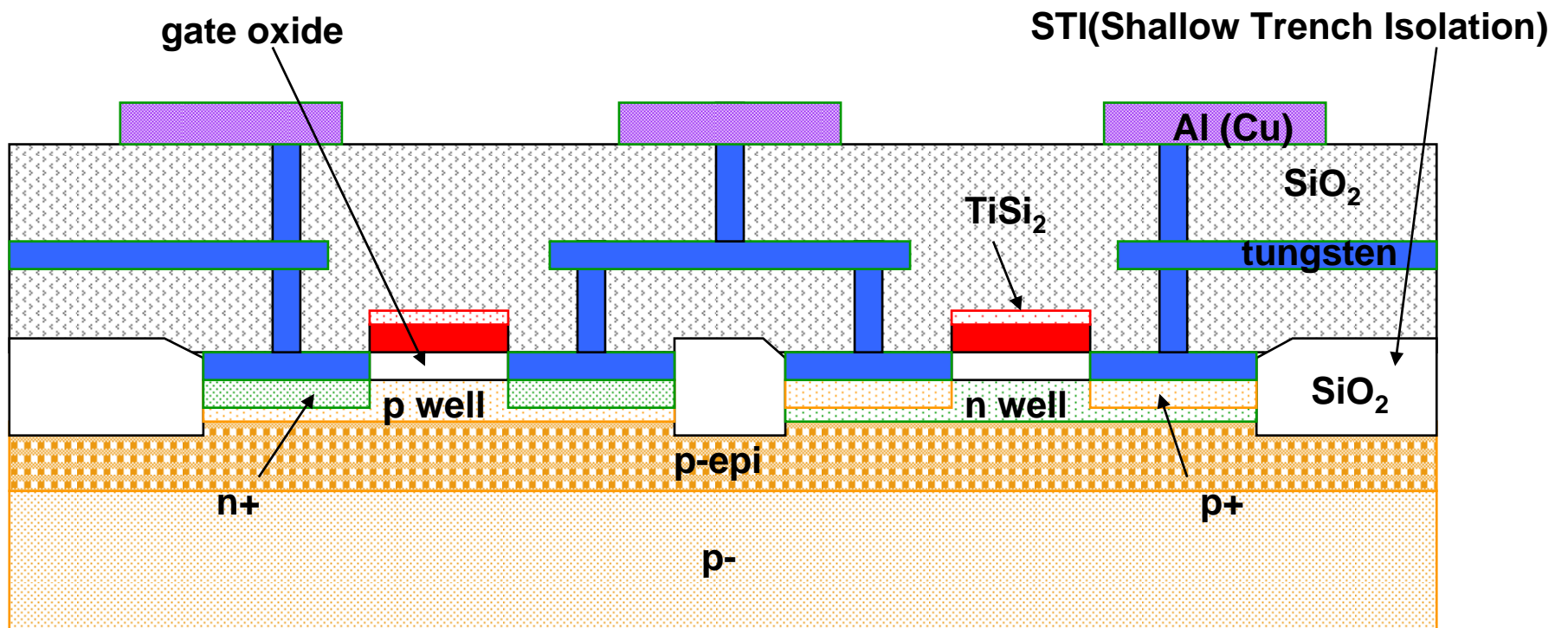
5

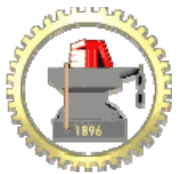


6



现代CMOS工艺(双阱、STI)





西安交通大学

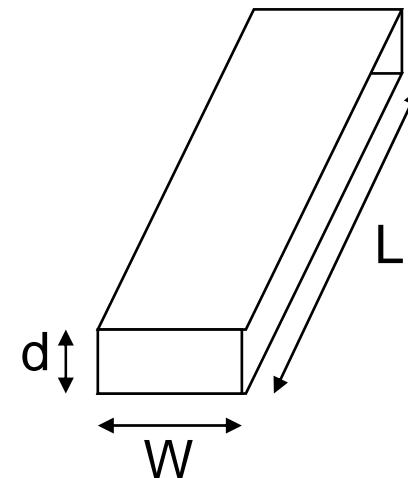
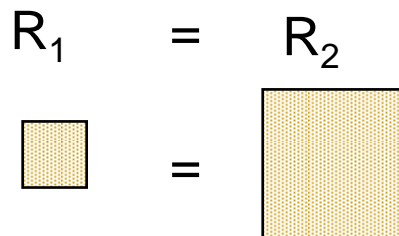
无源元件R、C、L

电阻—电气参数特性

■ 方块电阻 (Ω/\square)

$$R = \rho \frac{L}{Wd} = \frac{\rho}{d} \left(\frac{L}{W} \right)$$

定义方块电阻 $R_{\square} = \rho/d$



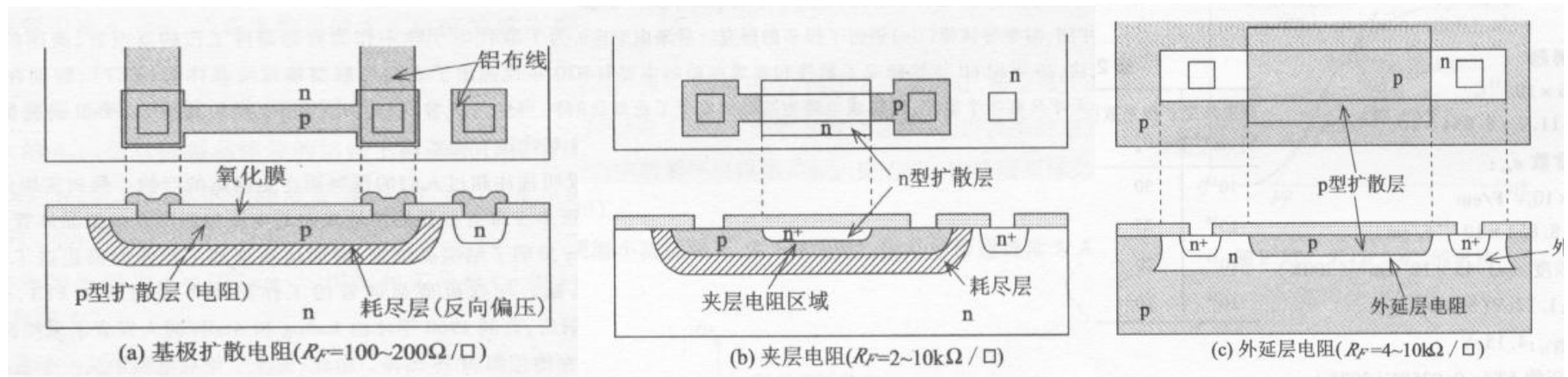
材料	$\rho(\Omega\cdot m)$
银 (Ag)	1.6×10^{-8}
铜 (Cu)	1.7×10^{-8}
金 (Au)	2.2×10^{-8}
铝 (Al)	2.7×10^{-8}
钨 (W)	5.5×10^{-8}

材料	方块电阻值 (Ω/\square)
n, p 阱扩散	1000 to 1500
n+, p+ 扩散	50 to 150
带硅化物工艺的 n+, p+ 扩散	3 to 5
多晶硅	150 to 200
多晶硅硅化物工艺	4 to 5
铝	0.05 to 0.1



集成电路中的无源器件：电阻

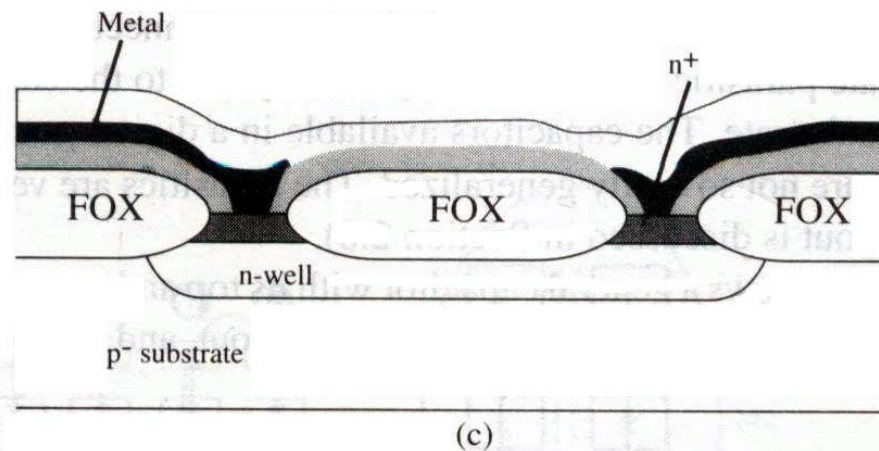
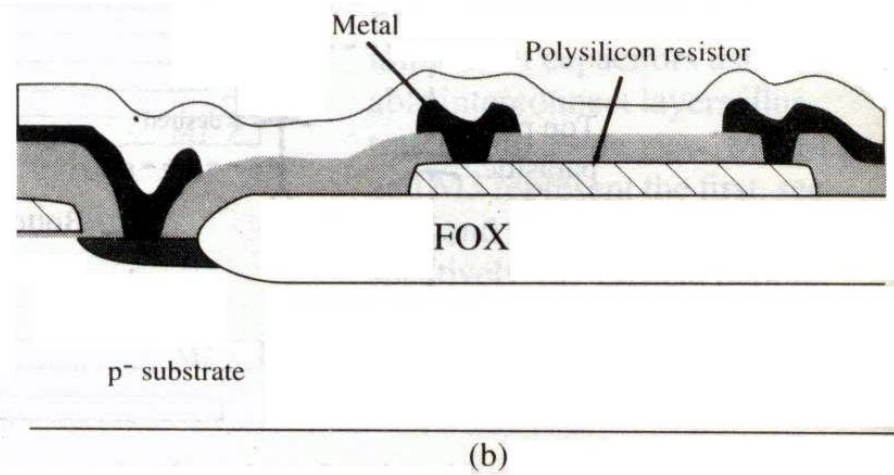
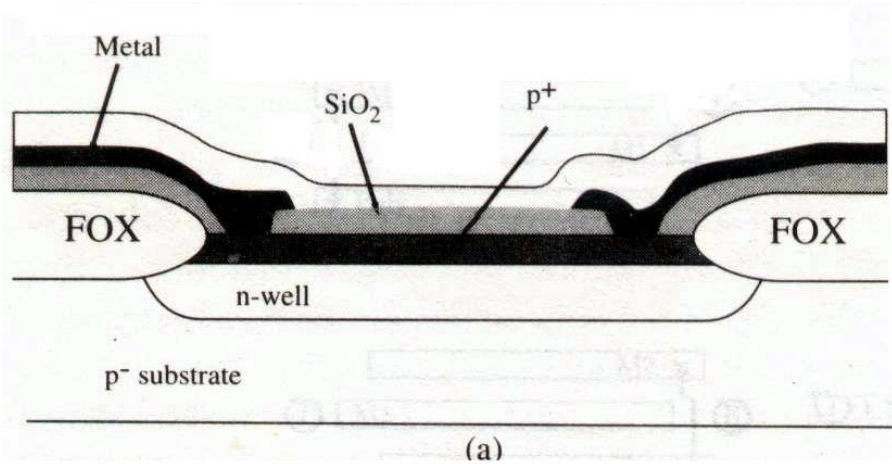
主要电阻：**阱、扩散区、多晶硅、金属**(阻值很小，很少用)。其中扩散区和多晶硅区分硅化物(Silicide)和非硅化物(Nonsilicide)



双极集成电路中的电阻



CMOS集成电路中的电阻器件

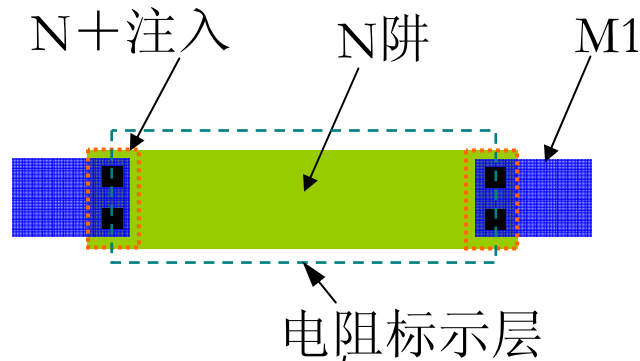


Resistors: (a) diffused, (b) polysilicon, and (c) n-well.

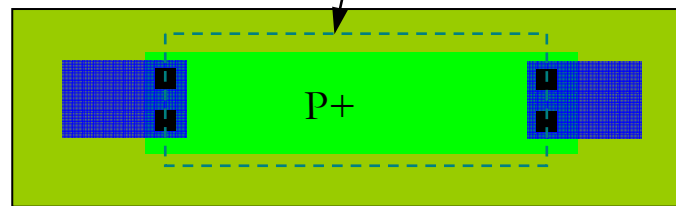


CMOS集成电路中的电阻器件

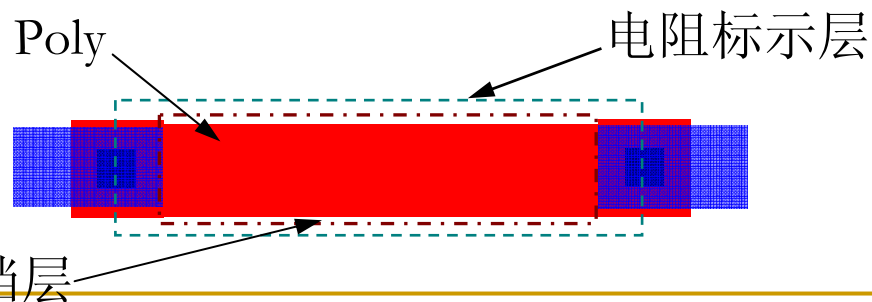
■ P、N阱电阻



■ P+、N+电阻

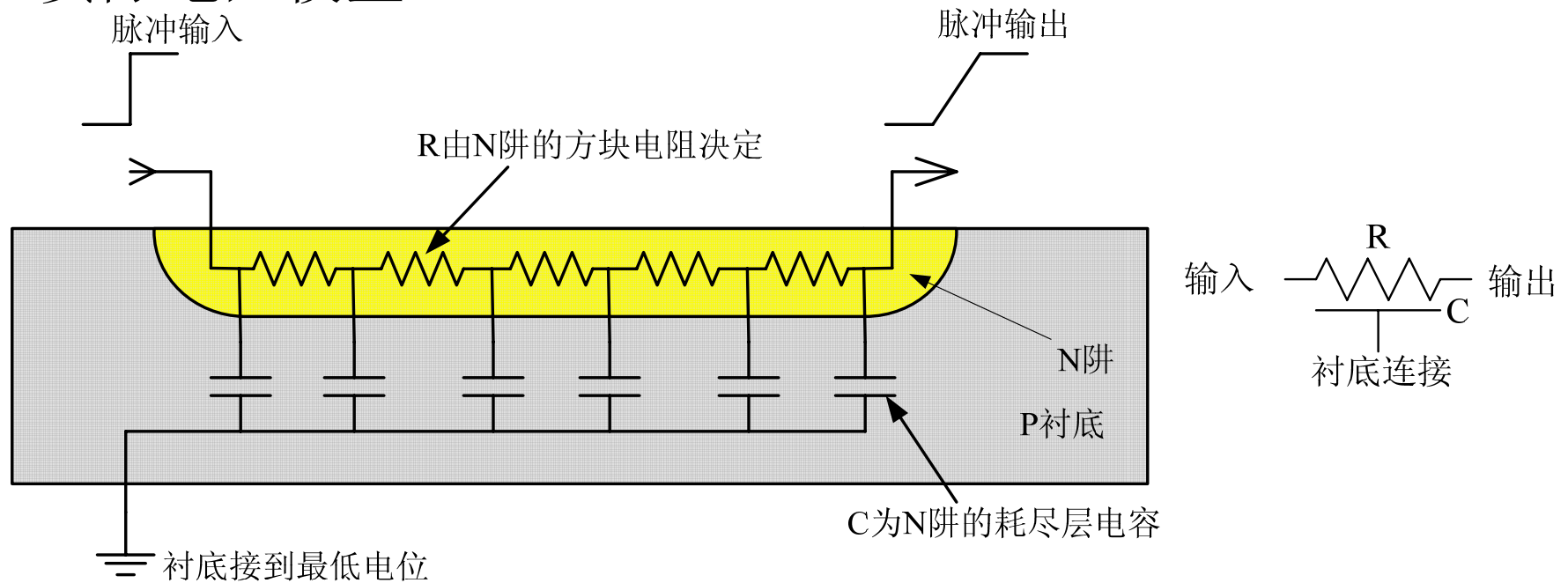


■ Poly电阻



CMOS集成电路中的电阻器件

- 实际电阻不是理想的、线性的；电阻值越小误差越大；
- 实际电阻模型：

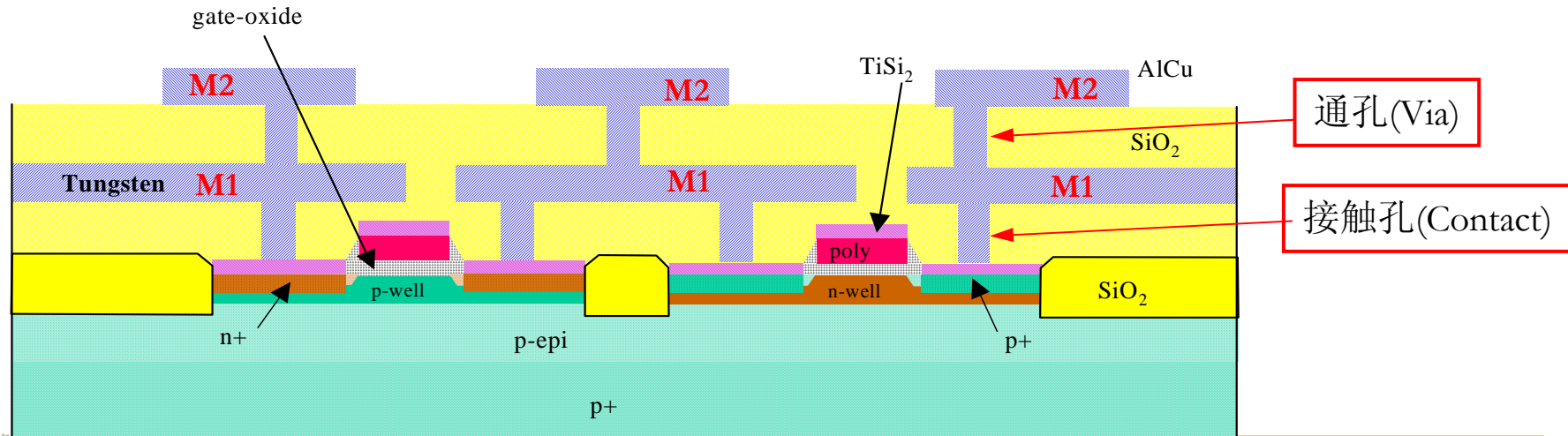


- 电阻的SPICE模型：考虑了材料的方块阻值，温度系数、电压系数等影响；



接触孔/通孔电阻

- 集成电路不同层之间的连接需要接触孔(器件和M1之间)/通孔(不同金属之间), 这会给连线带来额外的电阻, R_C 。
 - 尽量使连线在同一导电层;
 - 同一条连线中, 避免使用过多的孔;
 - 采用增大孔的面积的方法(同时使用多个最小面积的孔)减小电阻值;
- R_C 典型值:
 - 5~10 Ω : M1到Poly或n+, p+扩散区;
 - 1~5 Ω : 金属之间的通孔;
- 该电阻值随着工艺的进步而变大, 因为孔的面积越来越小;

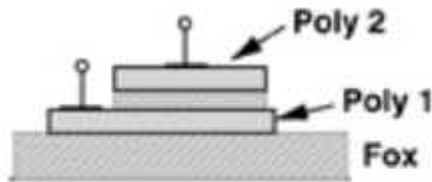


CMOS集成电路中的电容器件

- **PN结电容、MOS晶体管电容和MOS电容(栅电容)**
 - 单位面积容量大、精度低
 - 电源地之间的旁路电容、频率补偿电容
 - 用作变容管
- **Poly1—Poly2电容、MIM电容**
 - 电容面积容量大、线性度好
 - 反馈网络、开关电容和连续时间滤波器、DA/AD中的电荷再分布器件
- **多晶硅—扩散层电容、金属—金属电容、金属—Poly电容**
 - 单位容量较小

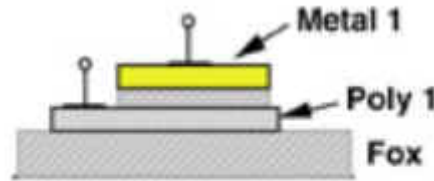


CMOS工艺中常见电容器件



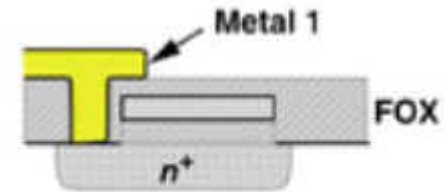
p-substrate

Poly-Poly capacitor



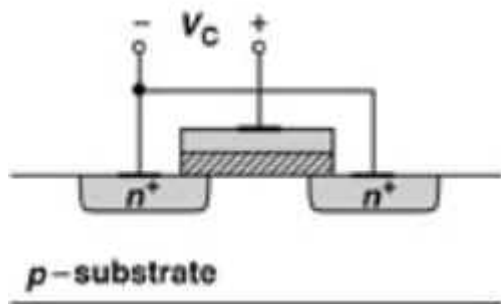
p-substrate

Metal-Poly capacitor



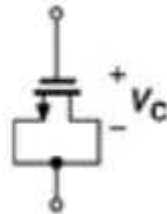
p-substrate

Poly-diffusion capacitor

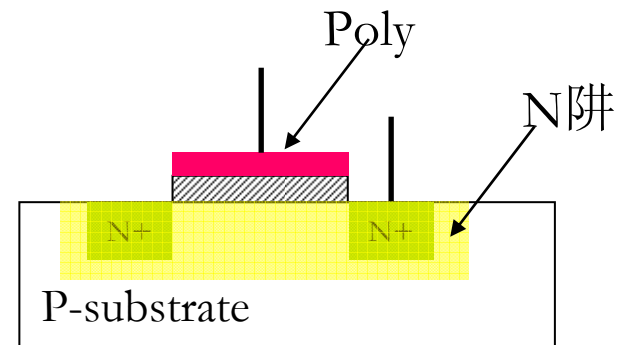


p-substrate

MOS transistor capacitor



栅电容



P-substrate

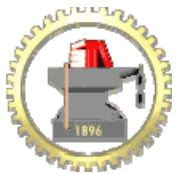
MOS 电容



CMOS集成电路中的无源器件总结

1. 无源器件可以在形成有源器件的同时形成。
2. 电阻、电容和电感占据**很大的面积**。
3. CMOS集成电路中无源器件**精度非常低**。
 - 非线性（与电压有关）；
 - 寄生效应（衬底寄生电容、串联电阻等）
 - 温度系数等影响无源器件的精度，大于20%的变化。
4. CMOS电路中，电阻往往以有源器件来实现，例如工作在深线性区的MOS晶体管。
5. 无源器件的**比值**可以非常精确。
 - 例如： $R1/R2(\sim 1\%)$ ， $C1/C2(\sim 0.1\%)$





西安交通大学

CMOS集成电路互连线

为什么互连线变得越来越重要？

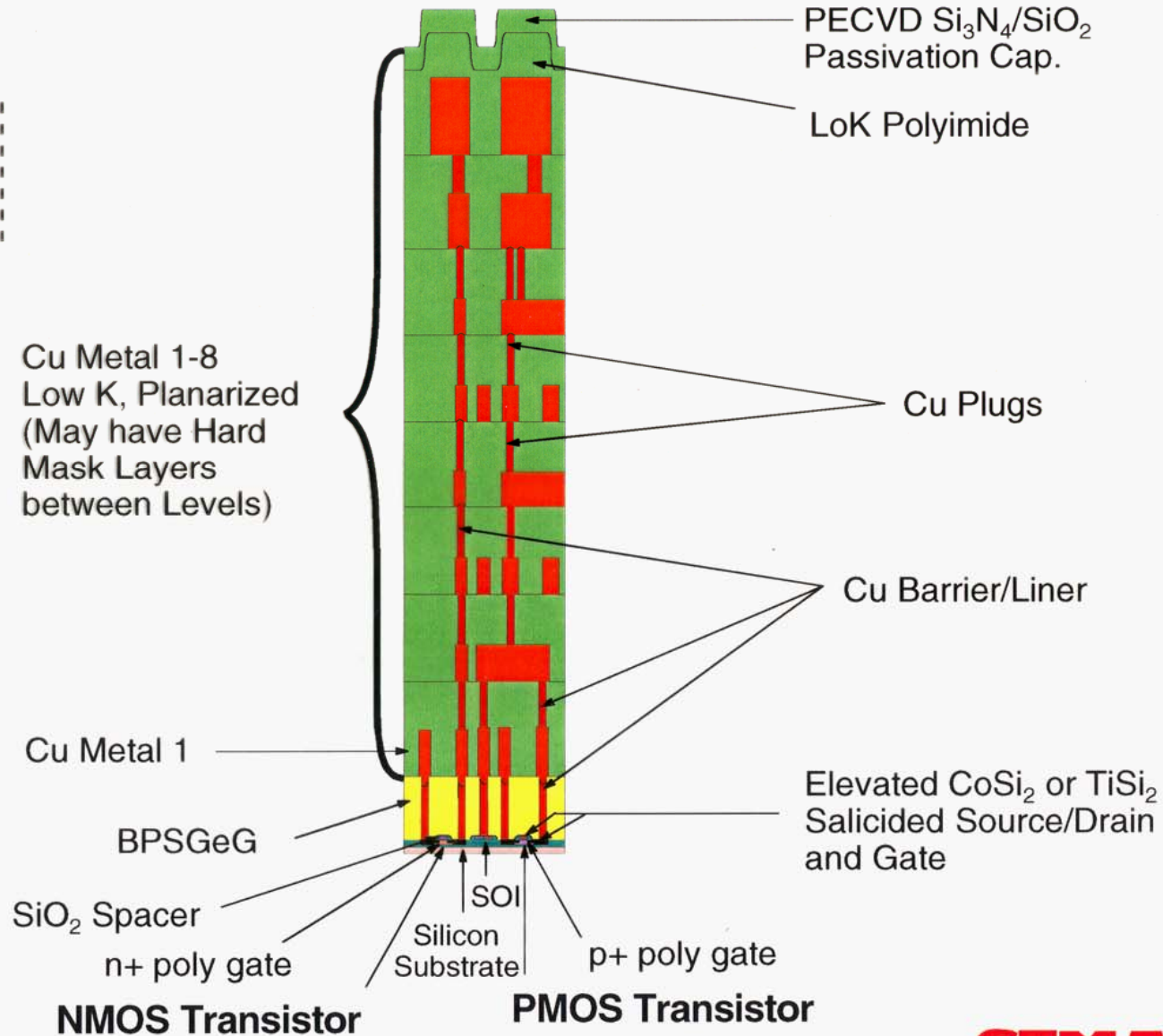
答：在深亚微米工艺中，互连线支配了数字集成电路的一些性能指标，例如：速度，能耗和可靠性，而且随着工艺的进步这种情况越来越严重。集成电路设计由逻辑门转向了互连线设计。

0.10µm CMOS Process Schematic

“High Performance” Logic

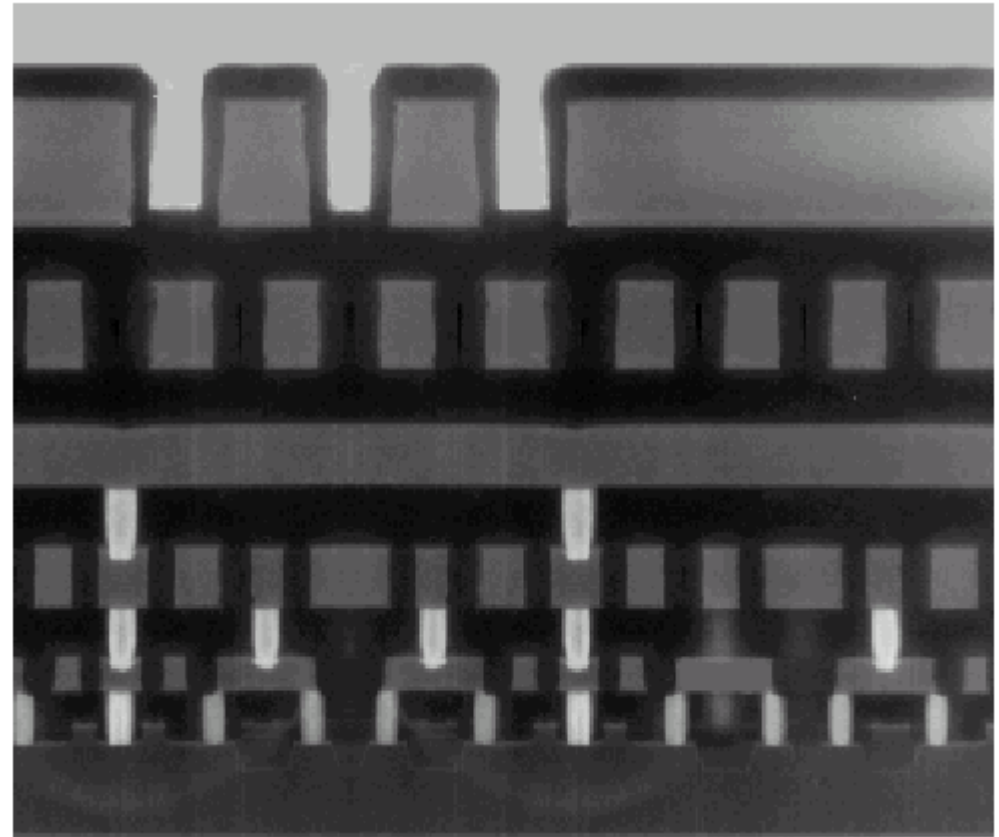
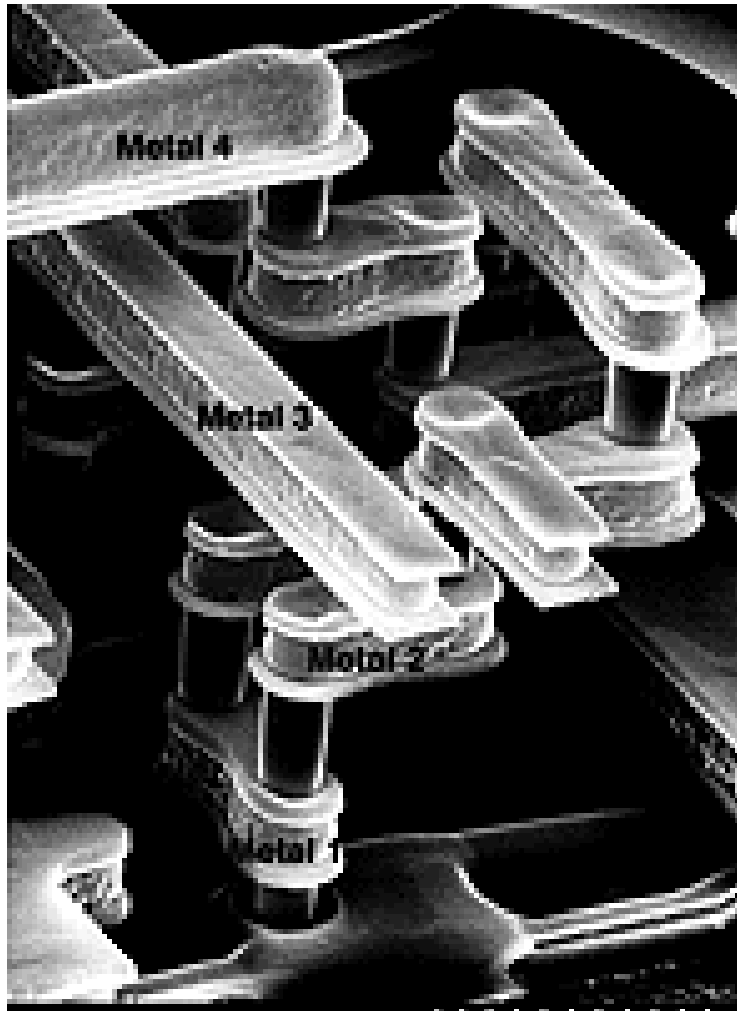
Legend

x is to scale
y is to scale



SEMATECH

现代CMOS工艺中的金属互连



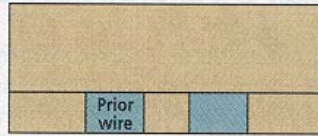
5层金属互连线, Ti/Al, Cu/Ti/TiN



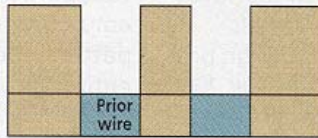
Cu互连工艺

Dual damascene IC process

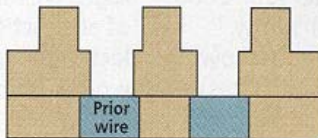
- Oxide deposition



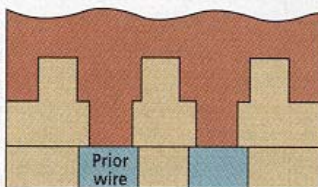
- Stud lithography and reactive ion etch



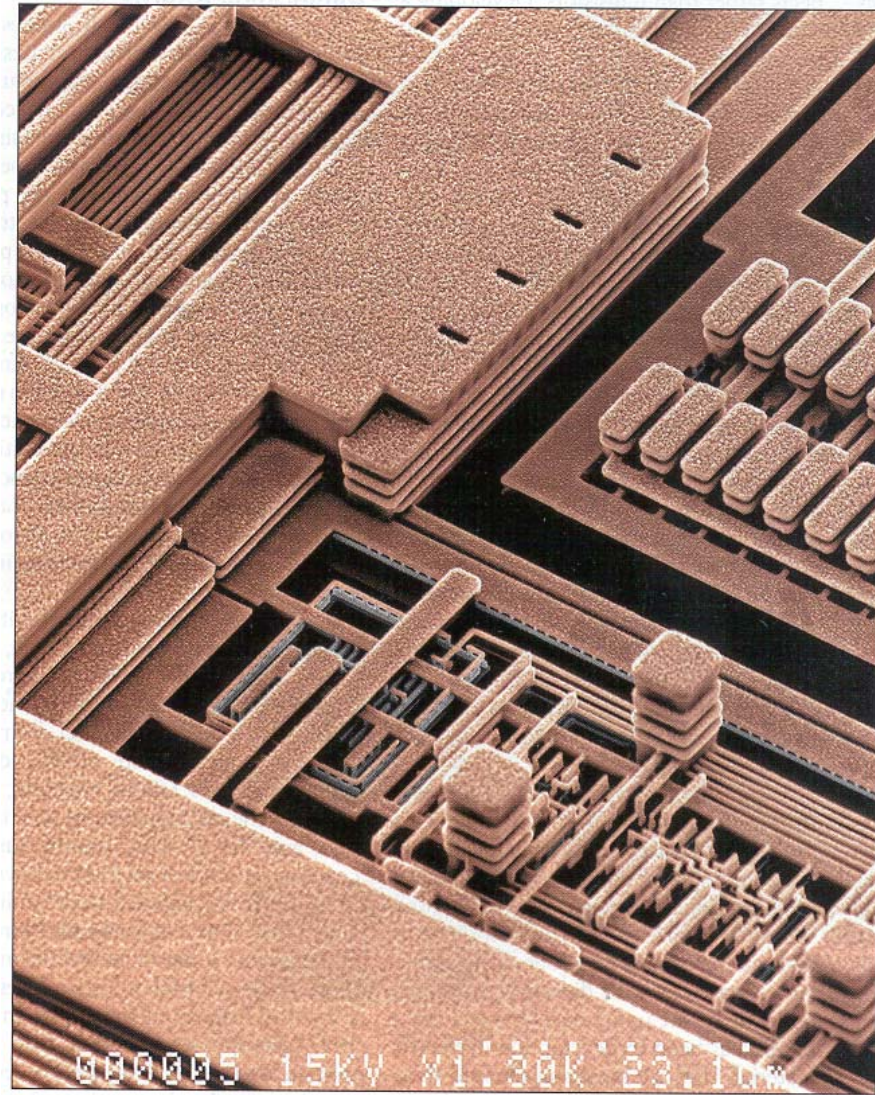
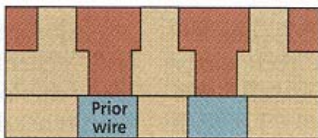
- Wire lithography and reactive ion etch



- Stud and wire metal deposition



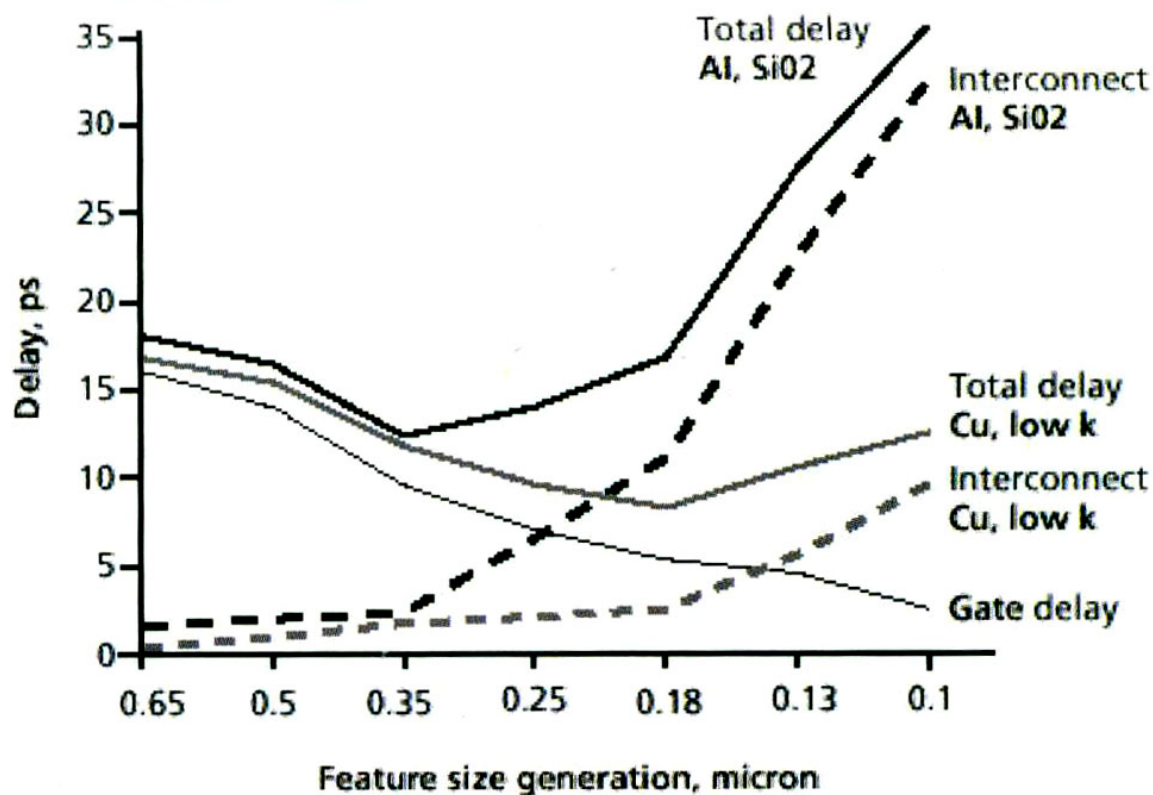
- Metal chemical-mechanical polish



Source: IBM Corp.



工艺进步使互连线延时超过了门延时



在 $0.25\mu\text{m}$ ，Al连线延时超过门延时，在 $0.13\mu\text{m}$ ，Cu连线延时超过了门延时。在设计方法学上，由关注晶体管转变成关注互连线。

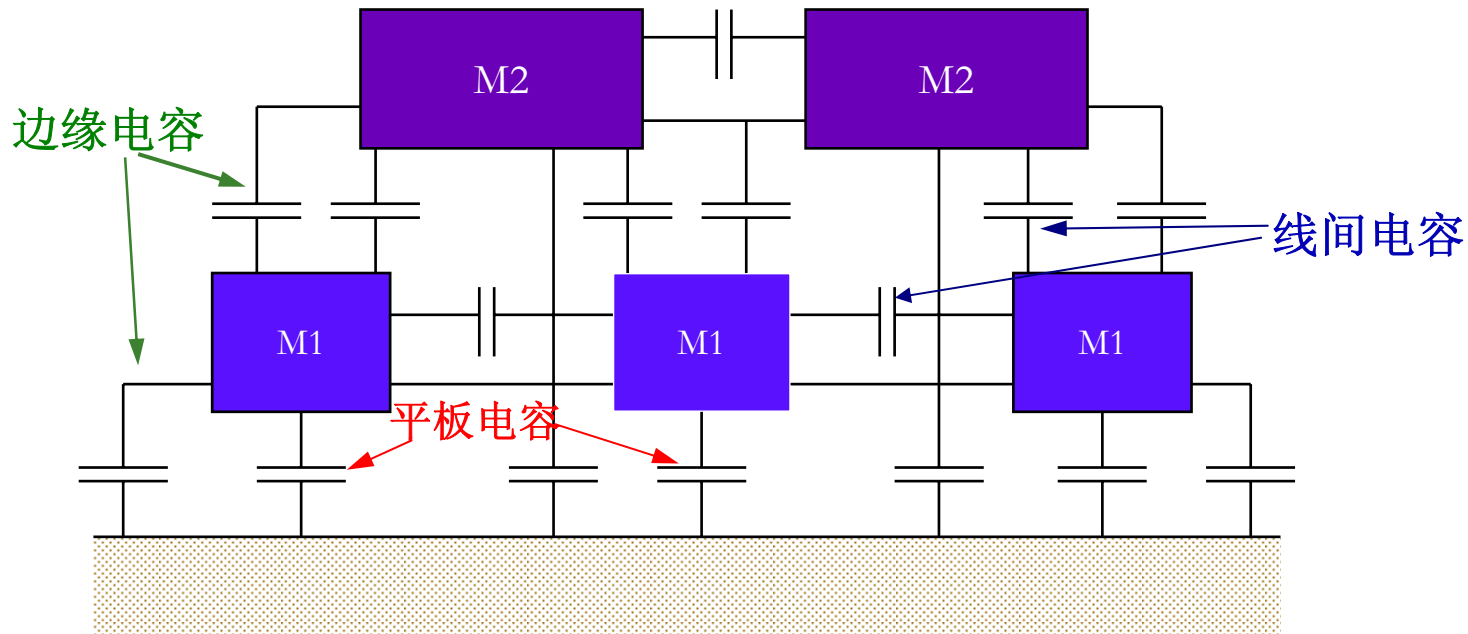


连线电容

集成电路中的连线电容
主要有三部分：

- 平板电容；
- 边缘电容；
- 线间电容；

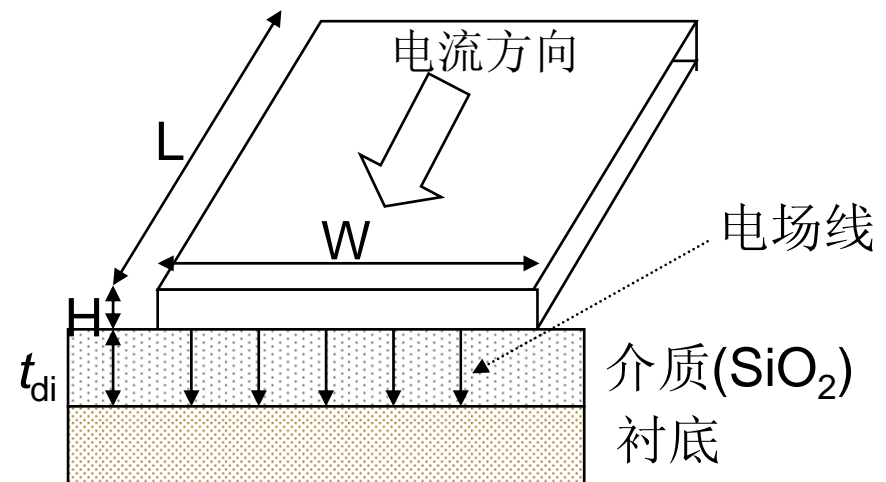
$$\begin{aligned}C_{\text{wire}} &= C_{\text{pp}} + C_{\text{fringe}} + C_{\text{interwire}} \\ &= (\epsilon_{\text{di}}/t_{\text{di}})WL \\ &\quad + (2\pi\epsilon_{\text{di}})/\log(t_{\text{di}}/H) \\ &\quad + (\epsilon_{\text{di}}/t_{\text{di}})HL\end{aligned}$$



连线电容—平板电容

- 金属和多晶硅作为连线时，它们与衬底之间以及它们相互之间存在寄生电容；
- 连线电容的大小取决于连线的长度和宽度；
- 随着工艺的进步和集成电路面积的增大，连线电容越来越占主要地位；

平板电容模型

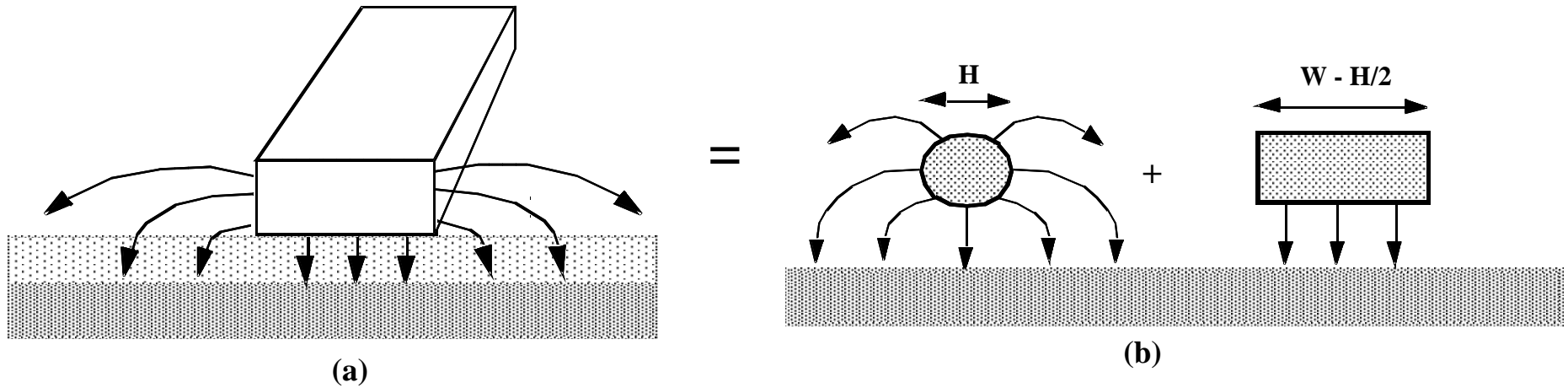


$$C_{pp} = (\epsilon_{di}/t_{di}) WL$$

SiO₂介电常数



连线电容—边缘(Fringing)电容



$$w = W - H / 2$$

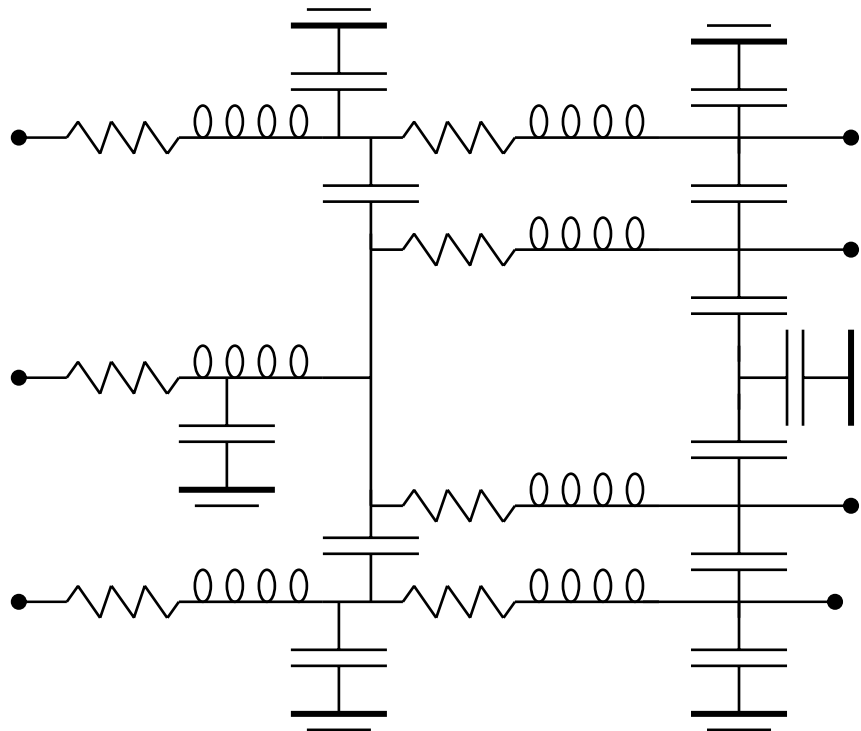
$$C_{wire} = C_{pp} + C_{fringe} = \frac{w \epsilon_{di}}{t_{di}} + \frac{2 \pi \epsilon_{di}}{\log(t_{di} / H)}$$

还有更精确的模型，但都复杂得多，例如书中的公式。

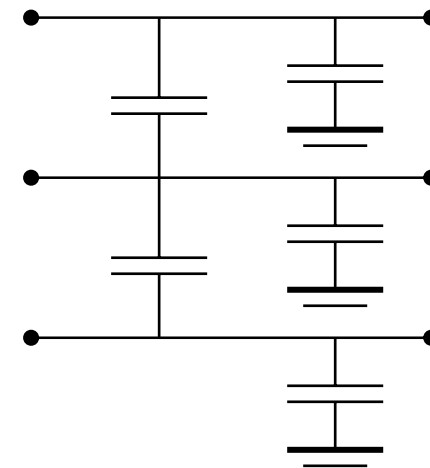


连线模型

- 互连线寄生参数(电容、电阻和电感)
 - 降低可靠性
 - 影响性能、增加功耗



包含所有参数(C,R,L)的模型



只含电容参数的模型



集成电路设计规则

通常指版图设计规则(几何设计规则), 是IC设计与工艺制备之间共同遵守的约定。

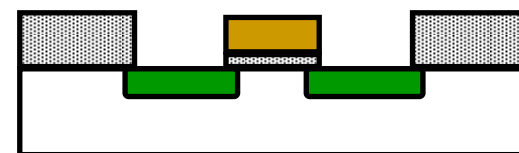
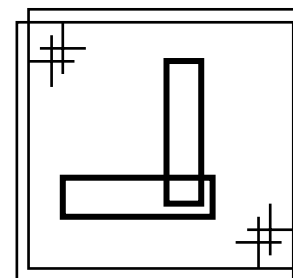
- 制定目的: 在**芯片尺寸尽可能小**的前提下, 使得即使存在**工艺偏差**也可以正确的制造出IC, 尽可能地**提高电路制备的成品率**;
- 芯片上每个器件以及互连线都占有有限的面积。它们的几何图形由电路设计者来确定。
- 设计者在确定几何图形时, 要受到两个因素的影响: 光刻精度和电学参数。
- 从图形如何精确地光刻到芯片上出发, 可以确定一些对几何图形的最小尺寸限制规则, 这些规则被称为设计规则。



- 设计规则是IC工程师和工艺工程师之间相互制约的手段，两者沟通的桥梁，通过设计规则，电路工程师不必了解工艺细节就可以成功的设计出电路；而工艺工程师也不需要了解电路内容就可以成功的制造出电路。
- 设计规则是电路性能和成品率之间的折中，设计规则保守则成品率高，但电路面积大、性能差一些；设计规则激进，则电路性能好、面积小，但成品率低。

IC制造中造成工艺偏差的因素主要包括：

- ▶ 掩模版的对准偏差；
- ▶ 尘埃颗粒；
- ▶ 工艺参数(例如：横向扩散、横向腐蚀等)；
- ▶ 表面不平整；



设计规则的内容

- **Design Rule**通常包括相同层和不同层之间的下列规定：

最小线宽 Minimum Width

最小间距 Minimum Spacing

最小延伸 Minimum Extension

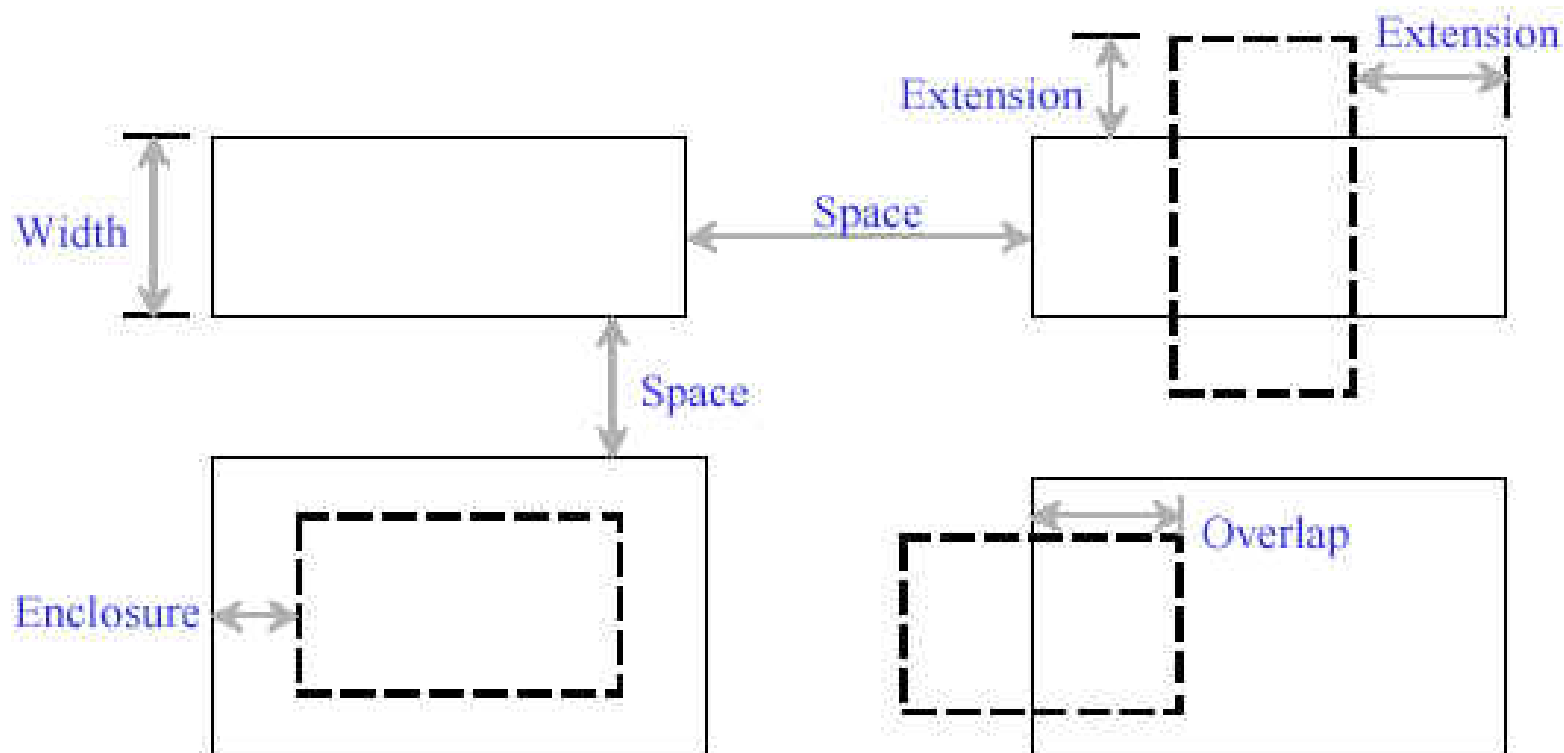
最小包围 Minimum Enclosure

最小覆盖 Minimum Overlay

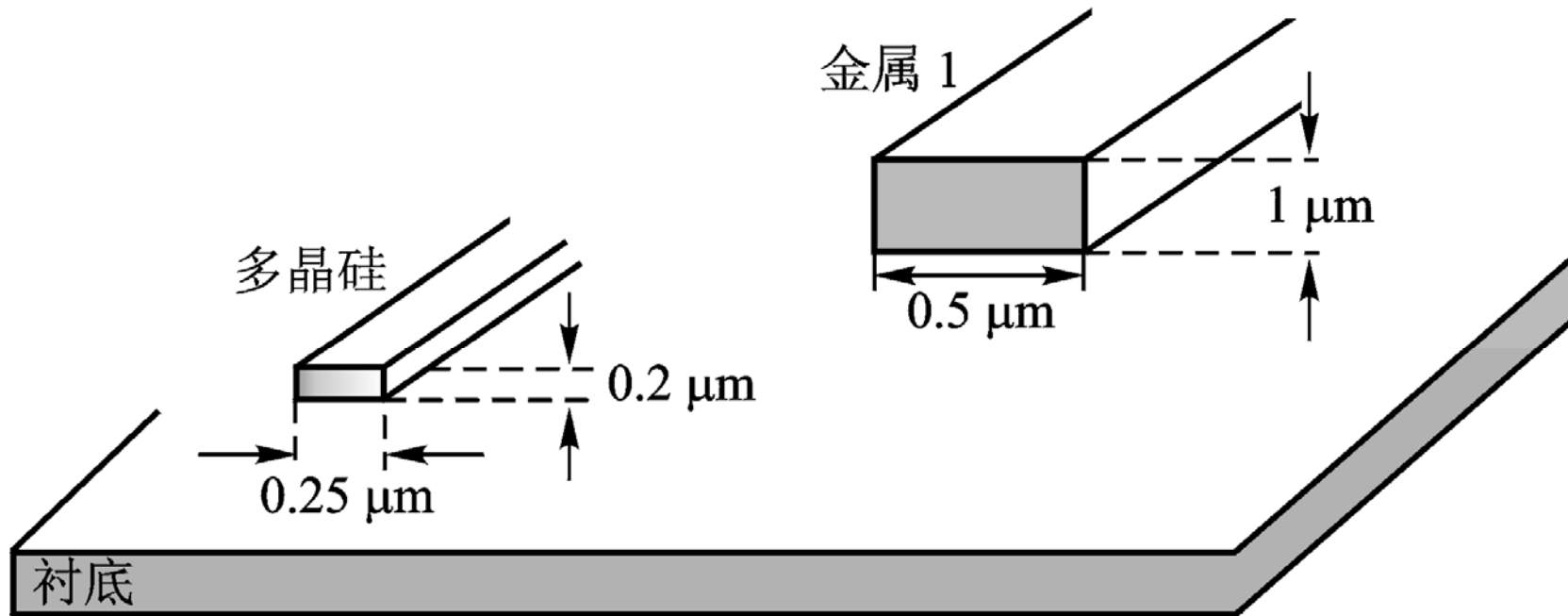


设计规则的内容

基本定义 (Definition)



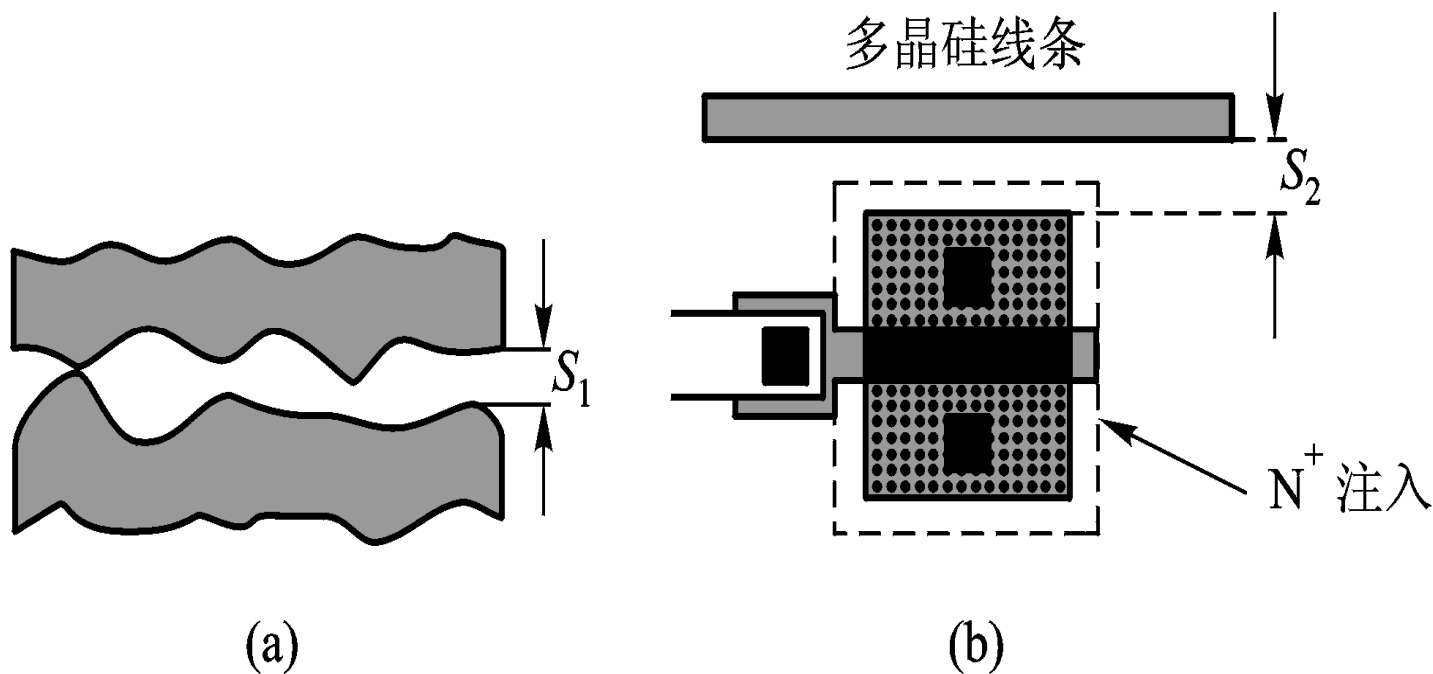
多晶硅连线和金属连线的宽度与厚度



2-23



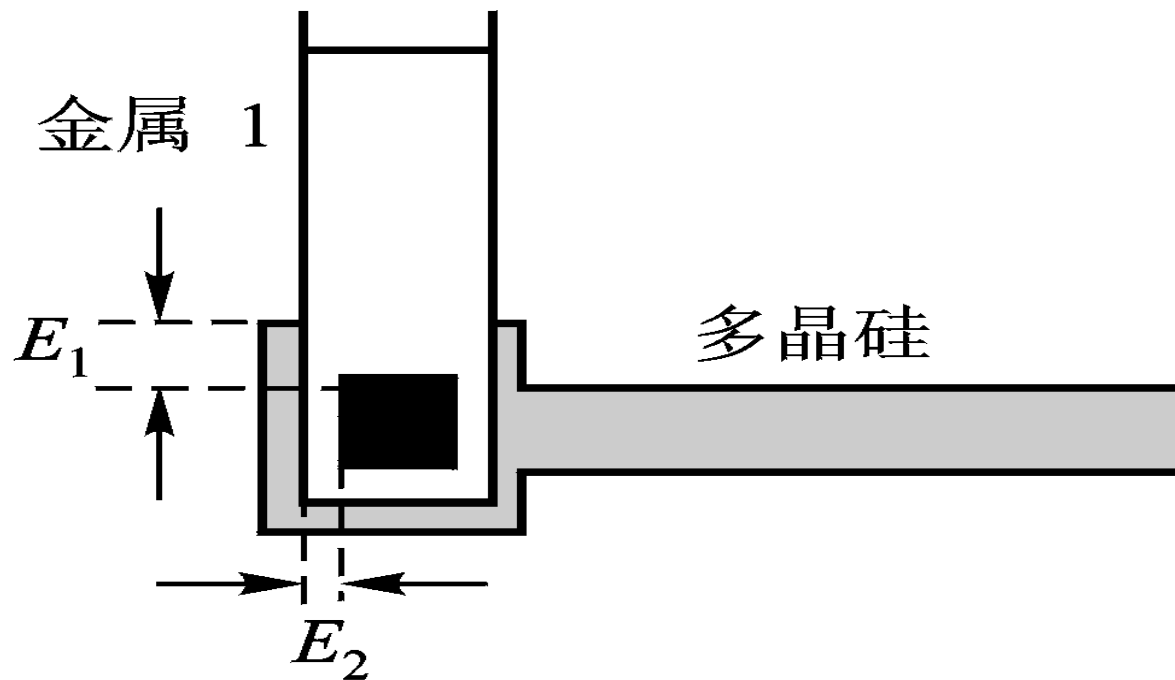
最小间距



(a) 间隔太小的两条多晶硅连线之间的短路；(b) 有源区与多晶硅的最小间距



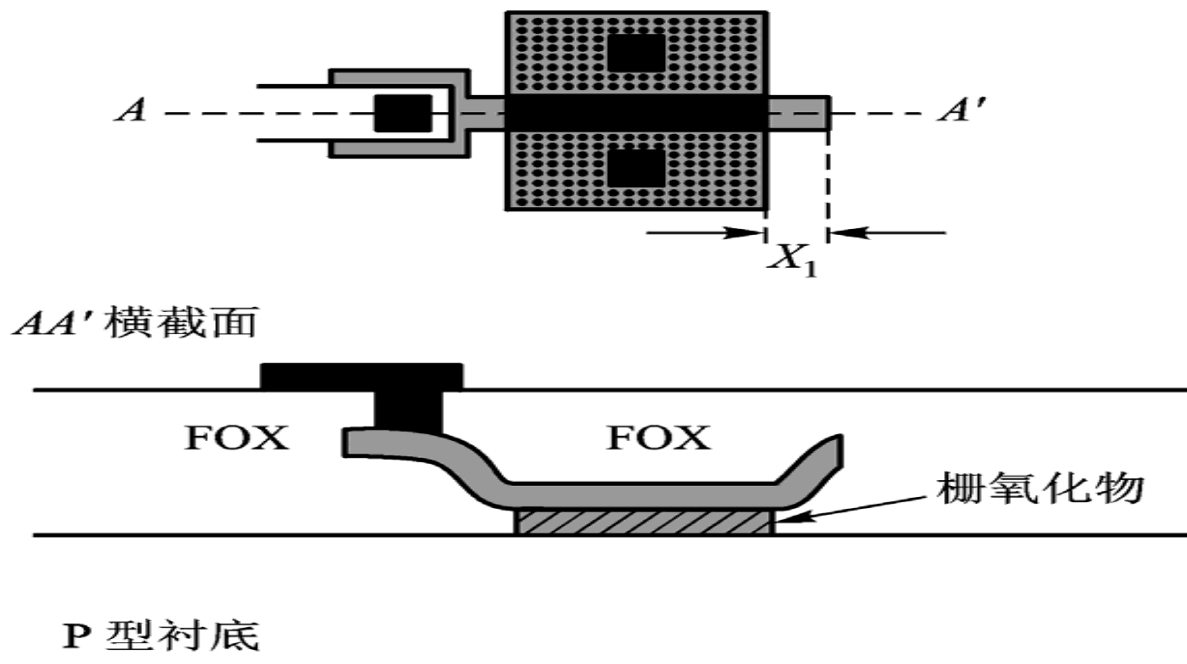
最小包围



多晶硅和金属包围接触孔的规则



最小延伸



多晶硅超出栅区的延伸



设计规则表示方法— λ 规则和微米规则

- 以 λ 为单位：把大多数尺寸（width, space等等）约定为 λ 的倍数

λ 与工艺线所具有的工艺分辨率有关，是线宽偏离理想特征尺寸的上限以及掩模版之间的最大套准偏差，一般等于栅长度的一半。










优点：版图设计独立于工艺和实际尺寸，改变 λ 值就可以得到不同的设计规则；

缺点：容易造成芯片面积浪费和工艺难度增加；

- 以微米为单位：现代IC设计普遍采用的方法，每个尺寸之间没有必然的比例关系，提高每一尺寸的合理程度，优化工艺；但简化度不高。
目前绝大多数工艺线采用的设计规则。

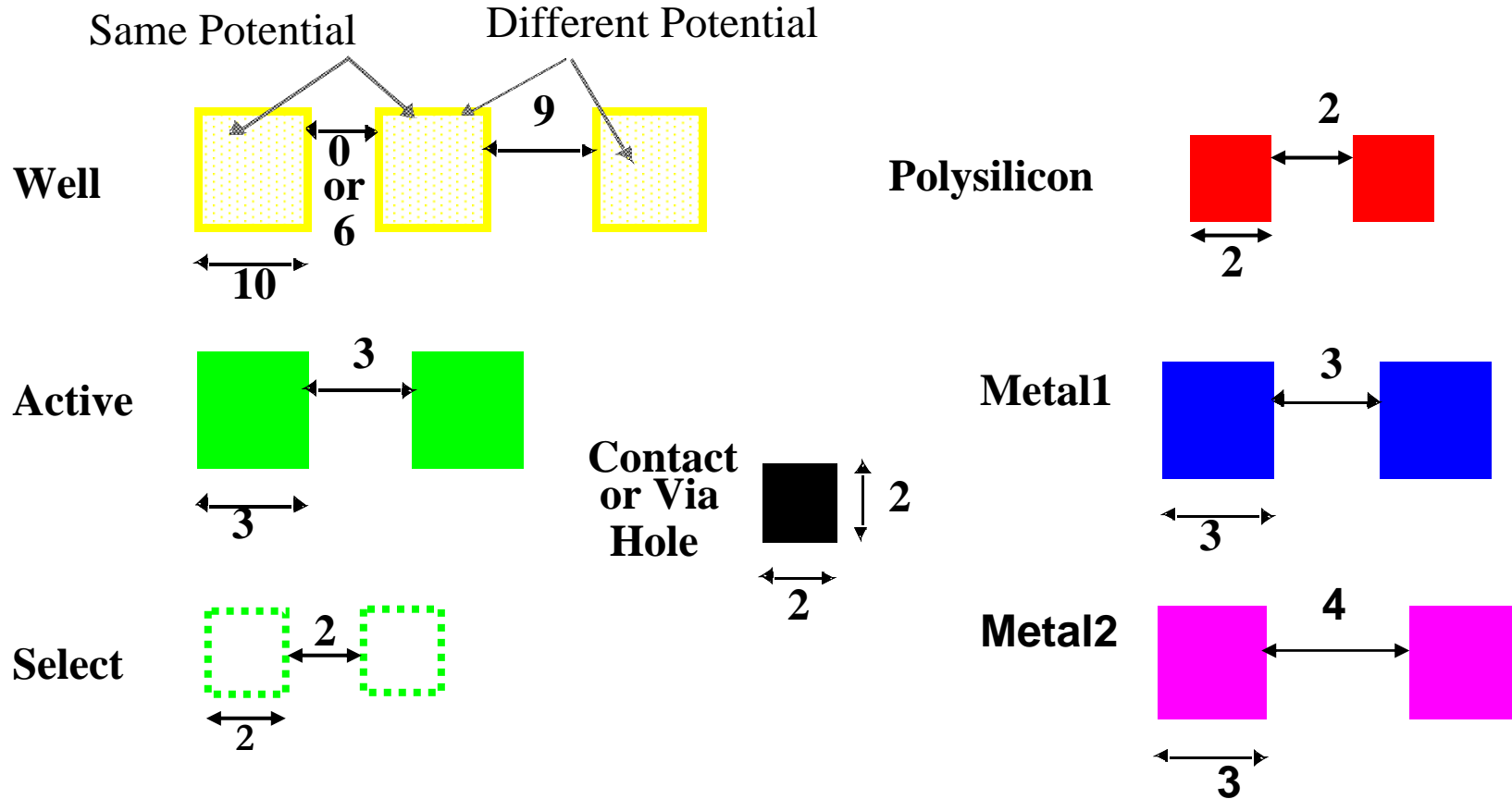


设计规则—CMOS工艺层

Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	



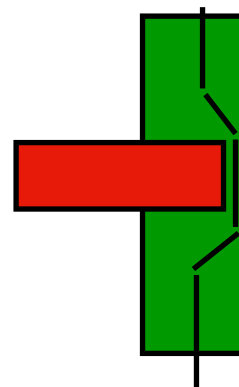
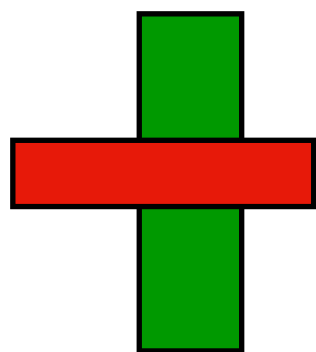
设计规则示例一相同层规则



设计规则示例一晶体管规则

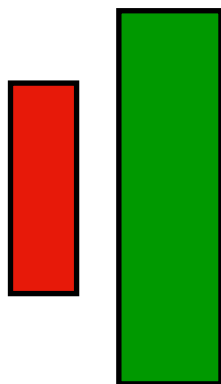
1. 晶体管是由多晶硅层覆盖有源区形成的

晶体管



致命错误

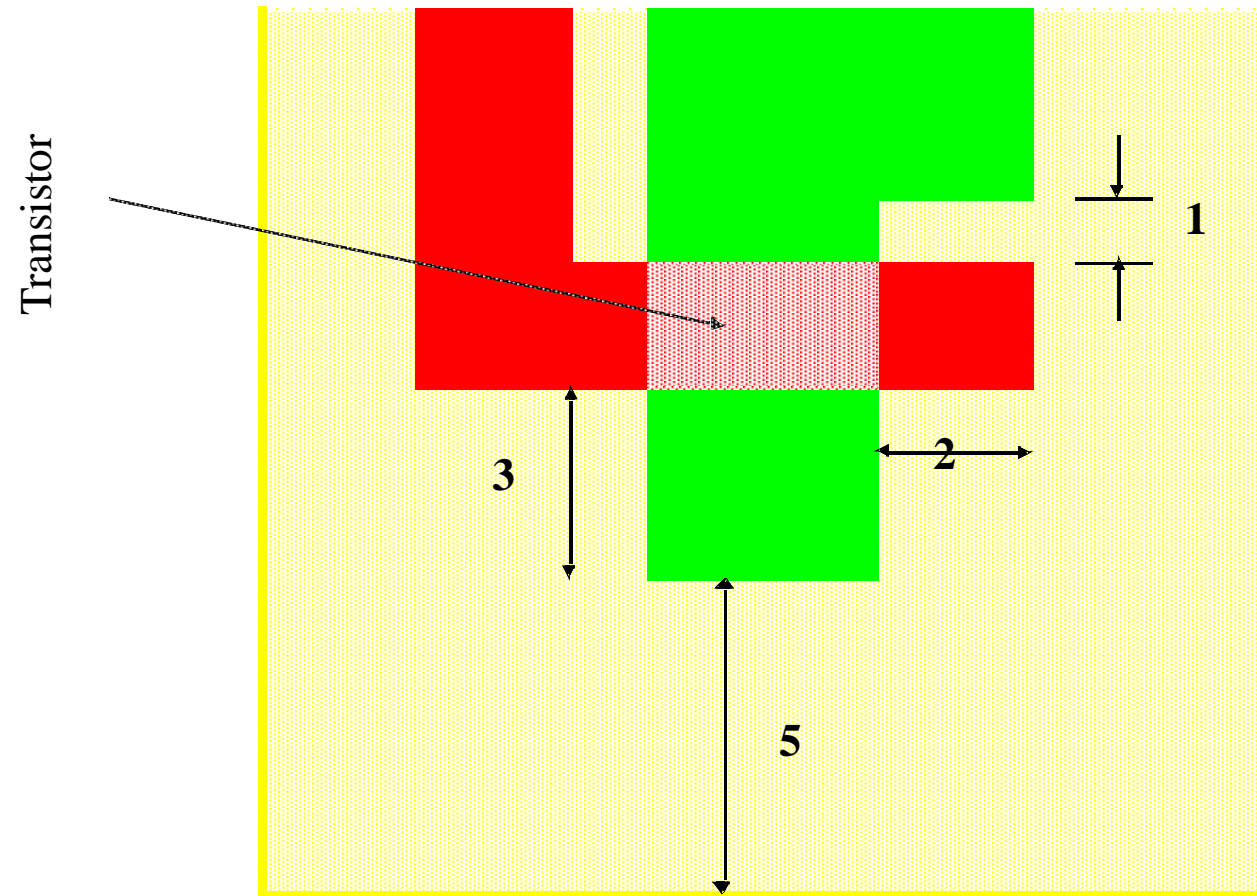
无关的多晶硅和扩散区



使扩散区变薄，
但还能工作



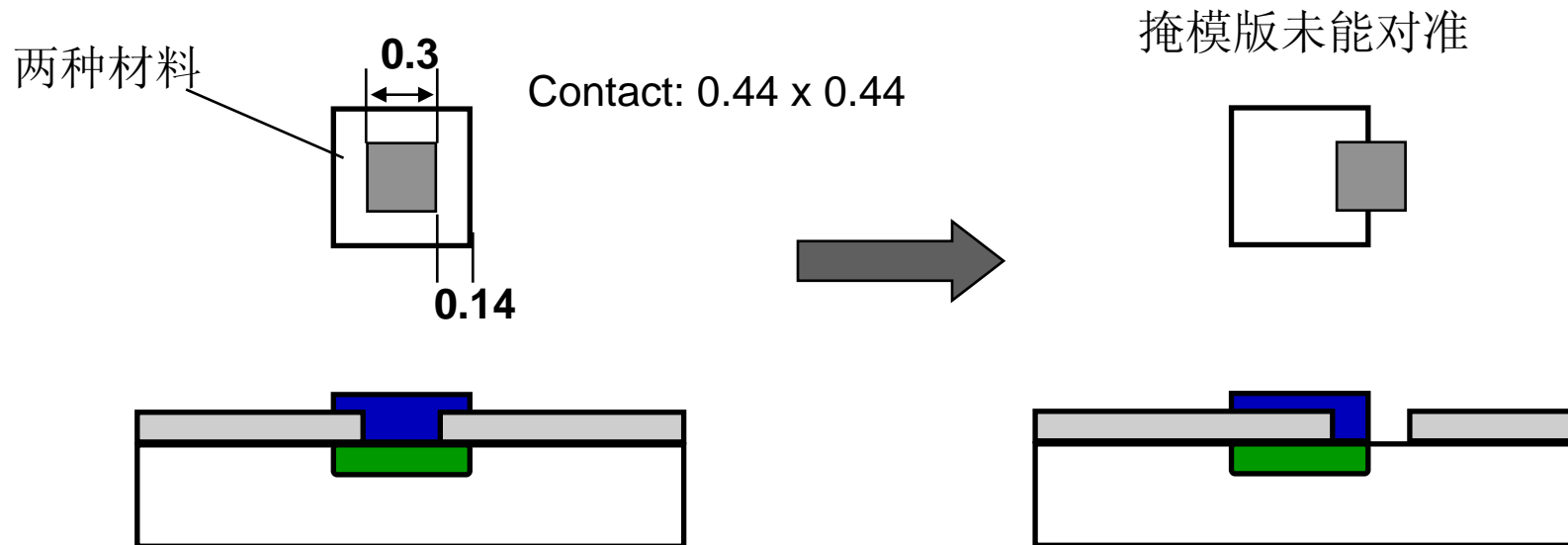
设计规则示例一晶体管规则



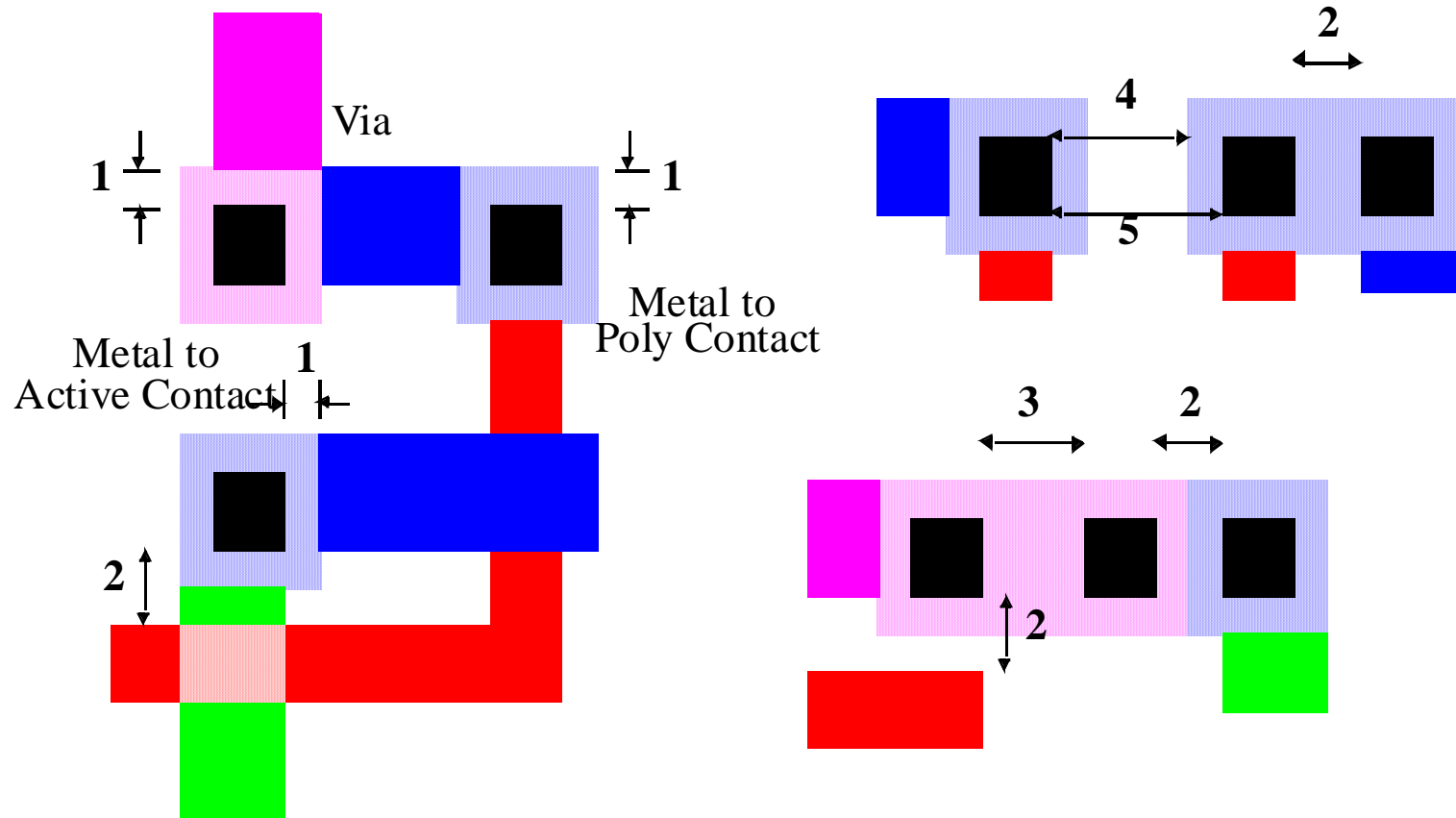
设计规则—接触孔(Contact)和通孔(Via)

2. 接触孔和通孔规则

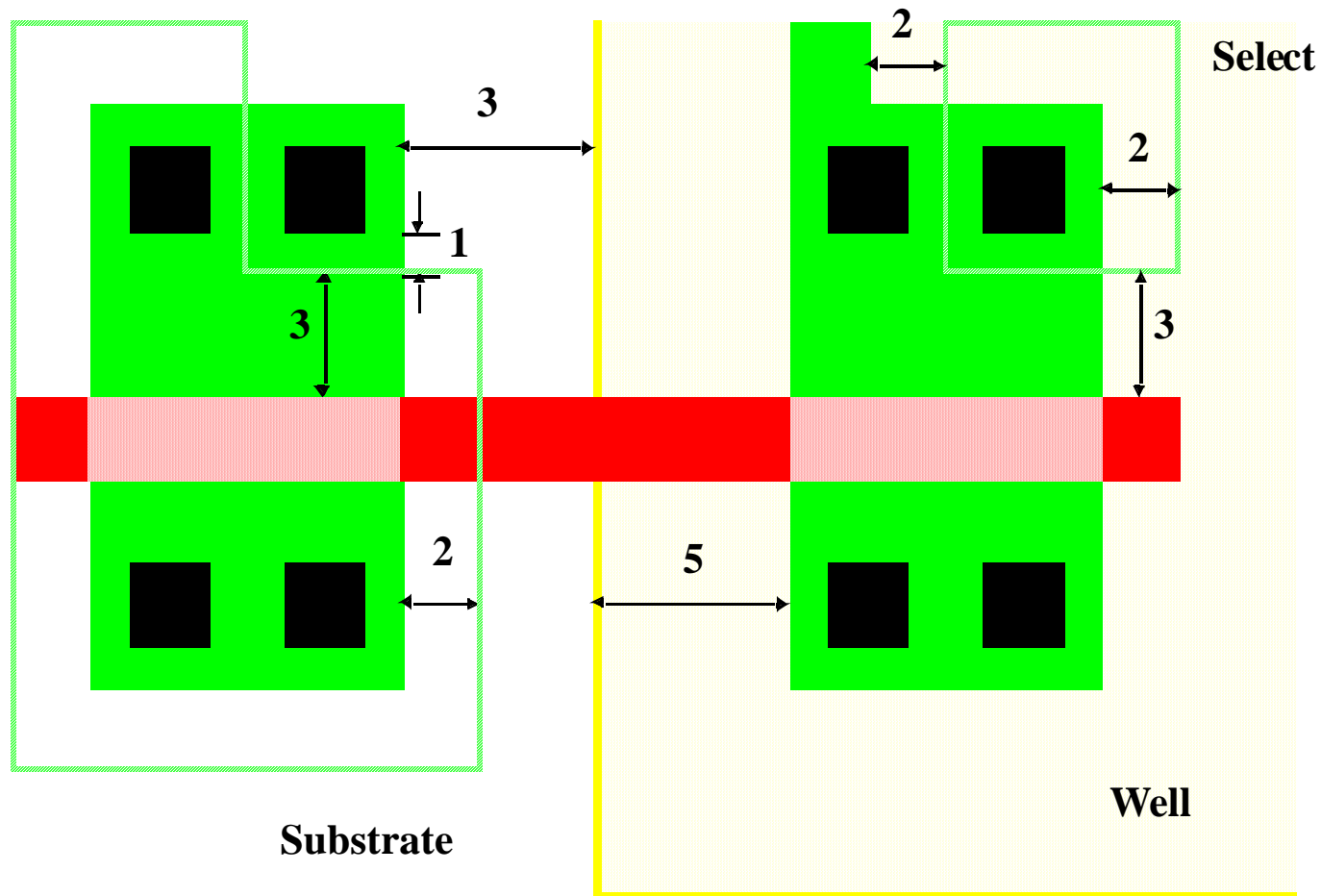
M1接触到p-diffusion	}	接触孔掩模版
M1接触到n-diffusion		
M1接触到poly		
Mx接触到My		通孔掩模版



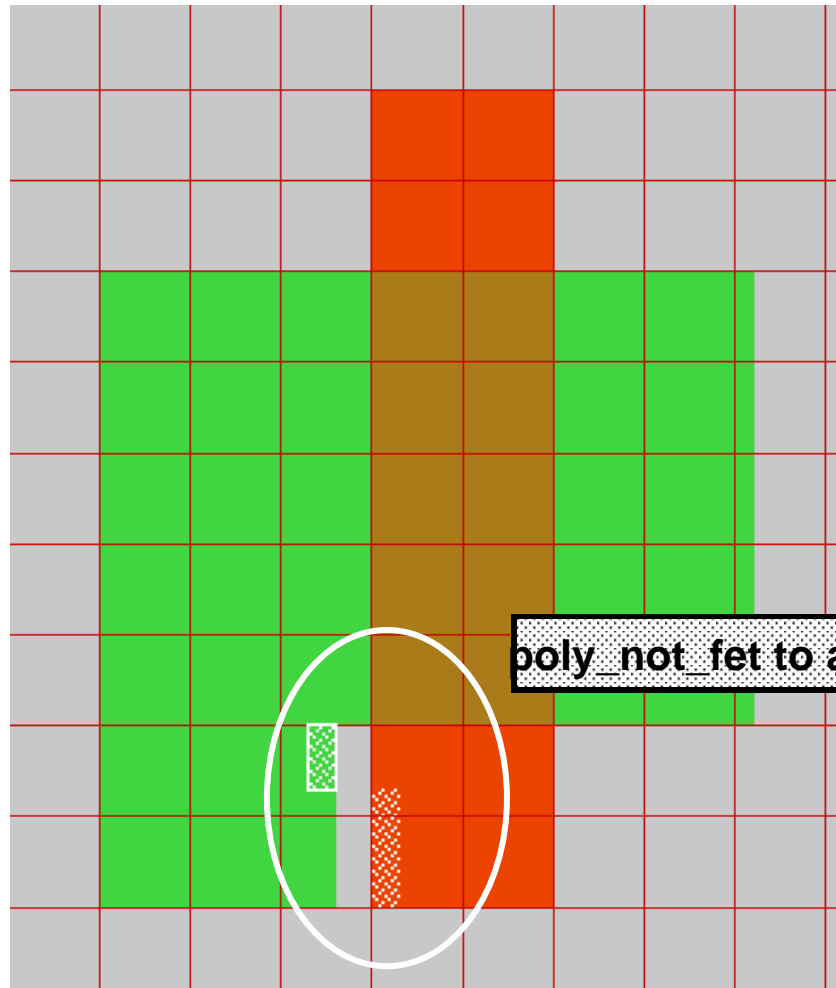
设计规则—接触孔(Contact)和通孔(Via)



设计规则—注入选择区(P+)



设计规则—DRC检查

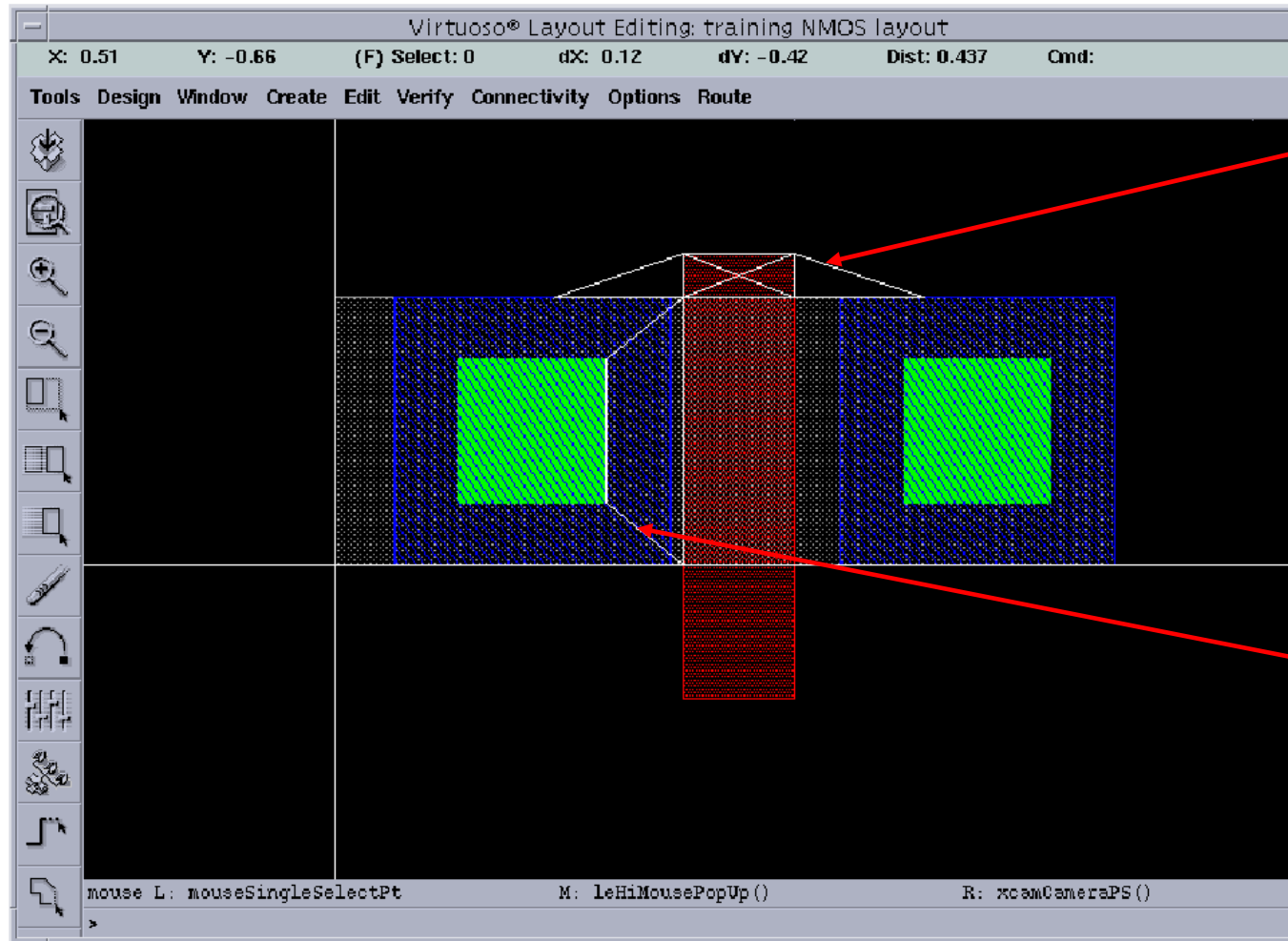


poly_not_fet to all_diff minimum spacing = 0.14 um

多晶硅与扩散区的最小间距=0.14um不足



设计规则—DRC检查(Cadence Virtuoso工具)



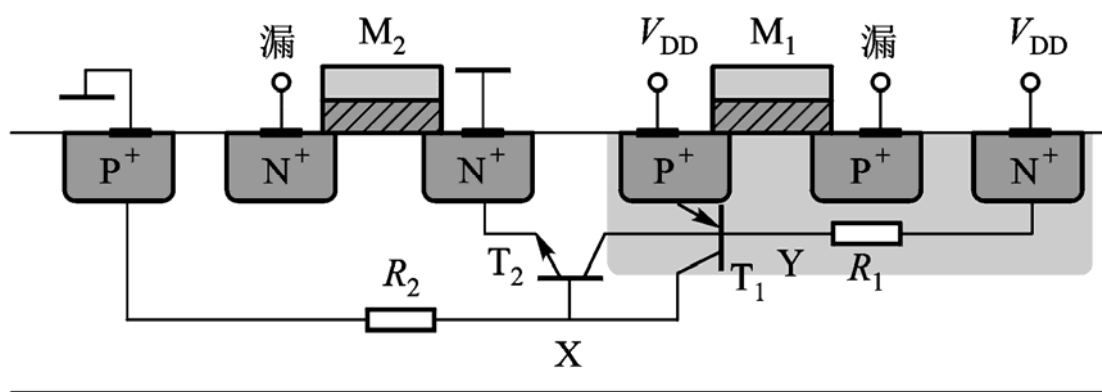
Poly到有源区延伸;

接触孔到Poly间距不足

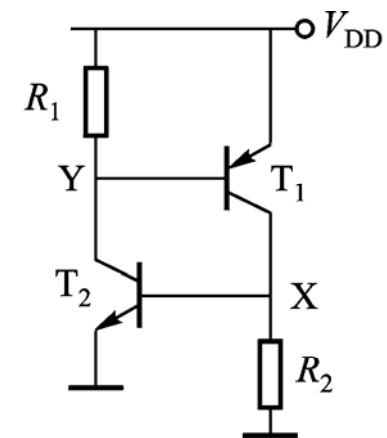


CMOS 闩锁效应

由于寄生的可控硅效应引起CMOS电路的电源和地之间的短路，使CMOS集成电路失效。



(a)



(b)



CMOS闩锁效应

- 防止latch-up的方法：
 1. 使N沟器件远离N阱，减小横向NPN管的 β 值；但会使芯片面积增大。
 2. 使 R_{nwell} 和 R_{psubs} 尽量小；
 - 使用尽量多的阱接触孔和衬底接触孔；
 - 对于大电流器件使用保护环：
 - PMOS管周围加接电源的N+保护环；
 - NMOS管周围加接地的P+保护环；

大多数情况下，通过仔细地设计版图可以消除latch-up。



微电子工艺技术参考文献

- 1、[美]Stephen A. Campbell著，曾莹等译，微电子制造科学原理与工程技术，电子工业出版社，2003.1，ISBN 7-5053-8313-2

