

Quartus II 软件使用教程

Altera 公司的 Quartus II 软件是 FPGA/CPLD 开发集成环境，其界面友好，使用便捷。用户可以在 QuartusII 中实现整个数字集成电路的 FPGA 设计流程：设计输入、HDL 综合、布局布线（适配）、仿真和下载测试等流程，提供了一种与结构无关的设计环境。Quartus II 软件完成 FPGA/CPLD 设计所有阶段的流程如图 1 所示。

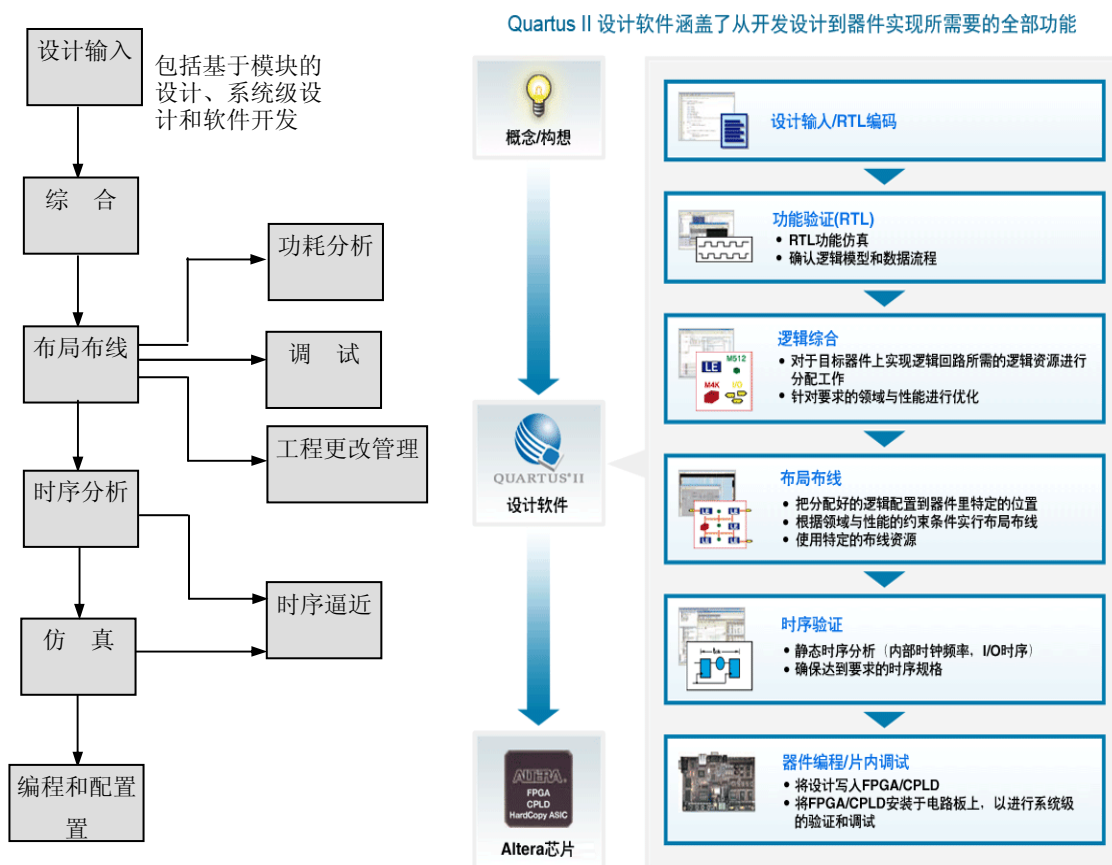


图 1 Quartus II 设计流程

Quartus II 设计工具支持基于 VHDL、VerilogHDL HDL 逻辑综合器。可以利用第三方的综合工具如 Synplify 进行逻辑综合，也可以利用第三方的仿真工具如 Modelsim 进行仿真，其设定如图 8 所示。

Quartus II 提供了完整的多平台设计工具，能够直接满足各种特定设计的需要。为可编程芯片系统（SOPC）提供全面的设计环境，使用 Quartus II 内嵌的 SOPC Builder，配合 Nios II IDE 集成开发环境，可以开发 Nios II 嵌入式软核处理器。Quartus II 与 MATLAB 和 DSP Builder 结合，可以进行基于 FPGA 的 DSP 系统开发，是 DSP 硬件系统实现的关键 EDA 工具。

1 图形用户界面及设计流程

Quartus II 软件为设计流程的每个阶段提供 Quartus II 图形用户界面。图 2 所示为 Quartus II 图形用户界面的功能。以下步骤描述了使用 Quartus II 图形用户界面的基本设计流程。

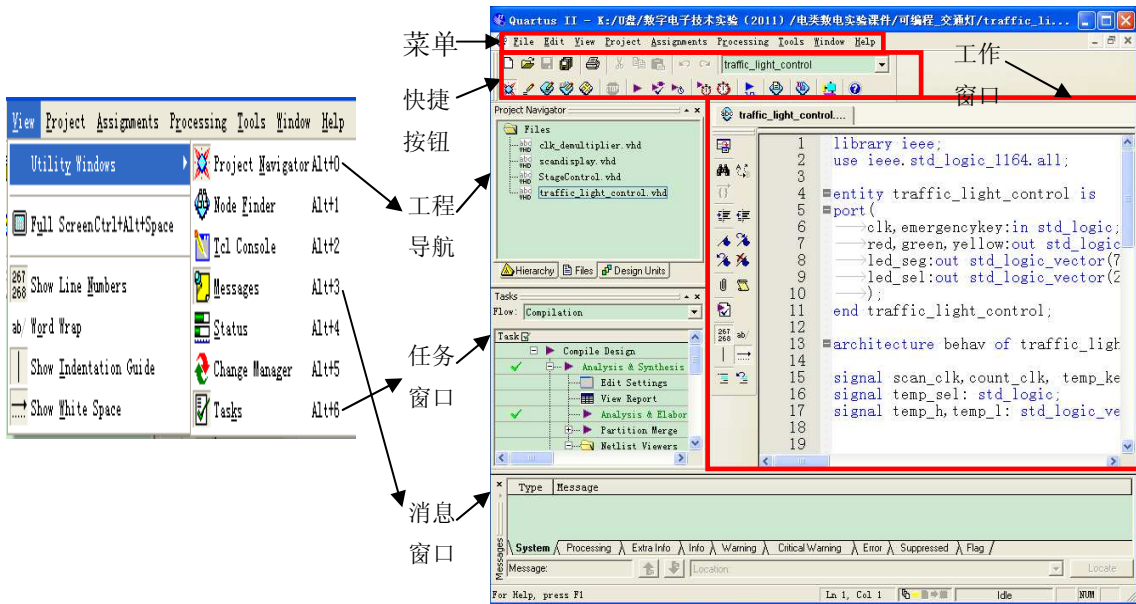


图 2 Quartus II 图形用户界面功能

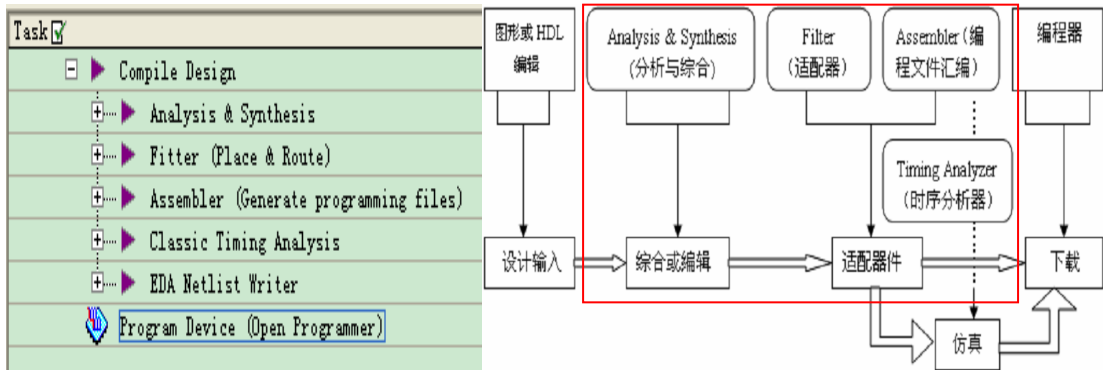


图 3 Quartus II 设计流程及 task 任务与 EDA 设计流程对照图

图 3 所示的左边是 QuartusII 的 task 任务窗口，列出了设计分析与综合、适配、编程文件汇编、时序参数提取以及编程下载几个步骤。右边上排是 QuartusII 编译设计主控界面，显示了 QuartusII 自动设计的各主要环节和设计流程，包括输入编辑、设计分析与综合、适配、编程文件汇编、时序参数提取以及编程下载几个步骤，和软件的任务流程是一一对应的。图右边下排的流程框图 QuartusII 设计流程对照的标准的 EDA 开发流程。

2 QuartusII 使用说明

2.1 创建工程

(1) 选择“File”菜单下的“New Project Wizard”，打开新建项目指南（图 4），完成新建工程的五项设定。点击“next”进入图 5 所示界面。

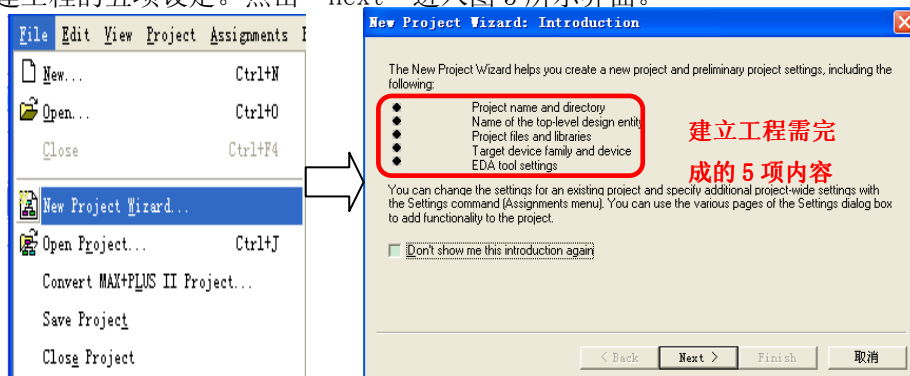


图 4 打开新建项目向导

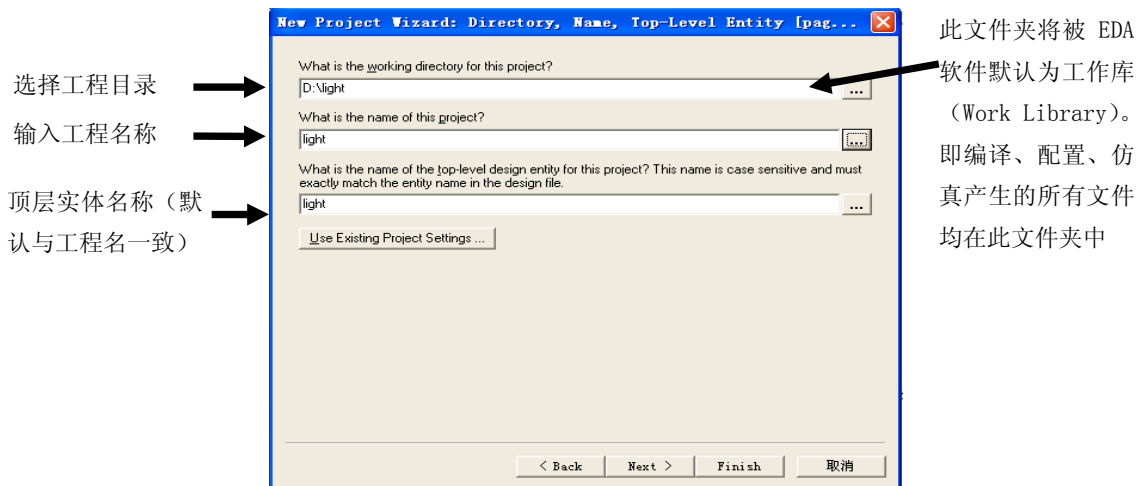


图 5 创建工程

图 5 中最上面一栏指示工作目录，缺省目录为 QuartusII 的安装目录，可单击最上面一栏右侧的“...”按钮，找到或创建相应的工程文件夹。设置完后，单击“Next”按钮。

(2) 将设计文件加入工程。在图 6 中，最上面一栏“File name”用于加入设计文件，可单击右侧的“...”按钮，找到相应的目录下的文件并加入。加入的文件可以有 Graphic (.BDF、.GDF)、AHDL、VHDL、VHDL HDL 以及 EDIF 文件。单击“Add All”按钮，将设定目录下的所有 VHDL 文件加入到此工程。设置完成后，单击“Next”按钮，进行目标芯片选择。

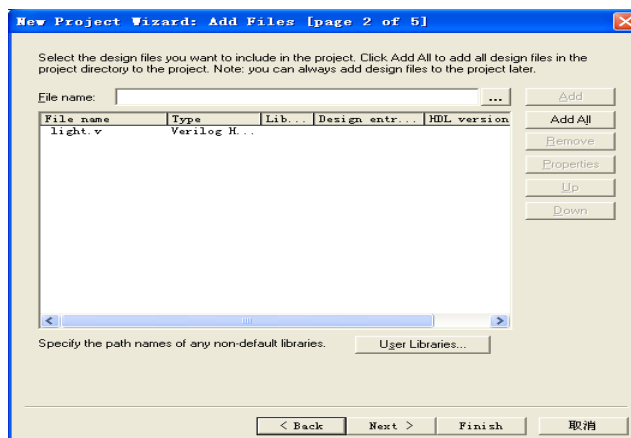


图 6 在工程中加入所有相关文件

(3) 选择目标芯片。首先在“Family”栏中选择 Cyclone III 系列；然后在“Target device”选项框中选择“Specific device selected in ‘Available devices’ list”，即选择一个确定的目标芯片。在这里，我们选择此系列的具体芯片 EP3C16Q240C8。EP3C 表示 Cyclone III 系列及此器件的规模；Q240 表示 PQFP 240-pin 封装；C8 表示速度级别。可以通过图 7 所示窗口右边的“Filters”窗格“过滤”选择。选定目标器件后，单击“Next”按钮，进入 EDA 工具设定。

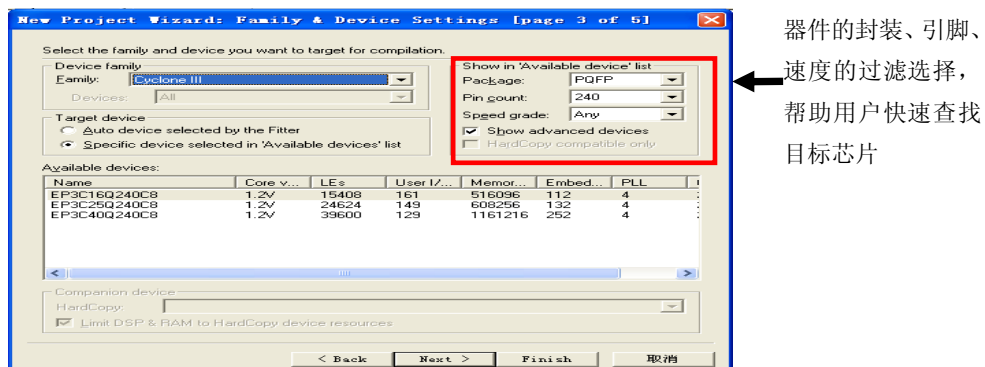


图 7 选择目标芯片

(4) 选择第三方仿真器和综合器类型。默认选择 Quartus II 自带的仿真器和综合器，如果需要其他综合、仿真、时序分析的工具，在对应项选择。单击“Next”按钮后，工程设置统计列出了此项工程的相关设置情况，如图 9 所示。最后单击“Finish”按钮，结束该工程的设置，已经成功建立了工程。

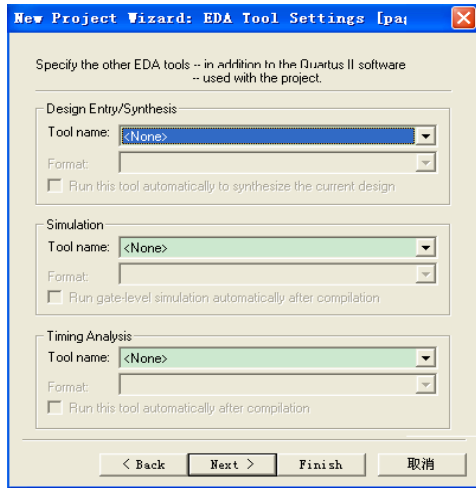


图 8 EDA 工具设置



图 9 建立工程的相关信息

2.2 新建输入文件

任何一项工程 (Project)，必须包含一个或以上的设计文件。打开 Quartus II，选择“File”菜单下的“New”命令。在“New”窗口中的“Design Files”选项中选择“VHDL File”（如图 10 所示）。然后在 VHDL 文本编辑窗中输入 VHDL 设计程序。

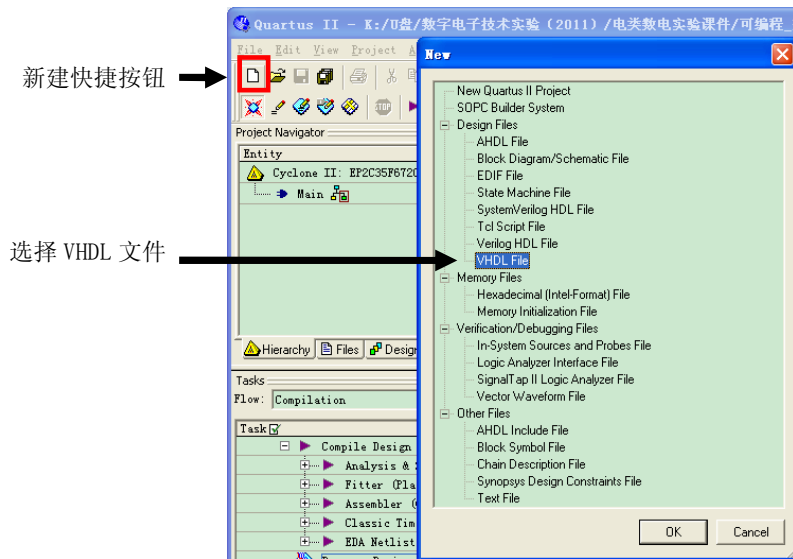



图 10 新建 VHDL 设计文件

VHDL 设计文件输入完毕后，选择“File”菜单下的“Save”命令或快捷按钮，存放到工程目录下，保存类型选择 VHDL File (*.vhd *.VHDL)，存盘文件名应与实体名一致。此时如图 11 所示。

顶层实体名称、文件名、实体名必须一致，才能保证是对当前设计文件进行编译、适配和仿真

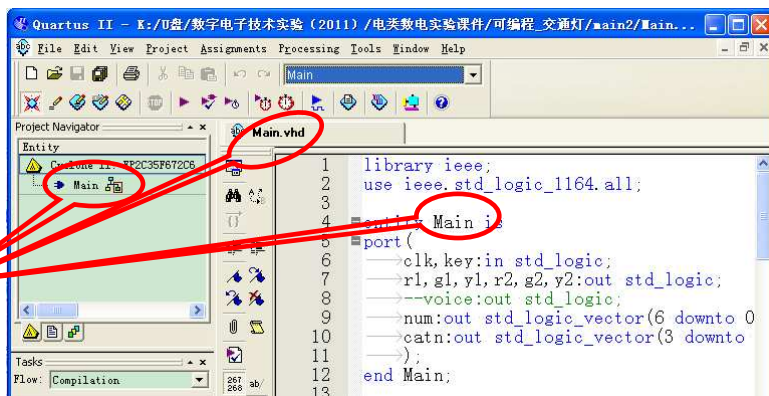


图 11 VHDL 设计文件的保存及注意事项

2.3 编译及其设置

在对工程进行编译前，确定选择的目标芯片是否跟实际的芯片型号一致，如果在建立工程时已经选择好了目标芯片，所以就不需要这一步过程了（见图 7）。如果想重新选择，可以单击“Assignments”菜单下的“Device...”，打开始图 12 所示的对话框，重新选择目标芯片。

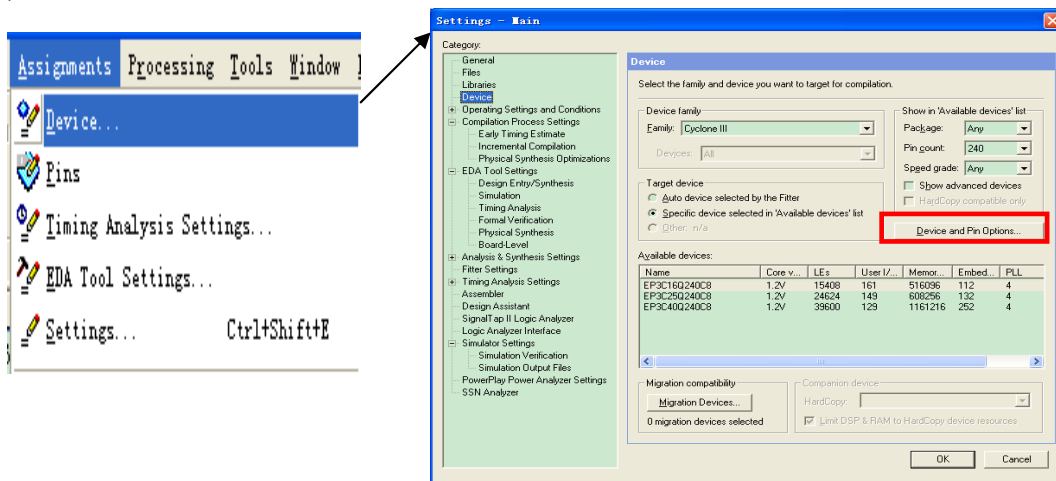


图 12 FPGA/CPLD 器件选择

Quartus II 的编译器由一系列处理模块构成，这些模块完成对设计项目的检错、逻辑综合、结构综合、输出结果的编译配置、时序分析等功能。在这个过程中将设计项目适配到 FPGA/CPLD 目标器中，同时产生各种输出文件编译报告，包括器件使用统计、编译设置、RTL 级电路显示、器件资源利用率、状态机的实现、方程式、延时分析结构、CPU 使用资源等。编译器首先从工程设计文件间的层次结构描述中提取信息，包括每个低层文件中的错误信息，供设计者排除。然后将这些层次构建产生一个结构化的以网表文件表达的电路原理图文件，并把各层次中所有的文件结合成一个数据包，以便更有效地处理。

在编译前，设计者可以通过各种不同的设置，指导编译器使用各种不同的综合和适配技术，以便提高设计项目的工作速度，优化器件的资源利用率。在编译过程中及编译完成后，可以从编译报告窗口中获得所有相关的详细编译结果，以利于设计者及时调整设计方案。

这里我们启动全程编译，可以选择“Processing”菜单下的“Start Compilation”项，也可以单击工具栏上的快捷方式按钮（图 13 所示）。

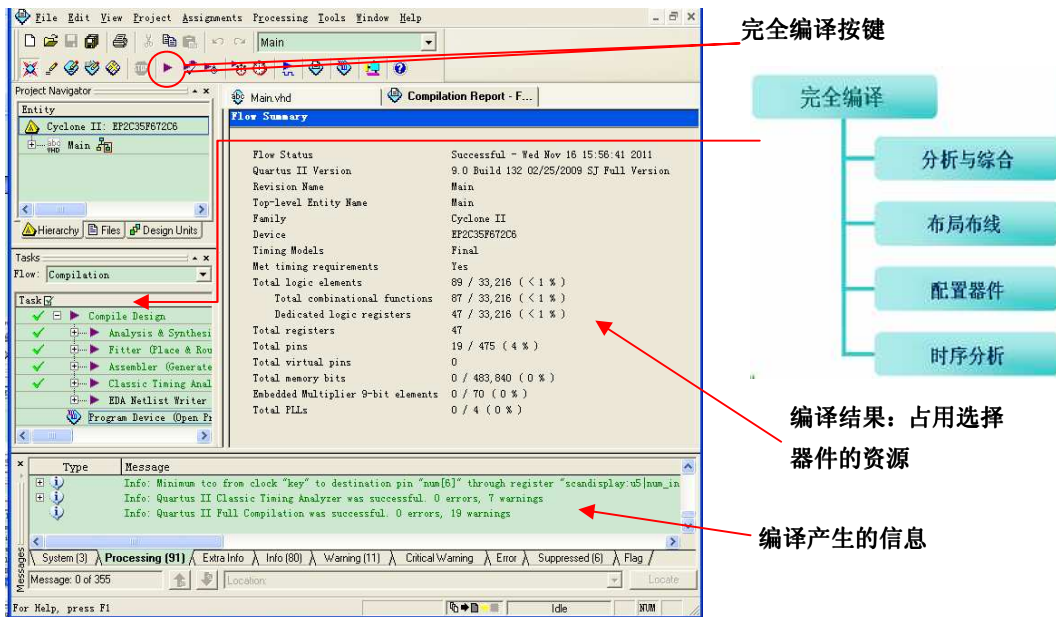


图 13 通过工具栏快捷方式进行编译及其结果

这里说的全程编译，包括图 3 方框内提到的 Quartus II 对设计输入的多项处理操作，如检错、数据网表文件提取、逻辑综合、适配、装配文件（仿真文件与编程配置文件）生成，以及基于目标器件的工程时序分析等。下面的“Processing”窗口会显示编译过程中的相关信息，如果发现警告和错误，会以蓝色和红色标记条显示。警告不影响编译通过，但是错误编译不能通过，必须进行修改。双击“Processing”栏中的错误显示条文，会在弹出的对应的 VHDL 文件中，光标指示到错误处。在对错误进行修改保存后，再次进行编译，直至排除所有错误。

“Compilation Report”栏是编译报告项目选择菜单，单击其中各项，可以详细了解编译与分析结构。例如单击“Flow Summary”项，将在右栏显示硬件耗用统计报告，反映了当前所耗用硬件的相关信息。当前的工程共耗用了 89 个逻辑宏单元，共使用了 19 个引脚。

2.4 仿真

对工程编译通过之后，必须对其功能和时序进行仿真测试，以了解设计结果是否满足原设计要求。

(1) 打开波形编辑器。选择“File”菜单中的“New”项，在“New”窗口中选择“Other Files”中的“Vector Waveform File”项，打开空白的波形编辑器，如图 14 所示。

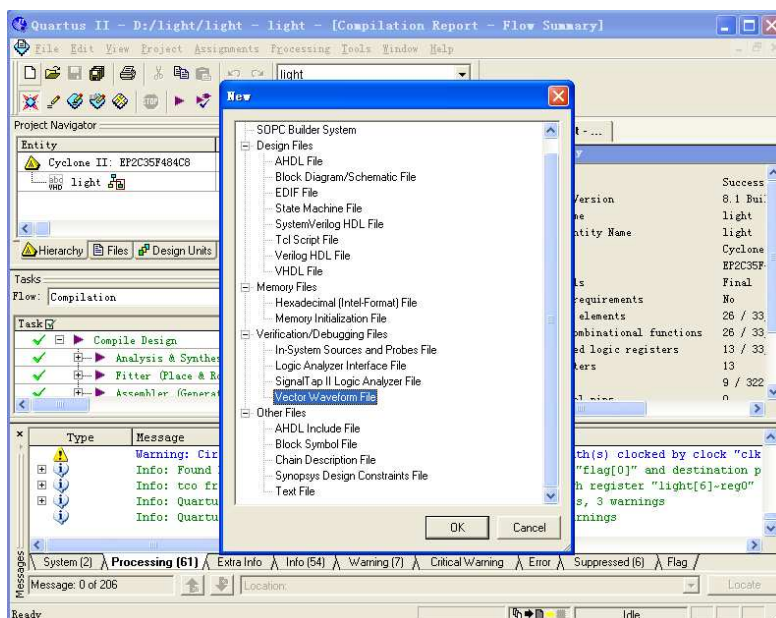


图 14 新建波形编辑器

(2)在波形编辑器中引入信号节点。在“Filter”框中选择“Pins:all”，然后单击“List”按钮，于是在下面的“Nodes Found”窗口中出现了工程 light 中的所有端口引脚名，如果此时没有出现端口引脚名，则可以重新编译一下。用鼠标将我们需要仿真观察的信号拖到波形编辑窗口。把所有的端口引脚名全部拖入，点击“ok”按钮，进入图 17 的界面窗口。操作过程如图 15 所示。

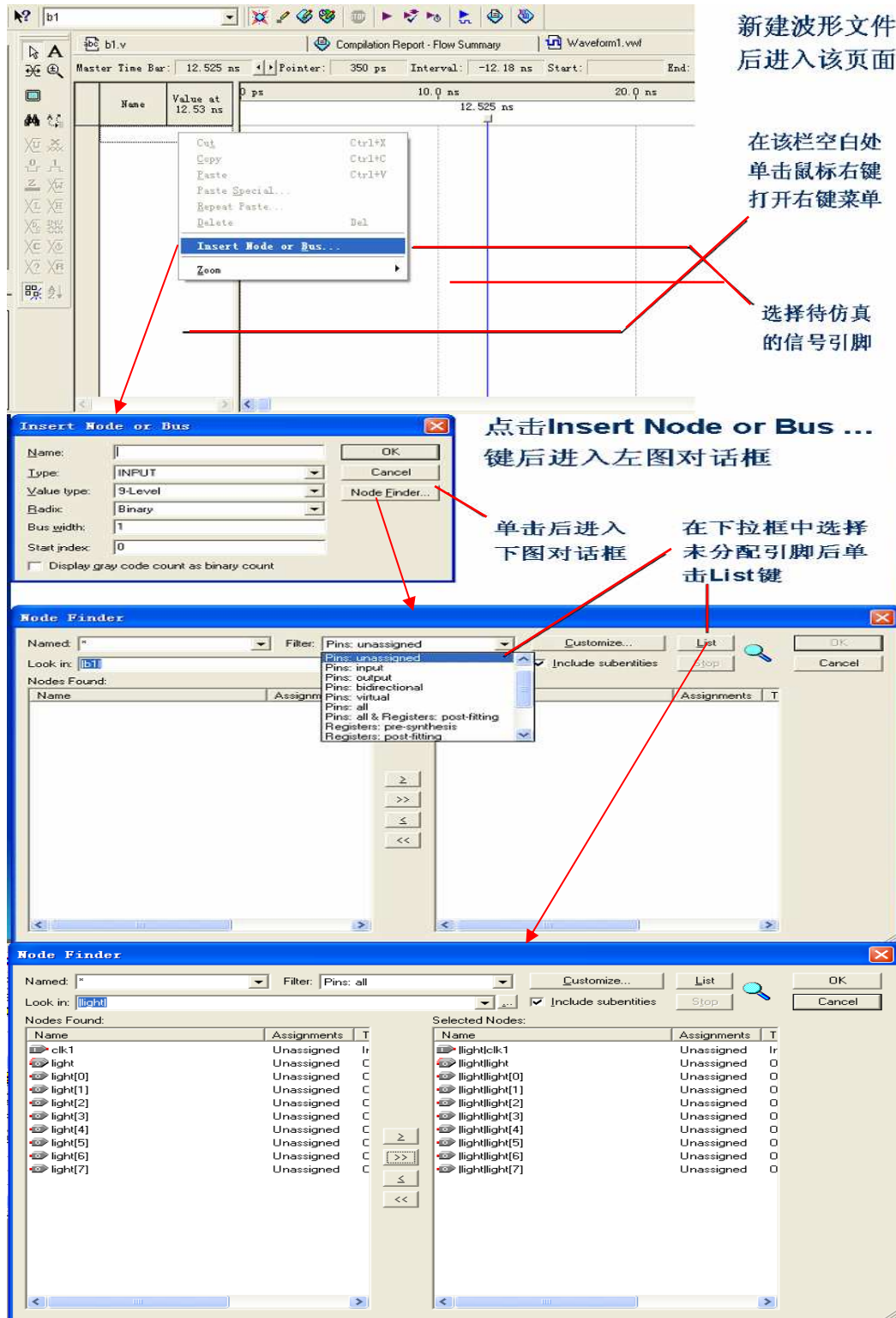


图 15 仿真波形文件引入顶层文件端口操作过程

(3) 设置仿真时间区域。将仿真时间设置在一个比较合理的时间区域。选择“Edit”菜单中的“End Time...”项，在弹出的窗口中的“Time”栏处输入“10”，单位选择“us”，将整个仿真区域的时间设为 10us，单击“OK”按钮，结束设置，如图 16 所示。

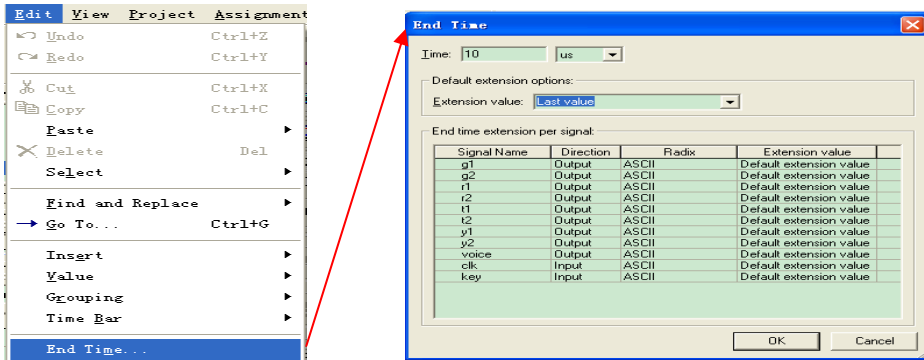



图 16 仿真时间设定

(4) 编辑输入波形。单击选中波形编辑窗口的时钟信号名“clk1”，使之变成蓝色条，如图 17 所示有两种方法设置波形，第一种方法：再单击左列快捷赋值的时钟设置键，第二种方法：点击鼠标右键，点击弹出菜单中“value”——>”clock..”。将“clk”的周期设定为 10ns，“Phase”相位设为默认零，“Duty cycle”占空比设为默认值 50%，根据设计需要对所有的输入信号均赋值。

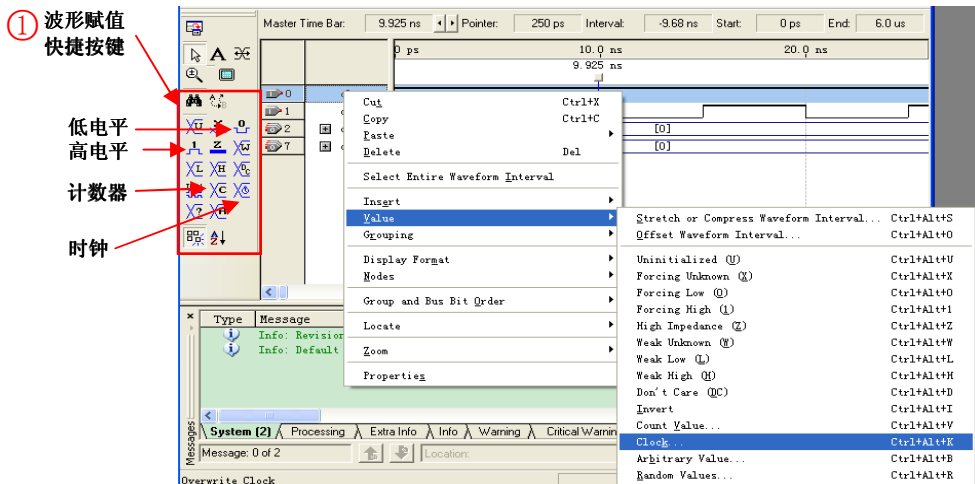





图 17 编辑波形文件

设定好时钟信号后，在波形窗口中单击鼠标右键，选择“Zoom”菜单下的“Fit in Window”选项，或左侧工具栏上的按钮或按住 ctrl 键滚动鼠标滚轮，调整适当的观察比例。

(5) 设定数据模式。单击信号“light”旁边的“+”号，可以打开该信号的各个分量，查看信号的每一位。如果双击“+”号左边的信号标记或，可以打开信号格式设置的对话框，如图 19 所示。

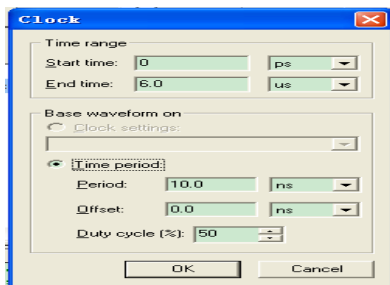




图 18 时钟设置窗口



图 19 信号设置窗口

通过“Radix”窗口可以设置信号的格式。将信号“light”、设定为二进制“binary”。

(6) 波形文件存盘。选择“File”菜单下的“Save”命令，或直接单击工具栏上的按钮，将仿真文件以顶层实体名命名“main.vwf”的波形文件存入工程文件夹中。

(7) 仿真器参数设计。选择“Assignment”菜单下的“Settings...”项，在“Settings”窗口中左侧“Category”栏中选择“Simulator settings”项，打开如图 20 所示的窗口。在“Simulation mode”项目下选择“Functional”即功能仿真，在“Simulation input”栏中，单击按钮，找到并选择对应顶层实体的仿真激励文件“lmain.vwf”。在“Simulation period”栏中选择“Run simulation until all vector stimuli are use”即全程仿真。

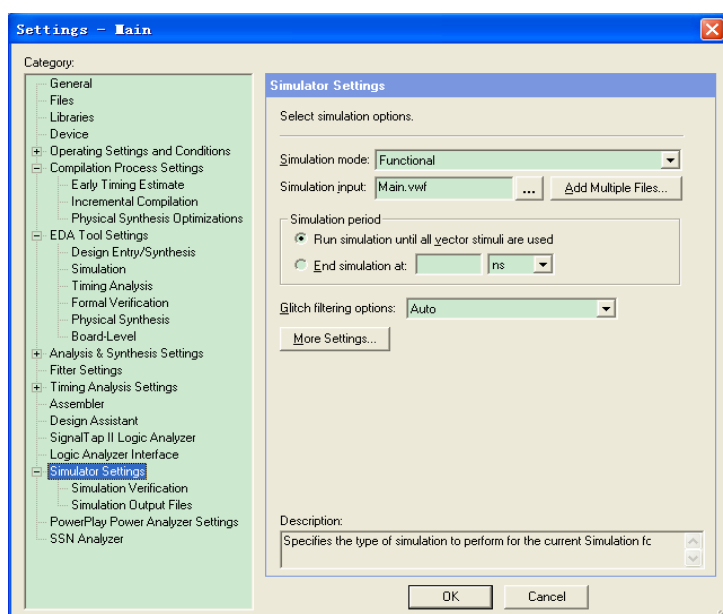


图 20 仿真器参数设定

(8) 生成仿真功能网表。选中“Processing”菜单下的“Generate Functional Simulation Netlist”，直到出现“”，如图 21 所示。

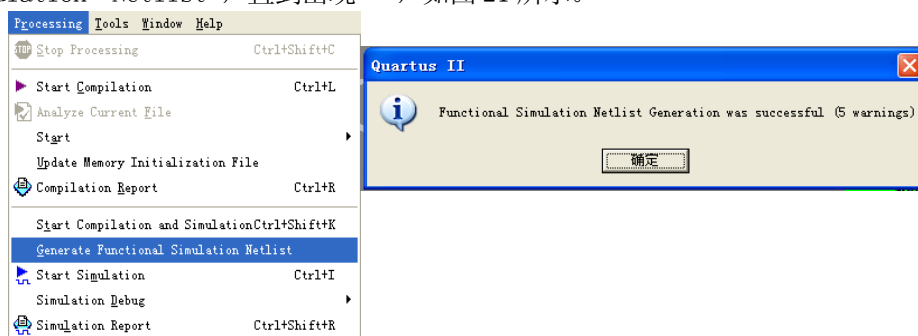




图 21 生成功能仿真网表

(9) 启动仿真器。选中“Processing”菜单下的“Start Simulation”，或者直接单击工具栏上的快捷方式，直到出现“Simulation was successful”对话框。

(9) 观察仿真结果，如图 22 所示。仿真波形文件“Simulation Report”通常会自动弹出。如果无法在窗口展开显示时间轴上的所有波形图，可以在仿真报告窗口中单击鼠标右键，选择“Zoom”项下的“Fit in Window”选项，并通过按钮，或按住 ctrl 键，滚动

鼠标滚轮，调节波形的比例。通过观察的仿真波形，判断是否达到了预定的要求。

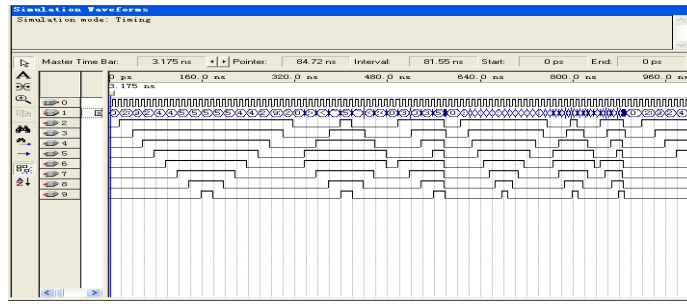


图 22 仿真结构报告窗口

2.5 应用 RTL 电路图观察器

Quartus II 可实现硬件描述语言或网表文件（VHDL、VHDL、BDF、TDF、EDIF、VQM）对应的 RTL 电路图的生成。选择“Tools/Netlists Viewers”菜单下的“RTL Viewer”项，可以打开工程顶层实体各层次的电路结构，如图 23 所示。

双击图形中的有关模块，或者选择左侧各项，可逐层了解各层次的电路结构。对于较复杂的 RTL 电路，可以利用模块功能过滤器 Filter 简化电路。用鼠标右键单击目标模块，在弹出的下拉菜单中选择“Filter”|“Sources”或“Destinations”，由此产生相应的简化电路。

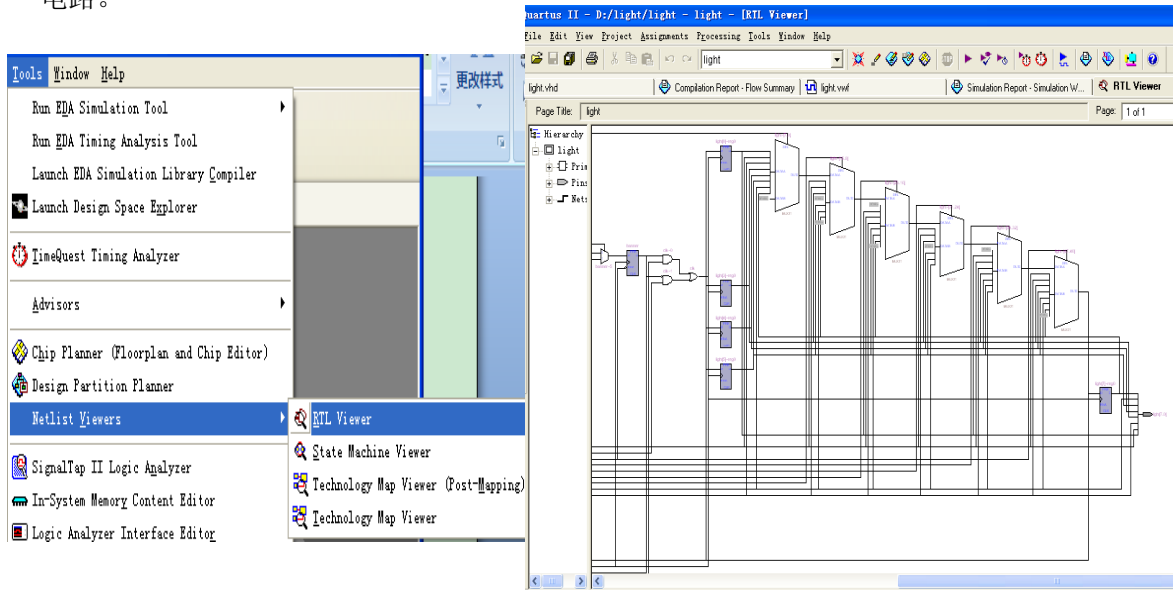


图 23 综合后的 RTL 电路图

2.6 引脚锁定和下载验证

工程编译仿真都通过后，就可以将配置数据下载到应用系统进行验证。下载之前首先要进行引脚锁定，保证设计实体的输入输出端口与实际的应用系统的硬件连接相吻合。

打开“Assignments”菜单下的“Pins”命令，打开引脚锁定窗口，如图 24 所示，在对应管脚“Location”栏，双击鼠标产生的下拉菜单选取对应的引脚号。全部管脚配置完后，必须再编译适配一次，才能将引脚锁定信息应用到最终的下载文件中，此后就可以将编译好的 SOF 文件下载到实验系统的 FPGA 中去了。

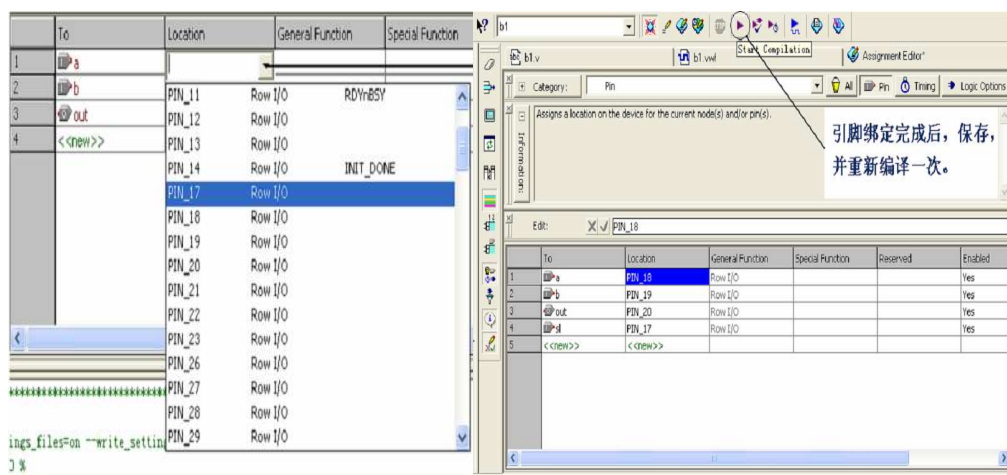


图 24 锁定引脚

2.7 下载验证

将编译产生的 SOF 格式下载文件配置到 FPGA 中，进行硬件测试的步骤如下。

(1) 连接好 USB 下载电缆，将 EP3C16 适配板左下角的 JTAG 用十芯排线和下载器连接，再打开实验箱电源。

(2) 在菜单“Tool”中选择“Programmer”，或直接单击工具栏上的快捷键。

(3) 设置编程模式。若是初次安装的Quartus II，在下载编程前需要选择下载接口方式JTAG。在图25所示窗口中单击“Hardware Setup”选择下载电缆，可打开如图下方所示的窗口。按照用户手册上使用设置byteblaster的方法设置USB-blaster，所不同的是在如下图的地方选择usb-blaster即可。

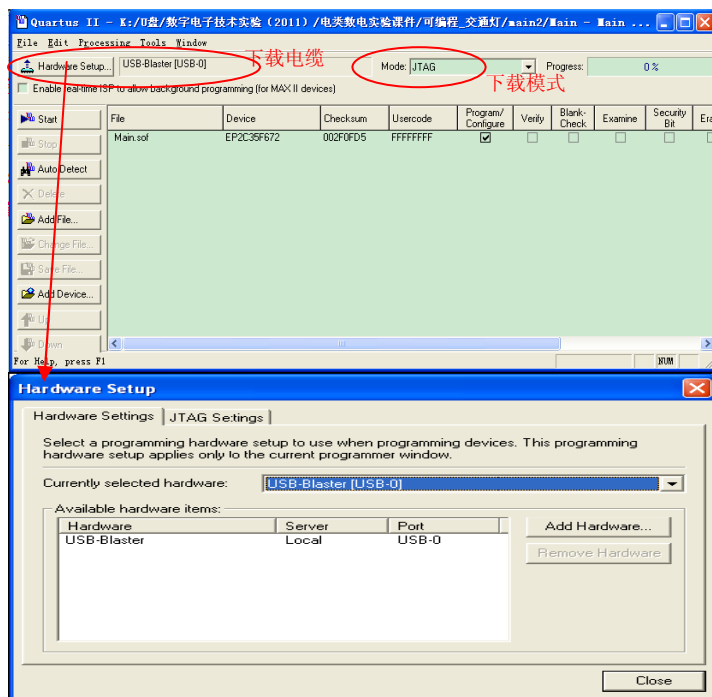


图25 选择下载模式和接口方式

(4) 在“Programmer”中“Mode”栏中有 4 种编程模式可以选择: JTAG, Passive Serial, Active Serial 和 In-Socket。为了直接对 FPGA 进行配置，在编程窗的编程模式“Mode”中

选择“JTAG”。并选中下载文件右侧的第一小方框 Program/Configure。核对下载路径与文件名，如果此文件没有出现或者有错，单击左侧的“Add File”按钮，找到要下载的文件 light.sof。

(5) 单击“Start”按钮，即进入对目标器件 FPGA 的配置下载操作。当“Progress”显示为 100%时，编程成功，可以观察实验面板，进行硬件测试验证。

2.8 对配置器件编程

为了使应用系统能在脱离计算机的情况下工作，就必须将配置数据存放在非易失的器件中，通常将配置数据存放在专用的配置器件中，如 EPCS1，EPCS16 等。EPCS1 和 EPCS16 等是 Cyclone 系列器件的专用配置器件，Flash 存储结构，重复编程可达 10 万次。

(1) 选择编程模式和编程目标文件。在“Programmer”，所示中“Mode”栏中，选择“Active Serial Programming”编程模式。添加编程文件*.pof，并选中 Program/Configure。

(2) 将下载电缆连至 AS 模式端口后加电。

(3) 单击“Start”按钮，当“Progress”显示为 100%时，编程成功。此后每次实验装置加电后，配置数据将自动从 EPCS16 加载，之后 FPGA 开始工作，而不需要重新下载配置数据。