

实现直接数字频率合成器的三种技术方案

杭州商学院信息与电子工程学院 (310035) 姜田华

摘 要: 讨论了 DDS 的工作原理及性能特点,介绍了目前实现 DDS 常用的三种技术方案,并对各方案的特点作了简单的说明。

关键词: 直接数字频率合成器 相位累加器 信号源 现场可编程门阵列

1971年,美国学者 J.Tierney 等人撰写的“ A Digital Frequency Synthesizer ”一文首次提出了以全数字技术,从相位概念出发直接合成所需波形的一种新的频率合成原理。限于当时的技术和器件水平,它的性能指标尚不能与已有的技术相比,故未受到重视。近 10 年间,随着微电子技术的迅速发展,直接数字频率合成器(Direct Digital Frequency Synthesis 简称 DDS 或 DDFS)得到了飞速的发展,它以有别于其它频率合成方法的优越性能和特点成为现代频率合成技术中的佼佼者。具体体现在相对带宽宽、频率转换时间短、频率分辨率高、输出相位连续、可产生宽带正交信号及其他多种调制信号、可编程和全数字化、控制灵活方便等方面,并具有极高的性价比。

1 DDS 基本原理及性能特点

DDS 的基本原理是利用采样定理,通过查表法产生波形。DDS 的结构有很多种,其基本的电路原理可用图 1 来表示。

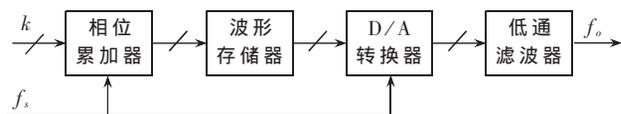


图 1 DDS 的原理框图

相位累加器由 N 位加法器与 N 位累加寄存器级联构成。每来一个时钟脉冲 f_s , 加法器将频率控制字 k 与累加寄存器输出的累加相位数据相加,把相加后的结果送至累加寄存器的数据输入端。累加寄存器将加法器在上一个时钟脉冲作用后所产生的新相位数据反馈到加法器的输入端,以使加法器在下一个时钟脉冲的作用下继续与频率控制字相加。这样,相位累加器在时钟作用下,不断对频率控制字进行线性相位累加。由此可以看出,相位累加器在每一个时钟脉冲输入时,把频率控制字累加一次,相位累加器输出的数据就是合成信号的相位,相位累加器的溢出频率就是 DDS 输出的信号频率。

用相位累加器输出的数据作为波形存储器(ROM)的相位取样地址,这样就可把存储在波形存储器内的波形抽样值(二进制编码)经查找表查出,完成相位到幅值转换。波形存储器的输出送到 D/A 转换器,D/A 转换器将

数字量形式的波形幅值转换成所要求合成频率的模拟量形式信号。低通滤波器用于滤除不需要的取样分量,以便输出频谱纯净的正弦波信号。

DDS 在相对带宽、频率转换时间、高分辨力、相位连续性、正交输出以及集成化等一系列性能指标方面远远超过了传统频率合成技术所能达到的水平,为系统提供了优于模拟信号源的性能。

(1) 输出频率相对带宽较宽

输出频率带宽为 $50\%f_s$ (理论值)。但考虑到低通滤波器的特性和设计难度以及对输出信号杂散的抑制,实际的输出频率带宽仍能达到 $40\%f_s$ 。

(2) 频率转换时间短

DDS 是一个开环系统,无任何反馈环节,这种结构使得 DDS 的频率转换时间极短。事实上,在 DDS 的频率控制字改变之后,需经过一个时钟周期之后按照新的相位增量累加,才能实现频率的转换。因此,频率转换的时间等于频率控制字的传输时间,也就是一个时钟周期的时间。时钟频率越高,转换时间越短。DDS 的频率转换时间可达纳秒数量级,比使用其它的频率合成方法都要短数个数量级。

(3) 频率分辨率极高

若时钟 f_s 的频率不变,DDS 的频率分辨率就由相位累加器的位数 N 决定。只要增加相位累加器的位数 N 即可获得任意小的频率分辨率。目前,大多数 DDS 的分辨率在 1Hz 数量级,许多小于 1mHz 甚至更小。

(4) 相位变化连续

改变 DDS 输出频率,实际上改变的每一个时钟周期的相位增量,相位函数的曲线是连续的,只是在改变频率的瞬间其频率发生了突变,因而保持了信号相位的连续性。

(5) 输出波形的灵活性

只要在 DDS 内部加上相应控制如调频控制 FM、调相控制 PM 和调幅控制 AM,即可以方便灵活地实现调频、调相和调幅功能,产生 FSK、PSK、ASK 和 MSK 等信号。另外,只要在 DDS 的波形存储器存放不同波形数据,就可以实现各种波形输出,如三角波、锯齿波和矩形

波甚至是任意的波形。当 DDS 的波形存储器分别存放正弦和余弦函数表时,既可得到正交的两路输出。

(6)其他优点

由于 DDS 中几乎所有部件都属于数字电路,易于集成,功耗低、体积小、重量轻、可靠性高,且易于程控,使用相当灵活,因此性价比极高。

DDS 也有局限性,主要表现在:

(1)输出频带范围有限

由于 DDS 内部 DAC 和波形存储器(ROM)的工作速度限制,使得 DDS 输出的最高频率有限。目前市场上采用 CMOS、TTL、ECL 工艺制作的 DDS 芯片,工作频率一般在几十 MHz 至 400MHz 左右。采用 GaAs 工艺的 DDS 芯片工作频率可达 2GHz 左右。

(2)输出杂散大

由于 DDS 采用全数字结构,不可避免地引入了杂散。其来源主要有三个:相位累加器相位舍位误差造成的杂散;幅度量化误差(由存储器有限字长引起)造成的杂散和 DAC 非理想特性造成的杂散。

2 实现 DDS 的三种技术方案

2.1 采用高性能 DDS 单片电路的解决方案

随着微电子技术的飞速发展,目前市场上性能优良的 DDS 产品不断推出,主要有 Qualcomm、AD、Sciteg 和 Stanford 等公司单片电路(monolithic)。Qualcomm 公司推出了 DDS 系列 Q2220、Q2230、Q2334、Q2240、Q2368,其中 Q2368 的时钟频率为 130MHz,分辨率为 0.03Hz,杂散控制为-76dBc,变频时间为 0.1 μ s;美国 AD 公司也相继推出了他们的 DDS 系列:AD9850、AD9851、可以实现线性调频的 AD9852、两路正交输出的 AD9854 以及以 DDS 为核心的 QPSK 调制器 AD9853、数字上变频器 AD9856 和 AD9857。AD 公司的 DDS 系列产品以其较高的性能价格比,目前取得了极为广泛的应用。AD 公司的常用 DDS

芯片选用列表见表 1。下面仅对比较常用的 AD9850 芯片作一简单介绍。

AD9850 是 AD 公司采用先进的 DDS 技术,1996 年推出的高集成度 DDS 频率合成器,它内部包括可编程 DDS 系统、高性能 DAC 及高速比较器,能实现全数字编程控制的频率合成器和时钟发生器。接上精密时钟源,AD9850 可产生一个频谱纯净、频率和相位都可编程控制的模拟正弦波输出。此正弦波可直接用作频率信号源或转换成方波用作时钟输出。AD9850 接口控制简单,可以用 8 位并行口或串行口直接输入频率、相位等控制数据。32 位频率控制字,在 125MHz 时钟下,输出频率分辨率达 0.029Hz。先进的 CMOS 工艺使 AD9850 不仅性能指标一流,而且功耗少,在 3.3V 供电时,功耗仅为 155mW。扩展工业级温度范围为-40~+85 摄氏度,其封装是 28 引脚的 SSOP 表面封装。

AD9850 采用 32 位相位累加器,截断成 14 位,输入正弦查询表,查询表输出截断成 10 位,输入到 DAC。DAC 输出两个互补的模拟电流,接到滤波器上。调节 DAC 满量程输出电流,需外接一个电阻 Rset,其调节关系是 $I_{set}=32(1.248V/Rset)$,满量程电流为 10~20mA。

2.2 采用低频正弦波 DDS 单片电路的解决方案

Micro Linear 公司的电源管理事业部推出低频正弦波 DDS 单片电路 ML2035 以其价格低廉、使用简单得到广泛应用。ML2035 特性:(1)输出频率为直流到 25kHz,在时钟输入为 12.352MHz 时频率分辨率可达到 1.5Hz(-0.75~+0.75Hz),输出正弦波信号的峰-峰值为 V_{cc} ;(2)高度集成化,无需或仅需极少的外接元件支持,自带 3~12MHz 晶体振荡电路;(3)兼容的 3 线 SPI 串行输入口,带双缓冲,能方便地配合单片机使用;(4)增益误差和总谐波失真很低。

ML2035 为 DIP-8 封装,各引脚功能如下:

表 1 AD 公司的常用 DDS 芯片选用列表

型号	最大工作频率(MHz)	工作电压(V)	最大功耗(mw)	备注
AD9832	25	3.3/5	120	小型封装,串行输入,内置 D/A 转换器。
AD9831	25	3.3/5	120	低电压,经济,内置 D/A 转换器。
AD9833	25	2.5~5.5	20	10 个管脚的 uSOIC 封装。
AD9834	50	2.5~5.5	25	20 个管脚的 TSSOP 封装并内置比较器。
AD9835	50	5	200	经济,小型封装,串行输入,内置 D/A 转换器。
AD9830	50	5	300	经济,并行输入,内置 D/A 转换器。
AD9850	125	3.3/5	480	内置比较器和 D/A 转换器。
AD9853	165	3.3/5	1150	可编程数字 QPSK/16-QAM 调制器。
AD9851	180	3/3.3/5	650	内置比较器、D/A 转换器和时钟 6 倍频器。
AD9852	300	3.3	1200	内置 12 位的 D/A 转换器、高速比较器、线性调频和可编程参考时钟倍频器。
AD9854	300	3.3	1200	内置 12 位两路正交 D/A 转换器、高速比较器和可编程参考时钟倍频器。
AD9858	1000	3.3	2000	内置 10 位的 D/A 转换器、150MHz 相频检测器、充电泵和 2GHz 混频器。

(1)V_{ss} :-5V 电源 ;

(2)SCK :串行时钟输入 ,在上升沿将串行数据锁入 16 位移位寄存器 ;

(3)SID :串行数据输入 ,该串行数据为频率控制字 ,决定 6 脚输出的频率 ;

(4)LATI :串行数据锁存 ,在下降沿将频率控制字锁入 16 位数据锁存器 ;

(5)V_{cc} :+5V 电源 ;

(6)Vout :模拟信号输出 ;

(7)GND :公共地 ,输入、输出均以此点作为参考点 ;

(8)CLK IN :时钟输入 ,可外接时钟或石英晶体。

ML2035 生成的频率较低(0~25kHz) ,一般应用于一些需产生的频率为工频和音频的场合。如用 2 片 ML2035 产生多频互控信号 ,并与 AMS3104(多频接收芯片)或 ML2031/2032(音频检波器)配合 ,制作通信系统中的收发电路等。

可编程正弦波发生器芯片 ML2035 设计巧妙 ,具有可编程、使用方便、价格低廉等优点 ,应用范围广泛。很适合需要低成本、高可靠性的低频正弦波信号的场合。

ML2037 是新一代低频正弦波 DDS 单片电路 ,生成的最高频率可达 500kHz。

2.3 自行设计的基于 FPGA 芯片的解决方案

DDS 技术的实现依赖于高速、高性能的数字器件。可编程逻辑器件以其速度快、规模大、可编程 ,以及有强大 EDA 软件支持等特性 ,十分适合实现 DDS 技术。Altera 是著名的 PLD 生产厂商 ,多年来一直占据着行业领先的地位。Altera 的 PLD 具有高性能、高集成度和高性价比的优点 ,此外它还提供了功能全面的开发工具和丰富的 IP 核、宏功能库等 ,因此 Altera 的产品获得了广泛的应用。Altera 的产品有多个系列 ,按照推出的先后顺序依次为 Classic 系列、MAX (Multiple Array Matrix) 系列、FLEX (Flexible Logic Element Matrix)系列、APEX(Advanced Logic Element Matrix)系列、ACEX 系列、Stratix 系列以及 Cyclone 等。

Max+plusII 是 Altera 提供的一个完整的 EDA 开发软件 ,可完成从设计输入、编译、逻辑综合、器件适配、设计仿真、定时分析、器件编程的所有过程。QuartusII 是 Altera 近几年来推出的新一代可编程逻辑器件设计环境 ,其功能更为强大。

用 Max+plusII 设计 DDS 系统数字部分最简单的方法是采用原理图输入。相位累加器调用 lmp_add_sub 加减法器模块 ,相位累加器设计的好坏将直接影响到整个系统的速度 ,采用流水线技术能大幅度地提升速度。波形存储器(ROM)通过调用 lpm_rom 元件实现 ,其 LPM_FILE 的值 *.mif 是一个存放波形幅值的文件。波形存储器设计主要考虑的问题是容量的大小 ,利用波形幅值的奇、偶对称特性 ,可以节省 3/4 的资源 ,这是非常可观的。为了进一步优化速度的设计 ,可以选择菜单 Assign|Global Project Logic Synthesis 的选项 Optimize10 (速度) ,并设定 Global Project Logic Synthesis Style 为 FAST ,经寄存器性能分析最高频率达到 100MHz 以上。用 FPGA 实现的 DDS 能工作在如此之高的频率主要依赖于 FPGA 先进的结构特点。

虽然有的专用 DDS 芯片的功能也比较多 ,但控制方式却是固定的 ,因此不一定是我们所需要的。而利用 FPGA 则可以根据需要方便地实现各种比较复杂的调频、调相和调幅功能 ,具有良好的实用性。就合成信号质量而言 ,专用 DDS 芯片由于采用特定的集成工艺 ,内部数字信号抖动很小 ,可以输出高质量的模拟信号 ;利用 FPGA 也能输出出高质量的信号 ,虽然达不到专用 DDS 芯片的水平 ,但信号精度误差在允许范围之内。

DDS 问世之初 ,构成 DDS 元器件的速度的限制和数字化引起的噪声这两个主要缺点阻碍了 DDS 的发展与实际应用。近几年超高速数字电路的发展以及对 DDS 的深入研究 ,DDS 的最高工作频率以及噪声性能已接近并达到锁相频率合成器相当的水平。随着这种频率合成技术的发展 ,现已广泛应用于通讯、导航、雷达、遥控遥测、电子对抗以及现代化的仪器仪表工业等领域。

参考文献

- 1 高玉良 ,李延辉 ,俞志强.现代频率合成与控制技术.北京 :航空工业出版社 ,2002
- 2 潘松 ,黄继业编著.EDA 技术实用教程.北京 :科学出版社 ,2002
- 3 钟将为 ,石卫华 ,董德存.可编程正弦波发生器芯片 ML2035 的原理及应用.微型机与应用,2003(3)
- 4 Altera Corporation. Altera Digital Library 2002.
- 5 Analog Devices Inc. Designers Reference Manual 2002.

(收稿日期 :2003-10-10)

国际新型 IC 在线技术座谈预告

统一注册网址 <http://www.ChinaECNet.com/reg>

举行日期	时间	公司名称
3 月 11 日	上午 10 点~12 点	美国模拟器件公司 ADI
3 月 25 日	上午 10 点~12 点	意法半导体 ST

电话注册 (010)8288-8222 转 7008/2001

传真注册 (010)8288-8220

以上内容可能会有变更。请密切关注中电网在线座谈公告。详情敬请访问 <http://www.ChinaECNet.com/reg>