

一种改进的 2D-DCT 的 FPGA 实现

A new implementation of 2D-DCT based on FPGA

(湖北长江大学)邓慧萍 张正炳 贾冬顺

DENG HUIPING ZHANG ZHENGBING JIA DONGSHUN

摘要:DCT 是图像处理和视频压缩中很重要的一部分,在 JPEG、MPEG、H.26X 标准中广泛运用。2D-DCT 的 FPGA 实现广泛采用行列分解法,把 8×8 的 2D-DCT 变换分解为两个 1D-DCT 来做,其中 1D-DCT 的运算量集中在加法器和乘法器上。本方案将加法器和乘法器数量减少到最小,节省了硬件资源,其中乘法器采用移位求和的方法实现,并结合流水线操作,提高运算速度。实验表明只需要一个 1D-DCT 模块就可实现 2D-DCT 变换。

关键词:现场可编程门阵列;二维离散余弦变换;视频压缩

中图分类号:TP202

文献标识码:A

Abstract:Discrete Cosine Transform(DCT) plays an important role in image and video compression, it has been widely used in JPEG, MPEG, H.26X. Hardware implementation of 2D-DCT uses row-column decomposition algorithm in this paper, which is the whole architecture of 8*8 2D-DCT is divided into two 1D-DCT. This proposal requires the least adder and multiplier, also multiplier is replaced by shift-sum, and combined with pipe line to reduce hardware resources and improve process speed. The result indicate that 2D-DCT only need one 1D-DCT module.

Key words:FPGA, 2D-DCT, Video compression

1 引言

DCT 变换是视频压缩编解码器中很重要的一部分,被广泛应用于各种视频格式的编码算法中,例如 JPEG、MPEG、H.26x 等。这是因为:一、它能把图像的能量集中到少数的几个数据上,并打破数据间的相关性;二、它的实现具有快速算法。2D-DCT 的硬件实现方法主要有两种,直接法和行列分解法。由于直接法需要大量的加法器和乘法器,造成了资源的大量耗费,而且运算速度不高,所以到目前为止,基于行列变换的 DCT 被应用得最广泛。

在对 2D-DCT 的快速算法和硬件实现方案综合研究后,提出了一种改进的 2D-DCT 的实现方案,此方案是基于行列分解的,只需要少量的加法器和快速的移位操作就能实现复杂的 2D-DCT 运算,这对节省硬件资源,从而降低设备的硬件成本并减小硬件体积具有重要意义。

2 整体实施方案

2D-DCT 变换定义:

$$y(u, v) = \frac{2}{N} c(u)c(v) \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i, j) \cos \frac{(2i+1)u\pi}{2N} \cos \frac{(2j+1)v\pi}{2N};$$

其中 $c(0) = \sqrt{1/2}, c(t) = 1(t \neq 0)$;

分解成 2 个 1D-DCT:

$$y(u, v) = \sqrt{2/N} \sum_{i=0}^{N-1} c(u)z(v, i) \cos \frac{(2i+1)u\pi}{2N}$$

$$z(v, i) = \sqrt{2/N} \sum_{j=0}^{N-1} c(v)x(i, j) \cos \frac{(2j+1)v\pi}{2N}$$

由于 2D-DCT 具有行列可分解性,所以 8×8 数据块的 2D-DCT 可分解成 8 点一行的行 DCT 变换和 8 点一列的列 DCT 变换。如图 1 所示,是 2D DCT 变换的整体实现框图。整个硬件框图包括 5 个主要模块。1、串并转换模块 2、1D-DCT 变换模块 3、转置 RAM 模块 4、并串转换模块 5、控制模块在 DCT 变换中,变换前输入的象素值的范围 0~255,变换后直流系数的范围 0~2040,交流系数的范围-1000~1000,因此输入数据 serial_data 选择 8bit 的数据宽度,输出数据 dct_out 选择 12bit 的数据宽度。

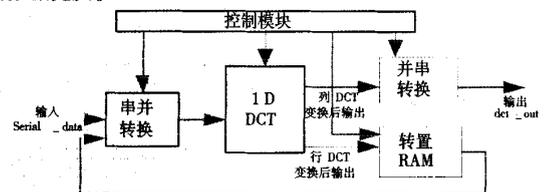


图 1 2D DCT 整体实现框图

从输入端输入的串行数据 serial_data 每个时钟读入一个数据,8 个时钟周期后经过串并转换模块输出的就是 8×8 数据块中一行的 8 个并行的数据,同时给 1D-DCT 模块一个使能信号,通知它可以对这 8 个数据进行行 DCT 变换了,并且将变换后的结果存入转置 RAM 中,当 8×8 个数据全都做完行 DCT 变换后,存放在转置 RAM 中的数据可以读出了,然后依次读出每一列数据,并将这 8 列数据再次经过 1D-DCT 进行列 DCT 变换,最后将列 DCT 变换后的并行数据转换成串行数据输出,这样串行输出的数据就是对应的串行输入数据 2D-DCT 变换后的结果。

下面重点介绍几个主要模块的设计。

3 模块设计介绍

3.1 控制模块

控制模块的作用是安排整个运算的时序,以及产生模块和

邓慧萍: 硕士研究生

基金项目:湖北省高等学校优秀中青年科技创新团队计划项目(鄂教科 2004-7-4)

模块之间、模块和外界之间的握手信号,采用状态机实现。分为3个状态:空闲状态,行 DCT 变换状态和列 DCT 变换状态。系统复位时初始状态为空闲状态,当有数据输入时进入行 DCT 变换状态,当检测到行 DCT 变换完毕后进入列 DCT 变换状态,列 DCT 变换完毕后进入空闲状态,等待下一个 8x8 数据块的 DCT 变换。

3.2 1D-DCT 模块

3.2.1 1D-DCT 的算法

设 X(0),X(1),X(2),X(3), X(4),X(5),X(6),X(7)为输入的一行数据, Y(0),Y(1),Y(2),Y(3), Y(4),Y(5),Y(6),Y(7)为 DCT 变换后输出的一行数据。由 1D-DCT 的数学定义可得到:

$$Y(0) = \frac{1}{\sqrt{2}} [X(0)+X(7)] + \frac{1}{\sqrt{2}} [X(1)+X(6)] + \frac{1}{\sqrt{2}} [X(2)+X(5)] + \frac{1}{\sqrt{2}} [X(3)+X(4)]$$

$$Y(1) = \frac{1}{2} \cos \frac{\pi}{16} [X(0)-X(7)] + \frac{1}{2} \cos \frac{3\pi}{16} [X(1)-X(6)] + \frac{1}{2} \cos \frac{5\pi}{16} [X(2)-X(5)] + \frac{1}{2} \cos \frac{7\pi}{16} [X(3)-X(4)]$$

$$Y(2) = \frac{1}{2} \cos \frac{\pi}{8} [X(0)+X(7)] + \frac{1}{2} \cos \frac{3\pi}{8} [X(1)+X(6)] + \frac{1}{2} \cos \frac{\pi}{2} [X(2)+X(5)] - \frac{1}{2} \cos \frac{3\pi}{8} [X(3)+X(4)]$$

$$Y(3) = \frac{1}{2} \cos \frac{3\pi}{16} [X(0)-X(7)] - \frac{1}{2} \cos \frac{7\pi}{16} [X(1)-X(6)] - \frac{1}{2} \cos \frac{5\pi}{16} [X(2)-X(5)] + \frac{1}{2} \cos \frac{3\pi}{16} [X(3)-X(4)]$$

$$Y(4) = \frac{1}{2\sqrt{2}} [X(0)+X(7)] - \frac{1}{2\sqrt{2}} [X(1)+X(6)] - \frac{1}{2\sqrt{2}} [X(2)+X(5)] + \frac{1}{2\sqrt{2}} [X(3)+X(4)]$$

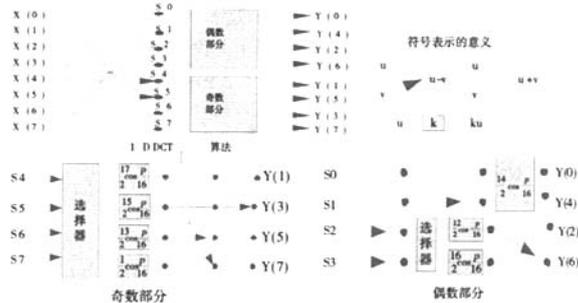
$$Y(5) = \frac{1}{2} \cos \frac{5\pi}{16} [X(0)-X(7)] - \frac{1}{2} \cos \frac{\pi}{16} [X(1)-X(6)] + \frac{1}{2} \cos \frac{7\pi}{16} [X(2)-X(5)] - \frac{1}{2} \cos \frac{3\pi}{16} [X(3)-X(4)]$$

$$Y(6) = \frac{1}{2} \cos \frac{3\pi}{8} [X(0)+X(7)] - \frac{1}{2} \cos \frac{\pi}{8} [X(1)+X(6)] + \frac{1}{2} \cos \frac{\pi}{2} [X(2)+X(5)] - \frac{1}{2} \cos \frac{3\pi}{8} [X(3)+X(4)]$$

$$Y(7) = \frac{1}{2} \cos \frac{7\pi}{16} [X(0)-X(7)] - \frac{1}{2} \cos \frac{5\pi}{16} [X(1)-X(6)] + \frac{1}{2} \cos \frac{3\pi}{16} [X(2)-X(5)] - \frac{1}{2} \cos \frac{\pi}{16} [X(3)-X(4)]$$

由上面的 8 个式子观察可发现,偶数项是 X(0)+X(7), X(1)+X(6), X(2)+X(5), X(3)+X(4) 与 cos(2π/16), cos(4π/16), cos(6π/16) 相组合的结果,奇数项是 X(0)-X(7), X(1)-X(6),

X(2)-X(5), X(3)-X(4) 与 cos(π/16), cos(3π/16), cos(5π/16), cos(7π/16) 相组合的结果,因此可将偶数项和奇数项分开计算。其中奇数部分需要 4 个乘法器,偶数部分需要 3 个乘法器。下面 3 个图是实现 1D-DCT 的算法结构图。



3.2.2 乘法器的实现

由于在这些乘法中,都是与一个固定的系数相乘,并且这些系数都可近似的表示为 2⁻ⁿ 的和。当一个数与 2⁻ⁿ 相乘时,相当于将该数右移 n 位。这样乘法就可以用移位求和的方法实现了。

以 Y(1) 为例,小数的精度取 12 位,

$$Y(1) = \left[\begin{matrix} \frac{1}{2} \cos \frac{\pi}{16} \\ \frac{1}{2} \cos \frac{3\pi}{16} \\ \frac{1}{2} \cos \frac{5\pi}{16} \\ \frac{1}{2} \cos \frac{7\pi}{16} \end{matrix} \right] [X(0)-X(7)] [X(1)-X(6)] [X(2)-X(5)] [X(3)-X(4)]$$

$$= \left[\begin{matrix} 2^2+2^3+2^4+2^5+2^6+2^7+2^8+2^9 \\ 2^2+2^3+2^4+2^7+2^{10}+2^{11} \\ 2^2+2^4+2^7+2^8+2^{12} \\ 2^2+2^3+2^4+2^{10}+2^{11}+2^{12} \end{matrix} \right] [X(0)-X(7)] [X(1)-X(6)] [X(2)-X(5)] [X(3)-X(4)]$$

下图直观的描述了 [X(0)-X(7)] 1/2cos(π/16) 用移位求和的方法

法实现的框图。并且在移位求和中插入 3 级寄存器,形成 3 级流水线,使 3 级加法能在一个时钟周期内完成。

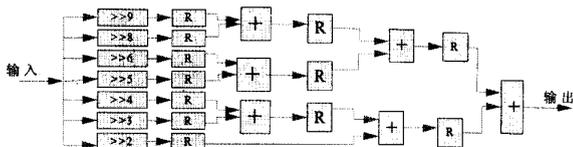


图 3 乘法的移位求和实现

3.3 转置 RAM 模块

2D-DCT 需要两个 1D-DCT 共同完成,但是第一次 1D-DCT 运算得到的中间结果并不是直接传送给下一个 1D-DCT 的,需要一个存储器把 8x8 个数据先缓存起来重新排序,也就是要一个矩阵转置模块进行行列转换。因此转置 RAM 相当于一个 8x8 的阵列。此设计的转置 RAM 由 8 块 12bitx8 双端口 RAM 组成。

把行 DCT 变换后的第一行的 8 个数据分别存到 8 个 RAM 中,即 Y(0) 存入 RAM0 的第一个存储单元, Y(1) 存入 RAM1 的第一个存储单元,……, Y(7) 存入 RAM7 的第一个存储单元,下一行的 8 个数据分别放到各自存储器的下一个存储单元中,依次类推,直到 8 行运算都完成,这样存放到每个 RAM 中的 8 个数据刚好是我们需要的一列数据。因此,在下一次的 1D-DCT 变换中只需要按存放的顺序依次串行的读出每个 RAM 块中的数据即可。

4 结果分析

图 4 是用 ModelSim 仿真工具仿真后的 1D-DCT 的仿真波形图。



图 4 1D-DCT 仿真波形

serial_data 是输入的一组串行数据, X0, ……X7 是并行输出, serial_out 是变换后的输出。图中输入的一组数据是 170, 153, 153, 153, 170, 153, 153, 153; 1D-DCT 变换后仿真输出结果是 440, 6, 0, 10, 11, -4, 0, 9; 与 1D-DCT 变换的理论值 444, 6, 0, 11, 12, -2, 0, 9 基本相符,引起误差的主要原因是在做乘法时对小数的精度取的不够高,这种误差不会引起人眼视觉上的差别,在图像处理中是允许存在的。因此该方案正确可行,可作为基于 FPGA 的视频处理系统中一个重要的模块。

本文作者创新点:

1. 改变 1D-DCT 的算法结构,用最少的加法器和乘法器就能实现 8x8 的 DCT 变换。乘法器是运算中的瓶颈。本文用移位求和来实现乘法器,加快了算法速度。

2. 只需要一个 DCT 模块就可实现 2D-DCT 变换,因此简化了硬件结构。这对节省硬件资源,从而降低设备的硬件成本并减小硬件体积具有重要意义。

3. 恰当安排时序,尽量不浪费时钟周期,使得 2D-DCT 变换可以达到视频处理实时性的要求。

(下转第 213 页)

在主控系统固件开发中,为了保证主控系统上电后 XC3S400 和 CY7C68013A 之间不会因配置加载完成时间先后不同而引起不可预料的逻辑问题,在 FPGA 逻辑中设置一个初始化计数器,当它从配置芯片 XCF02S 加载后,只有该计数器计数,待等待时间(如 1 秒)过后,计数器溢出,令一个使能信号置位,使能所有逻辑块。这就能充分保证 FPGA 实施主控时 CY7C68013A 已从 EEPROM 加载程序,并完成了寄存器初始化。

4 结论

本文设计的无载频脉冲探地雷达主控系统,从设计角度而言,整个系统的设计重心上移到了固件设计层面,从而降低了系统实现的难度,并使系统具有功能可重新配置的能力。其控制逻辑数字功能全部集成到单片 FPGA 实现,硬件设计高度集成化,大大减少了元件和走线数目,缩小了主控电路板面积。本主控电路板经实际测试,单片 FPGA 主控逻辑工作流程完善,与 USB2.0 微控制器交互稳定可靠。DS1023 系列可编程延迟线设计的等效取样电路最高折合采样率达到 4GHz,对于中心频率 500MHz,900MHz 和 1.5GHz 收发天线,结合探测要求设置合适的时窗和取样步长,等效时间取样性能均十分理想。整个主控系统功耗小于 5 瓦,延长了蓄电池充电一次可使用的时间,更适合野外作业。目前,本主控系统即将投入使用。

注:本项目研制设备已开始应用于工程检测行业,如路基病害检测,隧道位置检测,楼板厚度检测等。将接收机和发射机组件 bow-tie 天线贴放探测对象表面,在测点探测或沿测线拖动连续探测,现场记录采集数据于笔记本电脑,探测数据以深度(时间)方向和侧线方向(距离位置)记录,形成二维灰度或伪彩色图,可以现场判读,在图上发现异常结构位置。路基病害检测和楼板厚度检测使用 900MHz 或 1.5GHz 天线探测,隧道位置检测使用 500MHz 天线探测。探测结束后,采集数据以国际上地球物理行业 SEG Y 数据交换格式标准离线保存。目前本设备应用于工程检测行业已产生了经济效益 12 万元。

本文作者创新点:

1) 用单片 FPGA 实现无载频脉冲探地雷达全部主控功能,在电路板上仅仅保留无法在 FPGA 内实现的,探地雷达主控系统所必需的模拟电路模块,从而最大程度的小型化设计了无载频脉冲探地雷达主控系统。系统组成设计(图)和 FPGA 逻辑设计(图)在国内外尚无文献报道。

2) 本文提出的用不同型号的可编程延迟线 DS1023 两级级连来实现可编程定时电路的设计新方法,用于无载频脉冲探地雷达主控系统等效时间取样,在国内外尚无文献报道。

3) 第 3 部分最后一段提出的解决 FPGA(XC3S400)和 USB 微控制器(CY7C68013A)同时上电后因配置加载完成时间先后不同而可能引起不可预料的逻辑问题的方便实用的解决办法,在国内外尚无文献报道。

参考文献

- [1]Xilinx.Spartan-3 FPGA Family: Complete Data Sheet [Z]. DS099-1(v1.4) January 17, 2005
- [2]彭苏萍,杨峰,苏红旗.高效采集地质雷达的研制及应用[J].地质与勘探,2002年,05期:63-66
- [3]夏宇闻. Verilog 数字系统设计教程.北京航空航天大学出版社[M].2005:6页-8页
- [4]Cypress Semiconductor: EZ-USB Technical Reference Manual v1.2[Z] copyright(c) 2005

[5]苟新运,张禹,季仲梅. USB2.0 接口芯片 CY7C68013 的固件程序开发[J].微计算机信息,2005,8:182-183

作者简介:张康(1982-),男,汉族,硕士研究生,研究方向为超宽带雷达后端系统设计;周斌(1977-),男,汉族,硕士,主要研究领域为超宽带雷达相关技术;方广有(1963-),男,汉族,中科院电子学研究所研究员,博士生导师,主要研究领域为超宽带电磁学及其工程应用,损耗介质中隐蔽目标的电磁探测,微波成像新技术与新方法,电磁场的数值计算方法等。

Biography:Zhang kang,male,born in 1982,master student,majoring in UWB radar back-end system design.

(100080 北京 中国科学院电子学研究所)张康 周斌 方广有 (中国科学院研究生院)张康

通讯地址:(100080 北京市 海淀区北四环西路 19 号中科院电子学研究所)张康

(收稿日期:2007.9.13)(修稿日期:2007.11.15)

(上接第 215 页)

参考文献

[1]山洪刚,郑南宁,杨晓衡.实时视频编码的二维 DCT/IDCT 的实现.电视技术,2002 年第 12 期

[2]胡睿,徐正光.一种基于分块 DCT 变换和水印置乱的嵌入算法[A].微计算机信息,2005/07

[3]司马苗,周源华.基于 FPGA 的二维 DCT 变换的实现[A].红外与激光,2003 年 8 月

[4]孙阳,余锋.一种用于实时视频处理的高速二维 DCT 的电路设计和实现[A].微电子技术,2003 年 4 月

作者简介:邓慧萍(1983-),女(汉族),湖北应城人,硕士研究生,研究方向:视频通信;张正炳(1961-),男(汉族),湖北随州人,长江大学电信学院教授,博士,研究方向:图像处理,IP 视频通信;贾冬顺(1981-),男(汉族),河南南阳人,硕士研究生,研究方向:图像处理。

Biography:Deng Hui-ping(1983-), Hubei, female(Han), master, major: Video Communication; ZHANG Zheng-bing(1961-), male (Han), Hubei, professor, doctor, major: Image processing & IP Video communication ; JIA Dong -shun (1981 -), male(Han), Henan, master, major: Image Processing.

(434023 荆州 湖北长江大学 电子信息学院)邓慧萍 张正炳 贾冬顺

(Electronic & Information College of Yangtze University, Jingzhou China, 434023)Deng HuiPing Zhang ZhengBing Jia DongShun

通讯地址:(434023 湖北 荆州长江大学电信学院 05 级研究生)邓慧萍

(收稿日期:2007.9.13)(修稿日期:2007.11.15)

书 讯

《PLC 应用 200 例》

110 元 / 本 (免邮资) 汇至

《嵌入式系统应用精选 200 例》

110 元 / 本 (免邮资) 汇至

地址:北京海淀区皂君庙 14 号院鑫雅苑 6 号楼 601 室

微计算机信息杂志收 邮编:100081

电话:010-62132436 010-62192616 (T/F)

一种改进的2D-DCT的FPGA实现

作者: [邓慧萍](#), [张正炳](#), [贾冬顺](#), [DENG HUIPING](#), [ZHANG ZHENGBING](#), [JIA DONGSHUN](#)
 作者单位: [湖北长江大学, 电子信息学院, 荆州, 434023](#)
 刊名: [微计算机信息](#) PKU
 英文刊名: [CONTROL & AUTOMATION](#)
 年, 卷(期): 2007, 23(35)
 被引用次数: 1次

参考文献(4条)

1. [山洪刚](#), [郑南宁](#), [杨晓衡](#) [实时视频编码的二维DCT/IDCT的实现](#) [期刊论文]-[电视技术](#) 2002(12)
2. [胡睿](#), [徐正光](#) [一种基于分块DCT变换和水印置乱的嵌入算法](#) [期刊论文]-[微计算机信息](#) 2005(07)
3. [司马苗](#), [周源华](#) [基于FPGA的二维DCT变换的实现](#) 2003
4. [孙阳](#), [余锋](#) [一种用于实时视频处理的高速二维DCT的电路设计和实现](#) [期刊论文]-[微电子技术](#) 2003(04)

相似文献(8条)

1. 期刊论文 [司马苗](#), [周源华](#) [基于FPGA的二维DCT变换的实现](#) -[红外与激光工程](#)2003, 32(4)

二维离散余弦变换(DCT)在图像处理和视频编码中起重要的作用。以MPEG-2全帧编码为背景,在现场可编程门阵列(FPGA)上实现 8×8 像素的二维DCT变换。算法首先把 8×8 像素的二维DCT变换简化成8次一维DCT变换加上适当的蝶形运算和顺序重排操作。试验表明,方案可以只用一个一维DCT模块实现输入采样率为74.25 MHz的二维DCT变换。

2. 期刊论文 [罗天煦](#), [邝继顺](#), [LUO Tian-xu](#), [KUANG Ji-shun](#) [一种基于Loeffler算法的快速实现2D DCT/IDCT的方法](#) -[计算机应用研究](#)2007, 24(1)

提出了一种基于Loeffler[8]算法的快速实现二维离散余弦变换/反离散余弦变换(2D DCT/IDCT)的方法。采用行列分解的方式,仅使用一个1D DCT/IDCT处理核快速完成 8×8 的2D DCT/IDCT变换。通过合理安排时钟周期数和简化各周期内的操作,使1D DCT/IDCT模块能在八个时钟周期内快速完成一次变换。仿真试验表明,与目前使用相同FPGA芯片的商业IP核相比,所使用的资源减少了10%,而速度却提高了10%。

3. 学位论文 [谢煜](#) [基于FPGA的二维离散余弦变换的并行化实现](#) 1997

作者必须依靠使用多处理单元来实现运算的并行处理技术。因此,在系统的设计过程中,作者应用充分考虑对流程的并行处理。由于在当前多媒体系统中,数据的压缩和解压缩过程是影响整个系统性能的关键环节,因此该论文以图像压缩标准JPEG和MPEG中的核心算法——二维离散余弦变换(2-D DCT)算法作为研究对象,目标是针对其运算过程的特点,通过算法并行化处理方案的设计和相应的软硬件实现来加快2-D DCT的运算。首先,通过对二维DCT变换过程的分析,作者利用其处理流程内在的规则性、模块性和并发性,采用脉动阵列这一新型VLSI并行结构来完成了整个算法的并行化方案的设计。然后,在实现算法并行化方案的过程中,作者按照软硬件综合设计方法的步骤和要求,建立了一个通用型的二维DCT脉动阵列仿真器,完成了对系统设计方案的验证。同时,作者设计制作了一块以现场可编程门阵列(FPGA)为核心、能运行于PC平台的快速硬件原型插卡,并在此原型插卡上进行了算法实现。

4. 期刊论文 [李莉](#), [宁帆](#), [魏巨升](#), [LI Li](#), [NING Fan](#), [WEI Jusheng](#) [基于DA算法的二维DCT的FPGA实现](#) -[现代电子技术](#) 2006, 29(10)

研究了一种采用现场可编程门阵列(FPGA)实现超高性能二维离散余弦变换(DCT)的方法。在DCT算法结构上利用了变换的可分离性和行列的可分解性采用行列分解的方法将二维DCT转换为2个串行的一维DCT实现,同时采用了基于分布算法(Distributed Arithmetic)的乘法-累加结构,从而极大地减少了硬件资源需求,提高了运算速度,使图像处理的实时性得到了大幅提高。最后还给出了FPGA的实现和仿真结果。

5. 期刊论文 [刘雄飞](#), [马剑钊](#), [盛利元](#), [LIU Xiong-fei](#), [MA Jian-zhao](#), [SHENG Li-yuan](#) [基于改进的分布式结构的二维DCT硬件实现](#) -[郑州大学学报\(工学版\)](#) 2008, 29(1)

设计了一个适合JPEG图像压缩系统的二维离散余弦变换模块,采用行列分离的方法,首先设计了一维余弦离散变换单元,该单元采用作者提出的改进的有符号分布算法结构实现,在硬件实现上可以明显提高吞吐率,然后复用该单元完成二维离散余弦变换的FPGA设计。在所选器件EPF10K100EQC208-1综合后显示,一维余弦离散变换单元的最高频率可达到104.17 MHz,满足JPEG图像压缩系统的高吞吐率要求。

6. 期刊论文 [山洪刚](#), [郑南宁](#), [杨晓衡](#) [实时视频编码的二维DCT/IDCT的实现](#) -[电视技术](#)2002, ""(12)

用FPGA FLEX10K130实现了二维离散余弦变换和逆变换(DCT/IDGT),结构设计采用行列分解法,乘法器采用移位求和的方法实现,并且采用流水线结构设计,提高处理核的性能,系统时钟达到33 MHz,计算精度满足CCITT标准要求。

7. 期刊论文 [山洪刚](#), [郑南宁](#), [杨国安](#), [张光烈](#) [一种应用于 \$8 \times 8\$ 二维DCT/IDCT的高效结构](#) -[半导体技术](#)2002, 27(6)

设计实现了二维离散余弦变换和逆变换。采用的DCT快速算法和基于分配算法(DA)的乘法-累加器(MAC)结构,极大地减少了硬件资源需求,并能达到很高的处理速度,计算精度满足CCITT标准要求。

8. 学位论文 [徐龙](#) [基于DE2平台的JPEG编码器设计](#) 2008

在多媒体技术的发展中,图像、视频的压缩处理技术占据着重要的地位,数字图像压缩技术逐渐成为多媒体应用的核心环节。在数字图像压缩领域,静止图像压缩标准JPEG,因为其优良的性能,而有着广泛的应用。

近些年来,专用图像压缩芯片正被越来越多的电子产品所采用, JPEG压缩芯片在数码相机等消费电子中有着大量应用,关于图像压缩芯片的研究一直是信息产业的热点。

本文基于ALTERA公司的DE2 FPGA开发平台设计实现了JPEG Baseline图像压缩编码系统。系统使用FPGA是Cyclone II系列的EP2C35。设计充分利用了可编程逻辑器件FPGA的灵活性和并行性。二维离散余弦变换(DCT)采用了行列分解的方法,并通过快速算法在很大程度上减少了硬件实现的复杂度,提高了模块的吞吐量,并且具有实时、高精度的优点。在量化模块中采用了自行实现的除法器,减少了除法运算的时间。整个设计大量采用了流水线优化设计,提高了系统的工作频率。

本文采用Verilog硬件描述语言设计实现JPEG Baseline编码器。整个编码器的设计采用可复用的IP设计方法,各模块功能相对独立,可以分别进行综合仿真,文中给出了各个模块独立的仿真结果。综合和仿真结果表明,此基于Cyclone II系列FPGA的JPEG编码器消耗较少的FPGA硬件资源,达到了较高

的工作频率，在速度和资源利用率方面均达到了较优的状态。

引证文献(1条)

1. 夏振华, 张正炳 基于3G移动通信的无线视频监控的设计[期刊论文]-电视技术 2010(3)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjsjxx200735086.aspx

授权使用: 长江大学(cjdx), 授权号: 2d1020e7-48ac-4917-aa18-9dbc00a63e3b

下载时间: 2010年7月23日