

西安交通大学

第4章 CMOS数字电路基础

电信学院微电子学系
程 军

Email: jcheng@mail.xjtu.edu.cn

序论

■ CMOS数字集成电路的优点:

- ❑ 功耗低;
- ❑ 集成度高;
- ❑ 电路简单;
- ❑ 抗干扰能力强;
- ❑ 工作速度正超越典型TTL电路;

■ CMOS数字电路组成:

- ❑ 开关、反相器—基本构件;
- ❑ 组合逻辑电路;
- ❑ 时序逻辑电路;

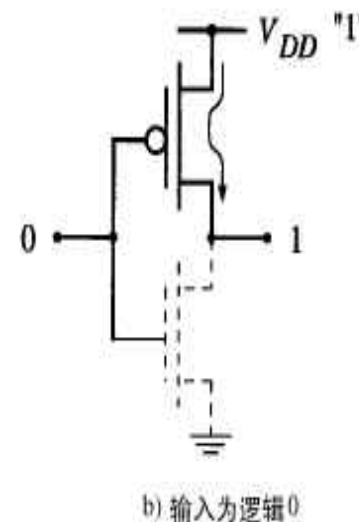
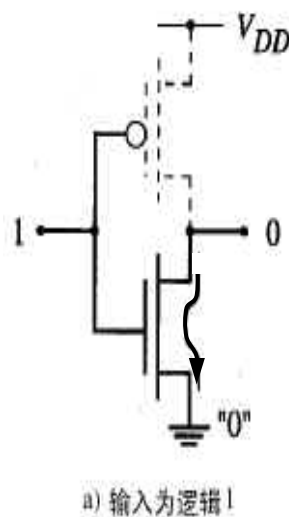
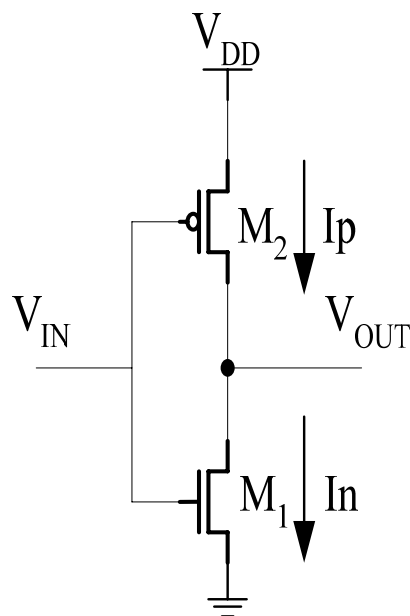


CMOS逻辑电路类型

- 互补静态CMOS逻辑；
 - 非常可靠，全摆幅，高噪声容限，能够按比例缩小；
 - 容易设计，可以综合；
 - 可以实现所有的逻辑功能；
 - 没有静态功耗；但有短路电流；
 - 上升、下降延时不同；
 - 输入负载由P和N器件构成；
 - NAND、NOR逻辑比较快，MUX、XOR逻辑慢；
- 传输管逻辑；
 - 简单速度快，但不是总有效；
- 有比逻辑；(伪NMOS，电阻/PMOS/耗尽NMOS负载)
 - 面积小、速度快，但有静态功耗；
- 动态逻辑；(多米诺、NP、C²MOS等)
 - 面积小，速度最快，但噪声容限小；无法按比例缩小。



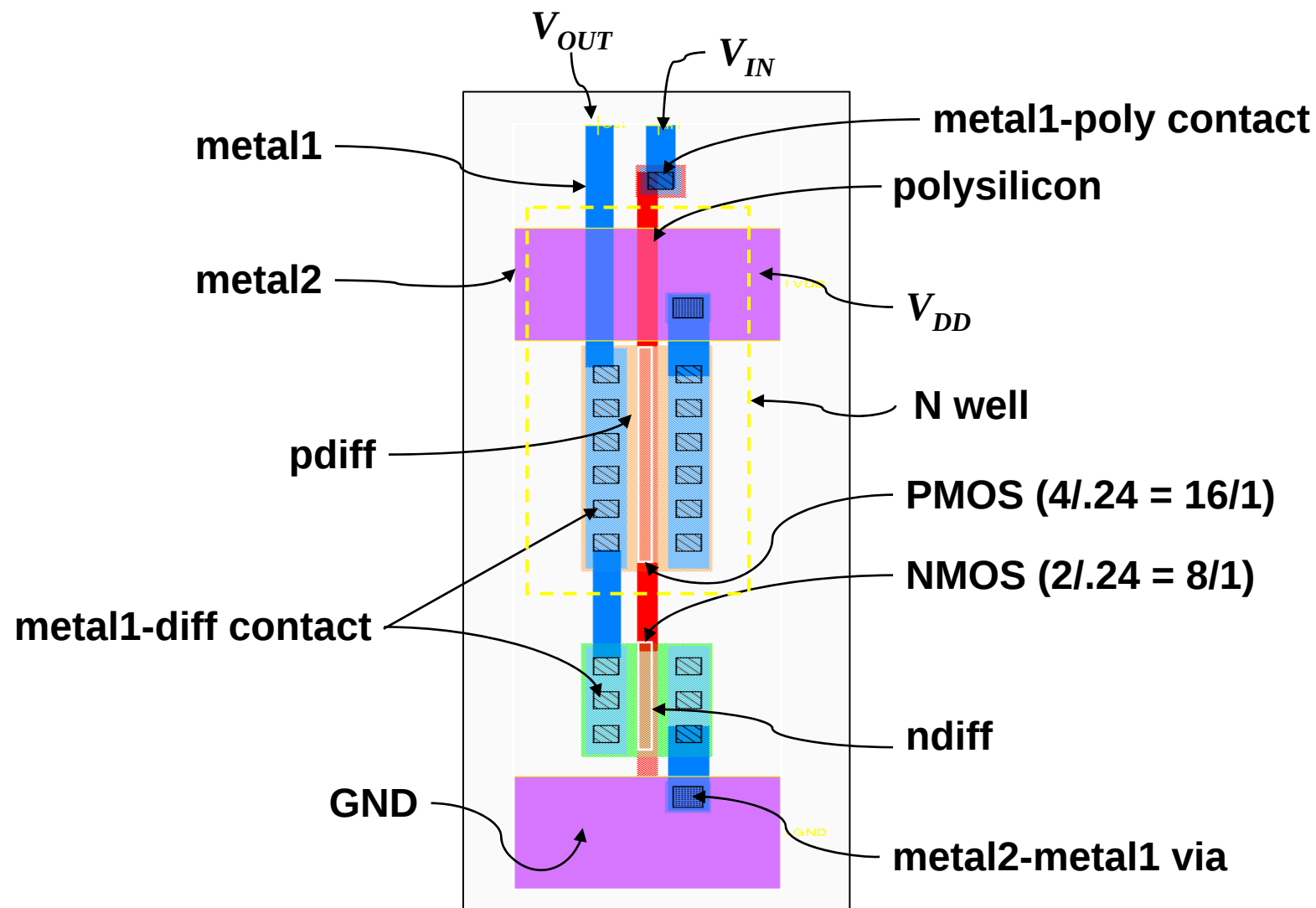
4.1 互补静态CMOS反相器



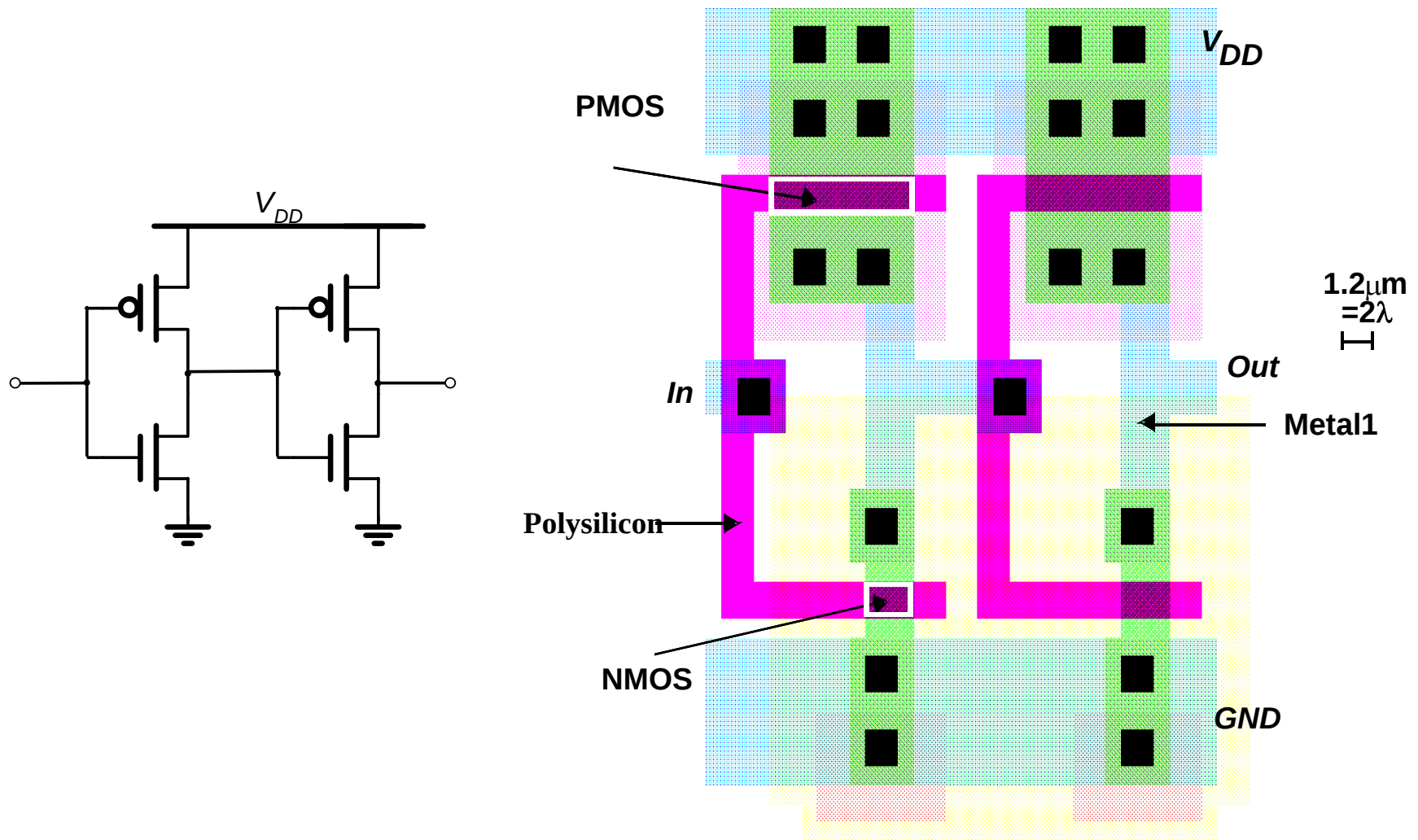
- ✦ V_{IN} 为低电平时: M_1 截止, M_2 导通, $V_{OUT}=V_{DD}$
- ✦ V_{IN} 为高电平时: M_1 导通, M_2 截止, $V_{OUT}=0$



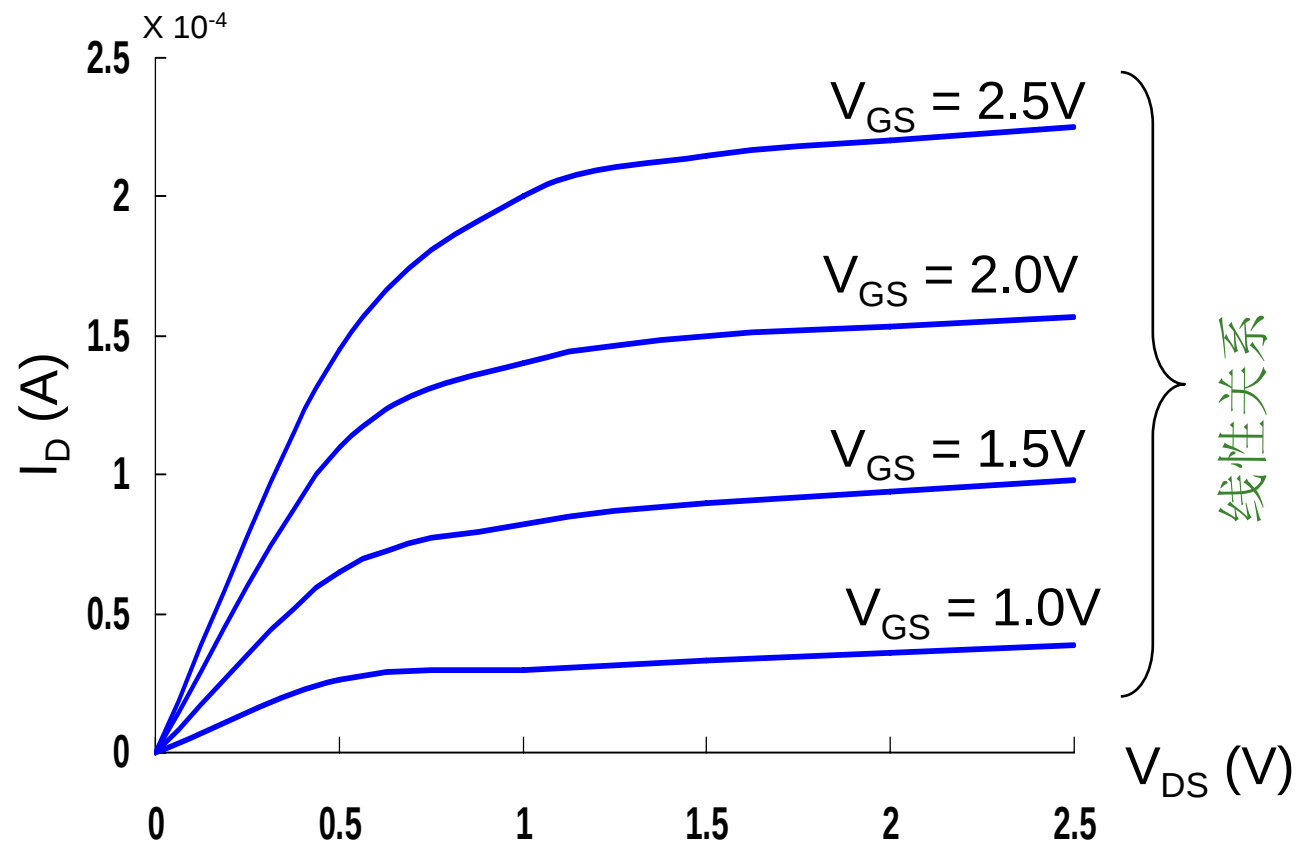
CMOS反相器版图 (Layout)



两个反相器级联



反相器传输特性曲线(作图法)



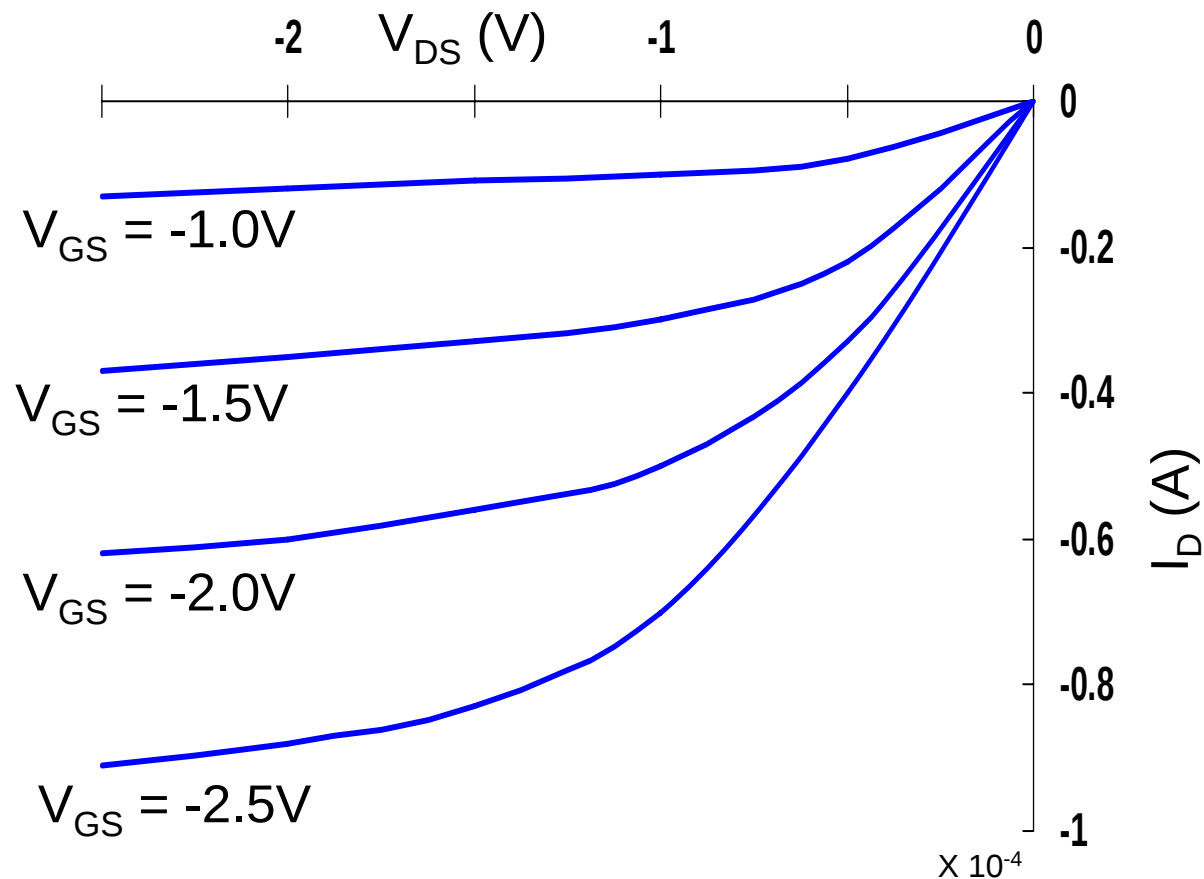
NMOS晶体管I—V特性曲线

NMOS transistor, $0.25\mu\text{m}$, $L_d = 0.25\mu\text{m}$, $W/L = 1.5$, $V_{DD} = 2.5\text{V}$, $V_T = 0.4\text{V}$



PMOS晶体管I—V特性曲线

- 所有电压电流特性都是反的



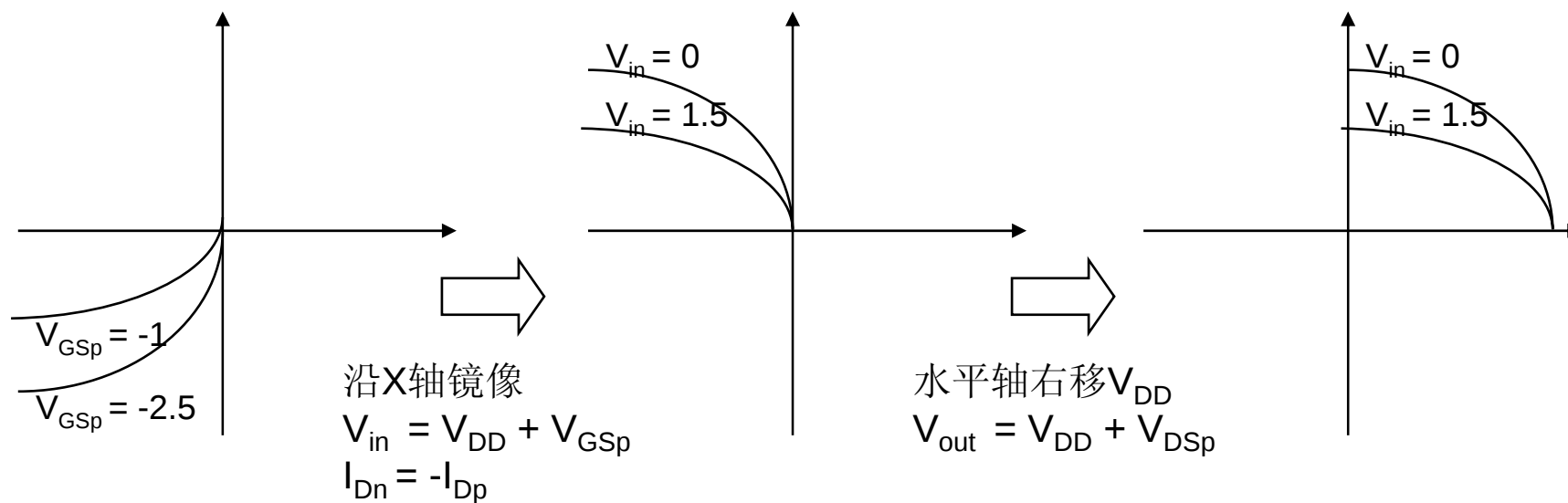
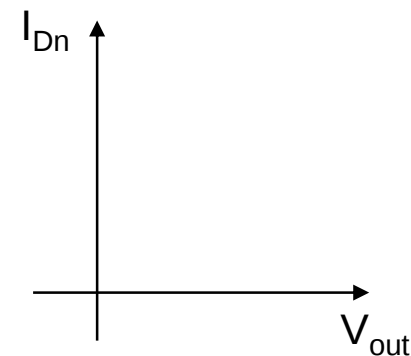
PMOS transistor, $0.25\mu m$, $L_d = 0.25\mu m$, $W/L = 1.5$, $V_{DD} = 2.5V$, $V_T = -0.4V$



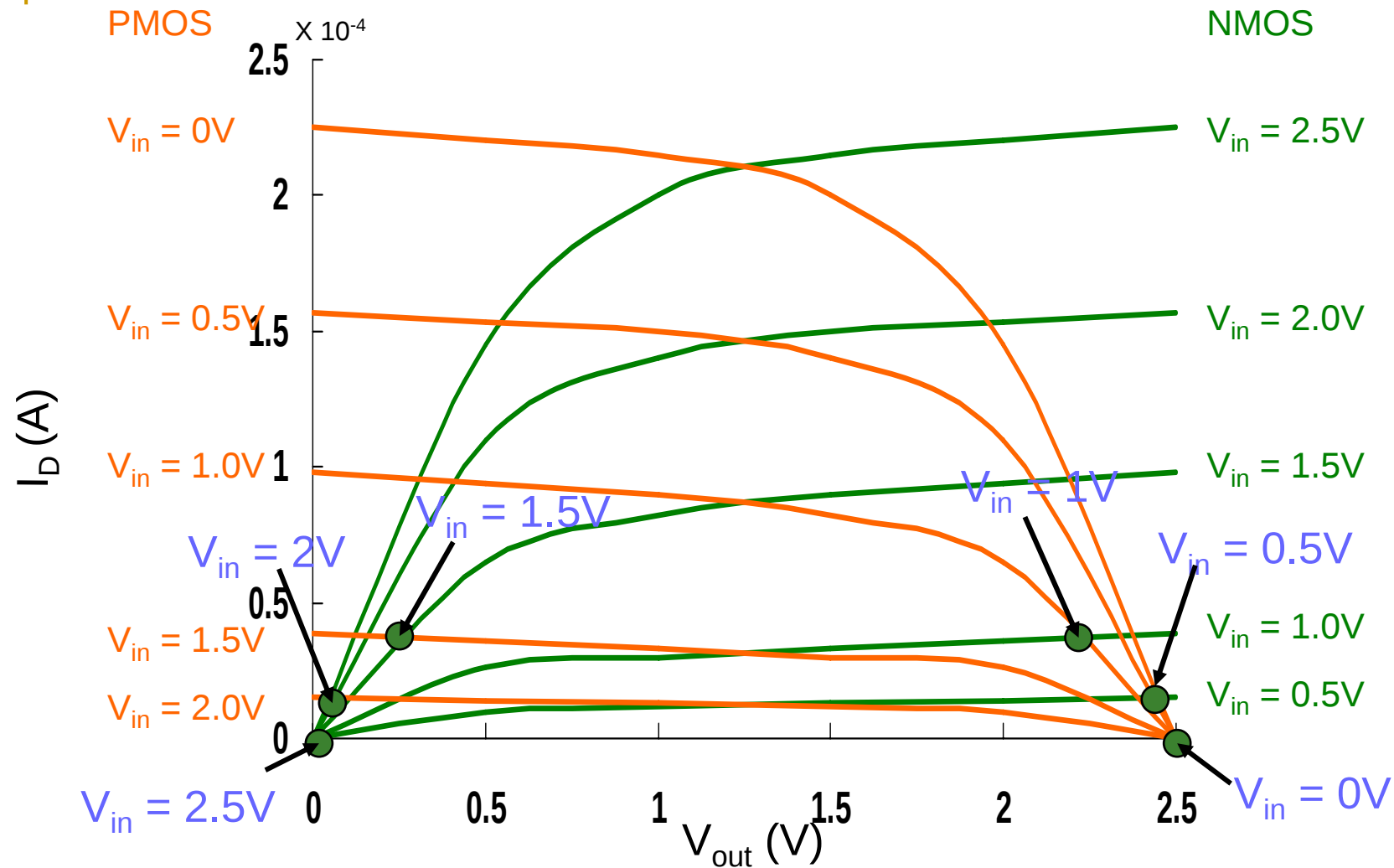
变换 PMOS I-V 曲线

- 使 V_{IN} , V_{OUT} , 和 I_D 在同一个坐标系

$$\begin{aligned} I_{Dsp} &= -I_{DSn} \\ V_{GSn} &= V_{in} ; \quad V_{GSp} = V_{in} - V_{DD} \\ V_{DSn} &= V_{out} ; \quad V_{DSp} = V_{out} - V_{DD} \end{aligned}$$



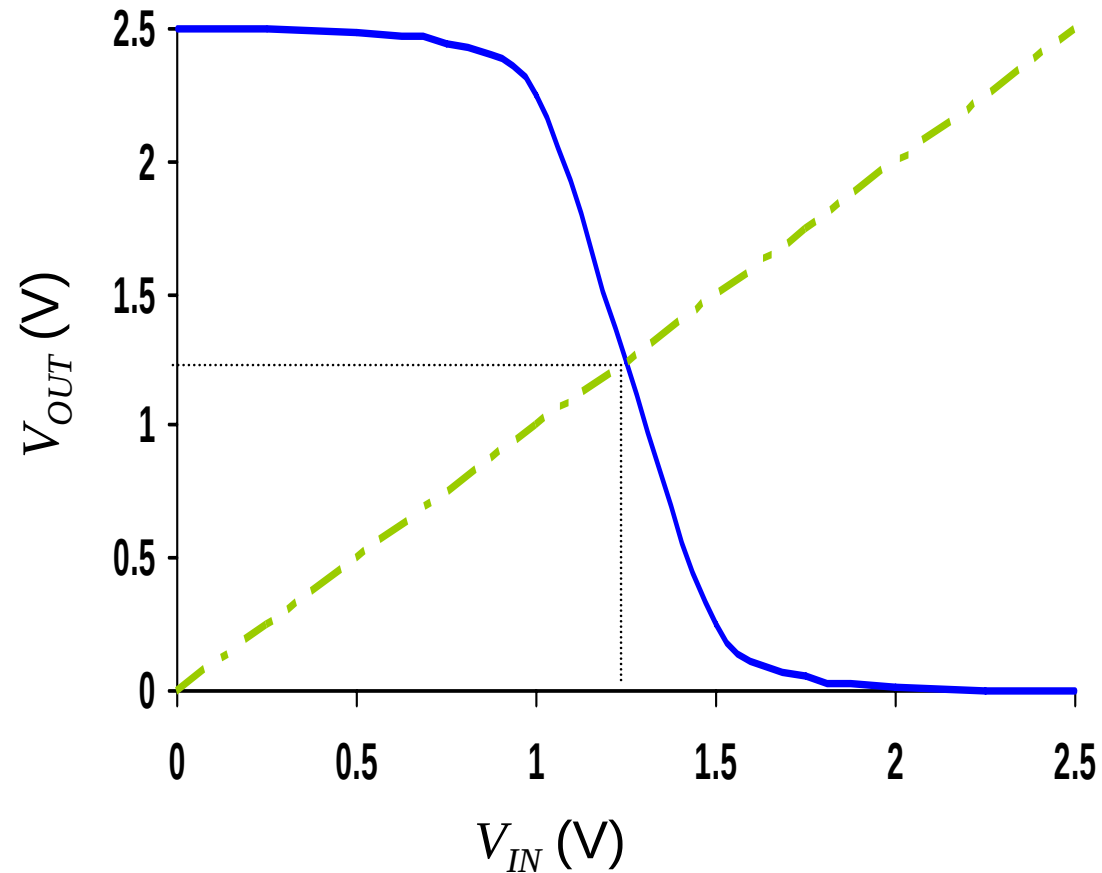
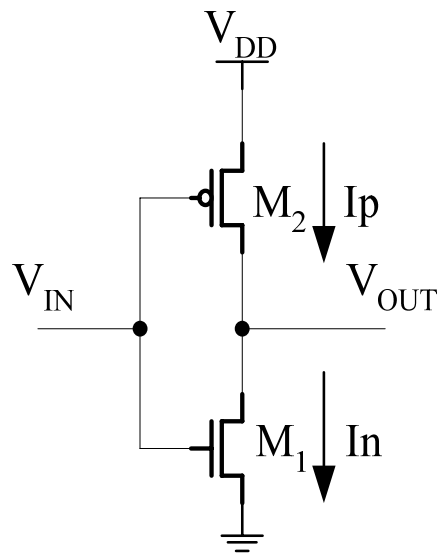
CMOS 反相器负载曲线



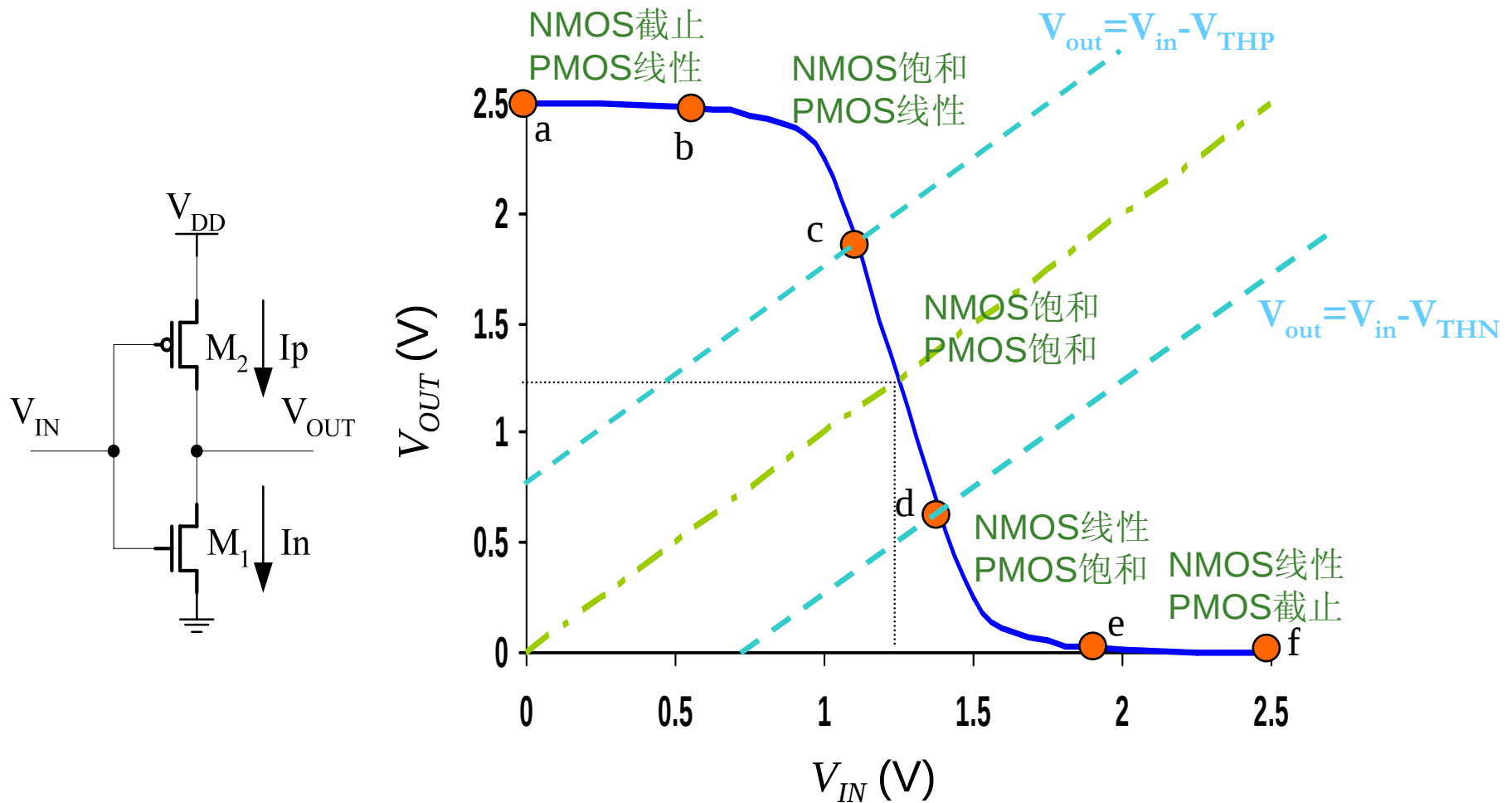
0.25um, $W/L_n = 1.5$, $W/L_p = 4.5$, $V_{DD} = 2.5V$, $V_{Tn} = 0.4V$, $V_{Tp} = -0.4V$



CMOS反相器电压传输特性VTC



CMOS反相器电压传输特性VTC



CMOS反相器电压传输特性(解析法)

电流方程如下：设 $V_{TP} = -V_{TN}$

NMOS晶体管： $V_{GSn} = V_{in}$, $V_{DSn} = V_{out}$

$$I_N = \begin{cases} 0 & \dots\dots\dots 0 \leq V_{IN} \leq V_{TN} & \text{截止} \\ \frac{\beta_N}{2} (V_{IN} - V_{TN})^2 & \dots\dots\dots V_{TN} < V_{IN} \leq V_{OUT} + V_{TN} & \text{饱和} \\ \frac{\beta_N}{2} [(V_{IN} - V_{TN})^2 - (V_{IN} - V_{TN} - V_{OUT})^2] & \dots\dots\dots V_{OUT} + V_{TN} < V_{IN} & \text{线性} \end{cases}$$

PMOS晶体管： $V_{GSp} = V_{in} - V_{DD}$, $V_{DSp} = V_{out} - V_{DD}$

$$I_P = \begin{cases} 0 & \dots\dots\dots V_{DD} + V_{TP} \leq V_{IN} < V_{DD} & \text{截止} \\ \frac{\beta_P}{2} (V_{IN} - V_{DD} - V_{TP})^2 & \dots\dots\dots V_{OUT} + V_{TP} \leq V_{IN} < V_{DD} + V_{TP} & \text{饱和} \\ \frac{\beta_P}{2} [(V_{IN} - V_{TP} - V_{DD})^2 - (V_{IN} - V_{TP} - V_{OUT})^2] & \dots\dots\dots V_{IN} < V_{OUT} + V_{TP} & \text{线性} \end{cases}$$

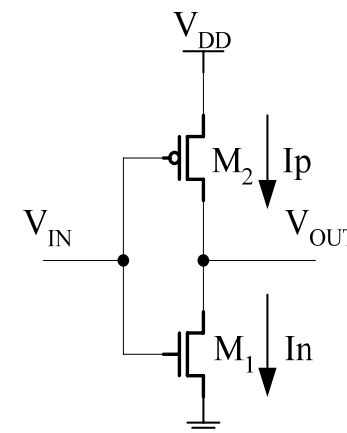


CMOS反相器直流传输特性

◆ $0 \leq V_{IN} \leq V_{TN}$ 时:

N管截止 P管线性 ($V_{IN} < V_{TN}$)

P管无损地将 V_{DD} 传送到输出端: $V_{OUT} = V_{DD}$,
如图a—b段。



◆ $V_{TN} < V_{IN} < V_{OUT} + V_{TP}$ 时:

N管饱和, P管线性 由 $I_n = -I_p$ 得:

$$V_{OUT} = V_{IN} - V_{TP} + \sqrt{(V_{IN} - V_{TP} - V_{DD})^2 - \frac{\beta_N}{\beta_P} (V_{IN} - V_{TN})^2}$$

如图b—c段



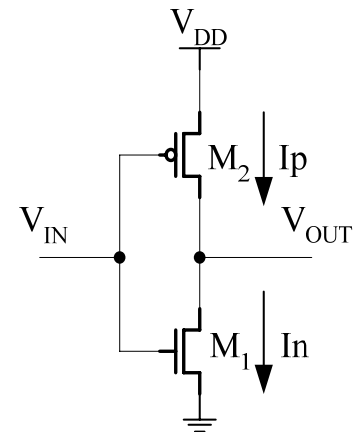
CMOS反相器

◆ $V_{OUT} + V_{TP} \leq V_{IN} \leq V_{OUT} + V_{TN}$ 时:
N管饱和, P管饱和 由 $I_n = -I_p$ 得:

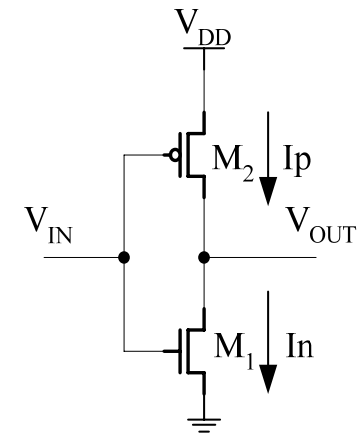
$$V_{IN} = \frac{\sqrt{\beta_N} V_{TN} + \sqrt{\beta_P} (V_{DD} + V_{TP})}{\sqrt{\beta_N} + \sqrt{\beta_P}} = V_{TN} + \frac{V_{DD} - V_{TN} + V_{TP}}{1 + \sqrt{\beta_N / \beta_P}}$$

V_{OUT} 与 V_{IN} 无关 (V_{OUT} 与 V_{IN} 关系为一条垂直线, 在一级近似下得到), V_{OUT} 电压从 $(V_{IN} - V_{TP})$ 直线下降到 $(V_{IN} - V_{TN})$, 该输入电压 V_{IN} 称为CMOS反相器的逻辑阈值电压 V_M , 或转换电压, 如图c—d段。

$$V_M = V_{TN} + \frac{V_{DD} - V_{TN} + V_{TP}}{1 + \sqrt{\beta_N / \beta_P}}$$



CMOS反相器



◆ $V_{OUT} + V_{TN} < V_{IN} < V_{DD} + V_{TP}$ 时：
N管线性，P管饱和，由 $I_n = -I_p$ 得：

$$V_{OUT} = V_{IN} - V_{TN} + \sqrt{(V_{IN} - V_{TN})^2 - \frac{\beta_P}{\beta_N} (V_{IN} - V_{TP} - V_{DD})^2}$$

如图 d—e 段。

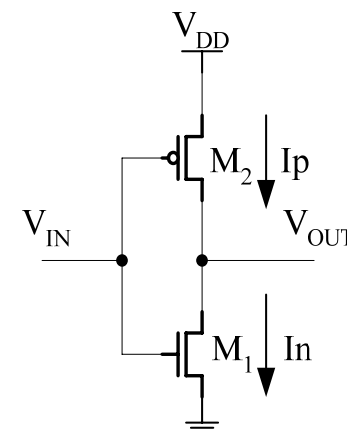


CMOS反相器

◆ $V_{DD} + V_{TP} \leq V_{IN} \leq V_{DD}$ 时:

N管线性 P管截止

$V_{OUT}=0$; 如图 e—f 段。



■ CMOS反相器有以下优点:

- (1) 传输特性理想，过渡区比较陡
- (2) 逻辑摆幅大: $V_{OH}=V_{DD}$, $V_{OL}=0$
- (3) 一般 V_M 位于电源 V_{DD} 的中点，即 $V_M=V_{DD}/2$ ，因此噪声容限很大。
- (4) 只有在状态转换为b—e段时两管才同时导通，才有电流通过，因此功耗很小。
- (5) CMOS反相器是利用P、N管交替通、断来获取输出高、低电压的，而不象单管那样为保证 V_{OL} 足够低而确定P、N管的尺寸，因此CMOS反相器是无比（Ratio-Less）电路。



CMOS反相器逻辑阈值电压 V_M

- 为了有良好的噪声容限，一般应要求 $V_M = V_{DD}/2$ ，
如果假设： $\beta_n = \beta_p$ ， $V_{TN} = |V_{TP}|$ ，则有： $V_M = V_{DD}/2$ 。
所以取 $\beta_n = \beta_p$ ，可以满足要求。

$$\text{逻辑阈值电压 } V_M = \frac{\sqrt{\beta_N} V_{TN} + \sqrt{\beta_P} (V_{DD} + V_{TP})}{\sqrt{\beta_N} + \sqrt{\beta_P}} = V_{TN} + \frac{V_{DD} - V_{TN} + V_{TP}}{1 + \sqrt{\beta_N / \beta_P}}$$

- 对称性要求， $\beta_n = \beta_p$ ，上升沿和下降沿相等。
为了提高电路的工作速度，一般取 $L_p = L_n = L_{\min}$
则： $W_p/W_n = \mu_n/\mu_p$ ，即p管的栅要比n管的宽 μ_n/μ_p
倍，一般取2~3倍。

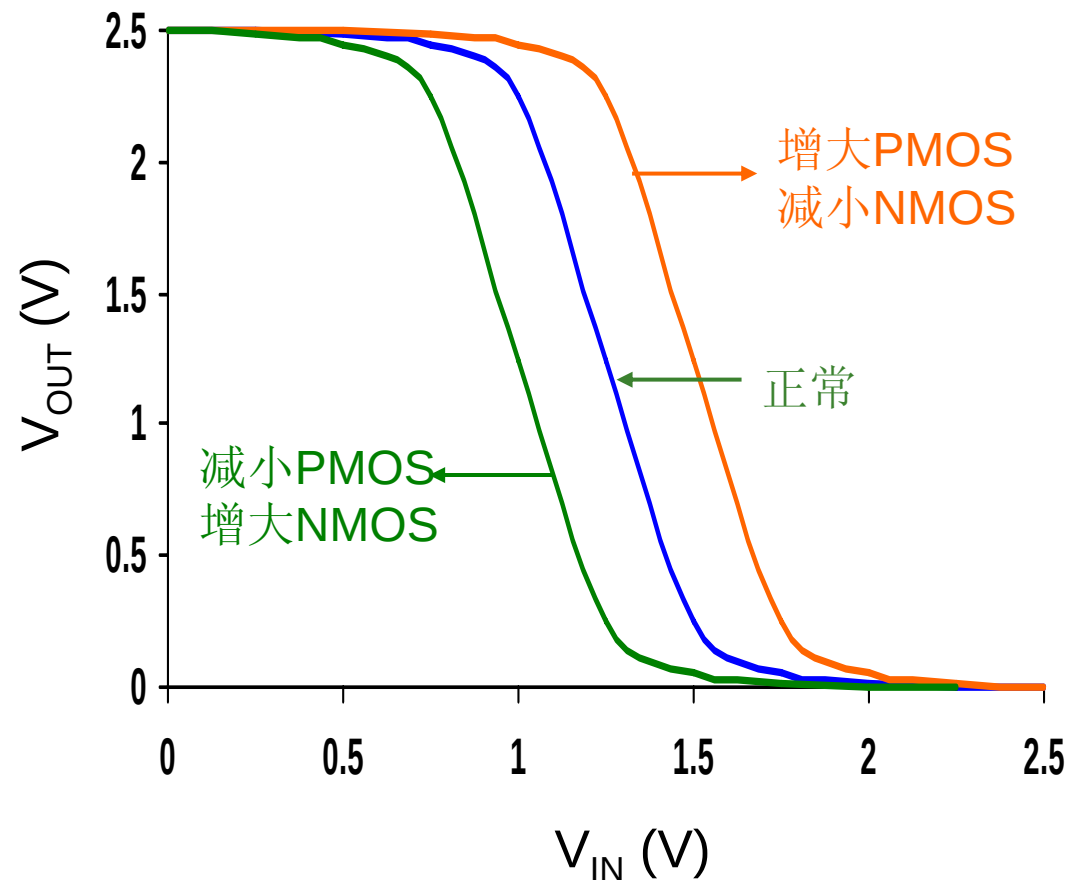


CMOS反相器逻辑阈值电压 V_M

由前面推出的N管、P管饱和时的公式：

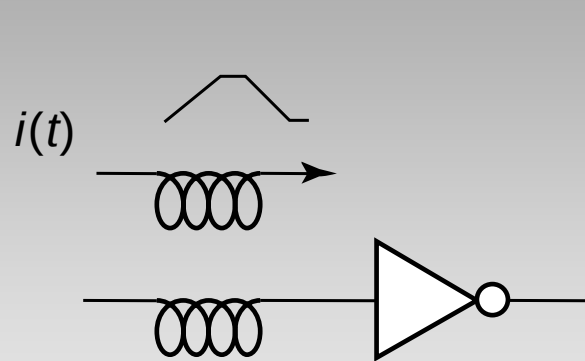
$$V_M = V_{TN} + \frac{V_{DD} - V_{TN} + V_{TP}}{1 + \sqrt{\beta_N / \beta_P}}$$

可以看出 V_M 和P管、N管的尺寸有关。但是输出的 V_{OH} 和 V_{OL} 与P管和N管的尺寸无关，所以CMOS静态反相器是无比电路。

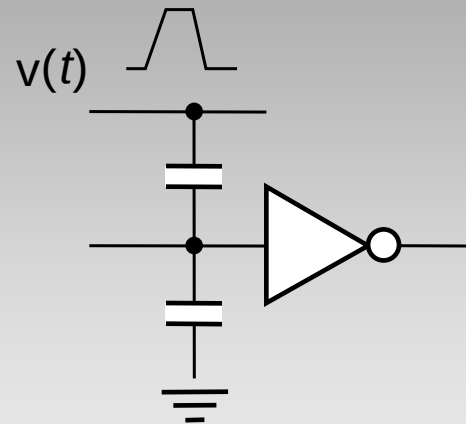


噪声容限 (Noise Margin)

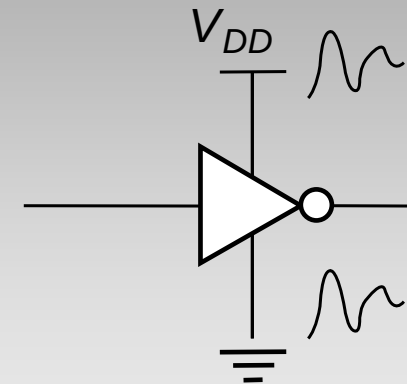
数字集成电路中的噪声会给可靠性带来影响。



Inductive coupling



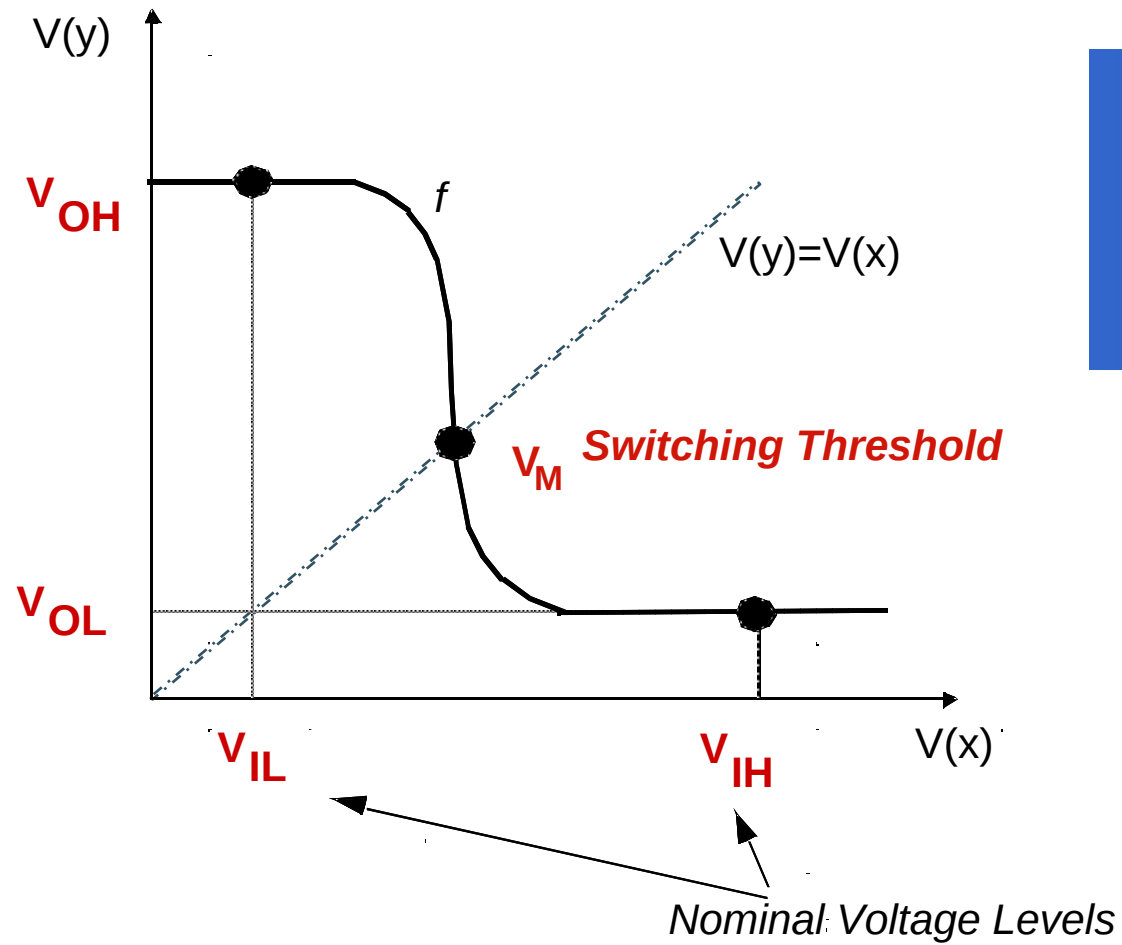
Capacitive coupling



Power and ground noise



输入输出特性: Voltage Transfer Characteristics (VTC)

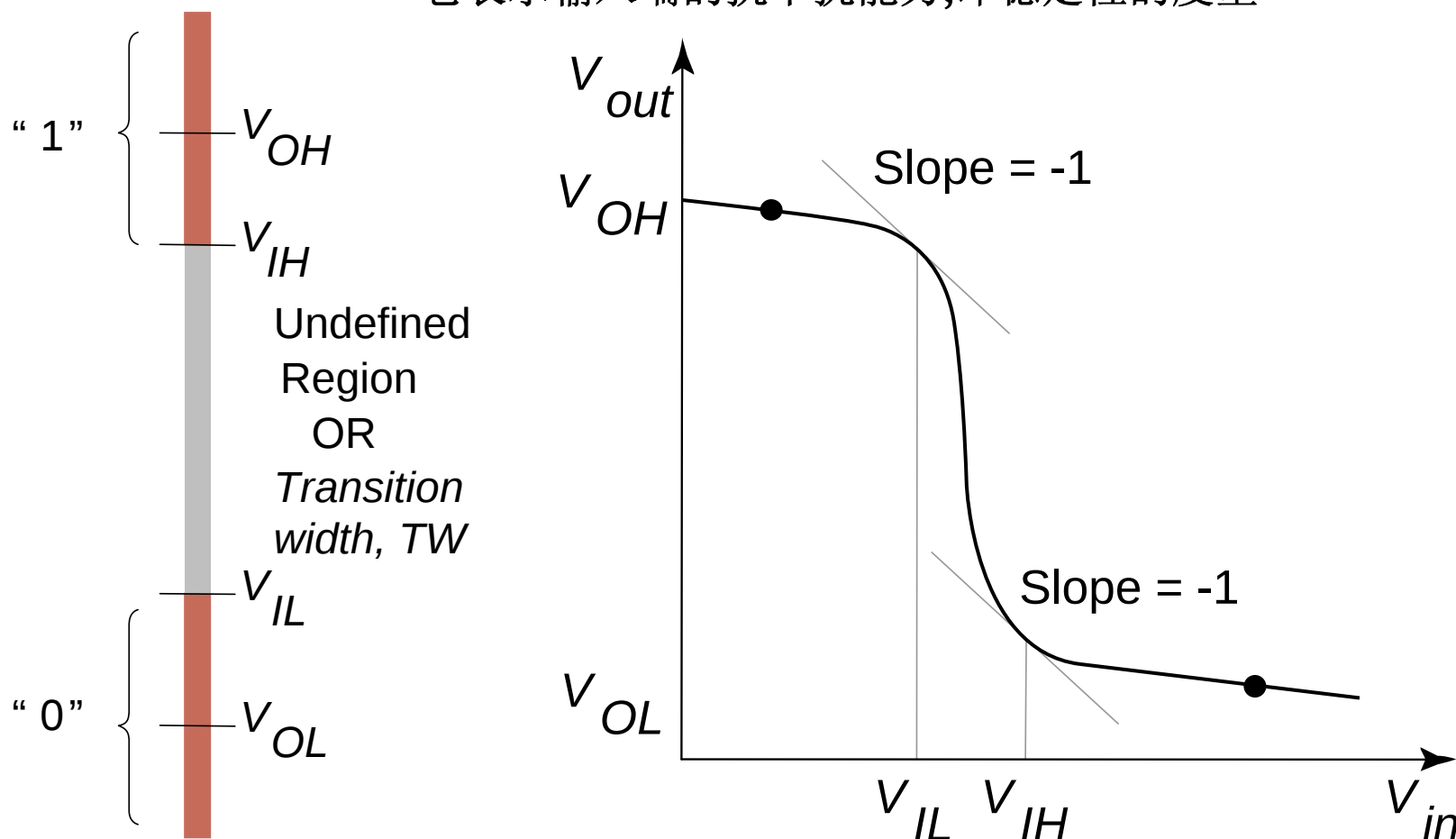


$$\begin{aligned} V_{OH} &= f(V_{IL}) \\ V_{OL} &= f(V_{IH}) \\ V_M &= f(V_M) \end{aligned}$$



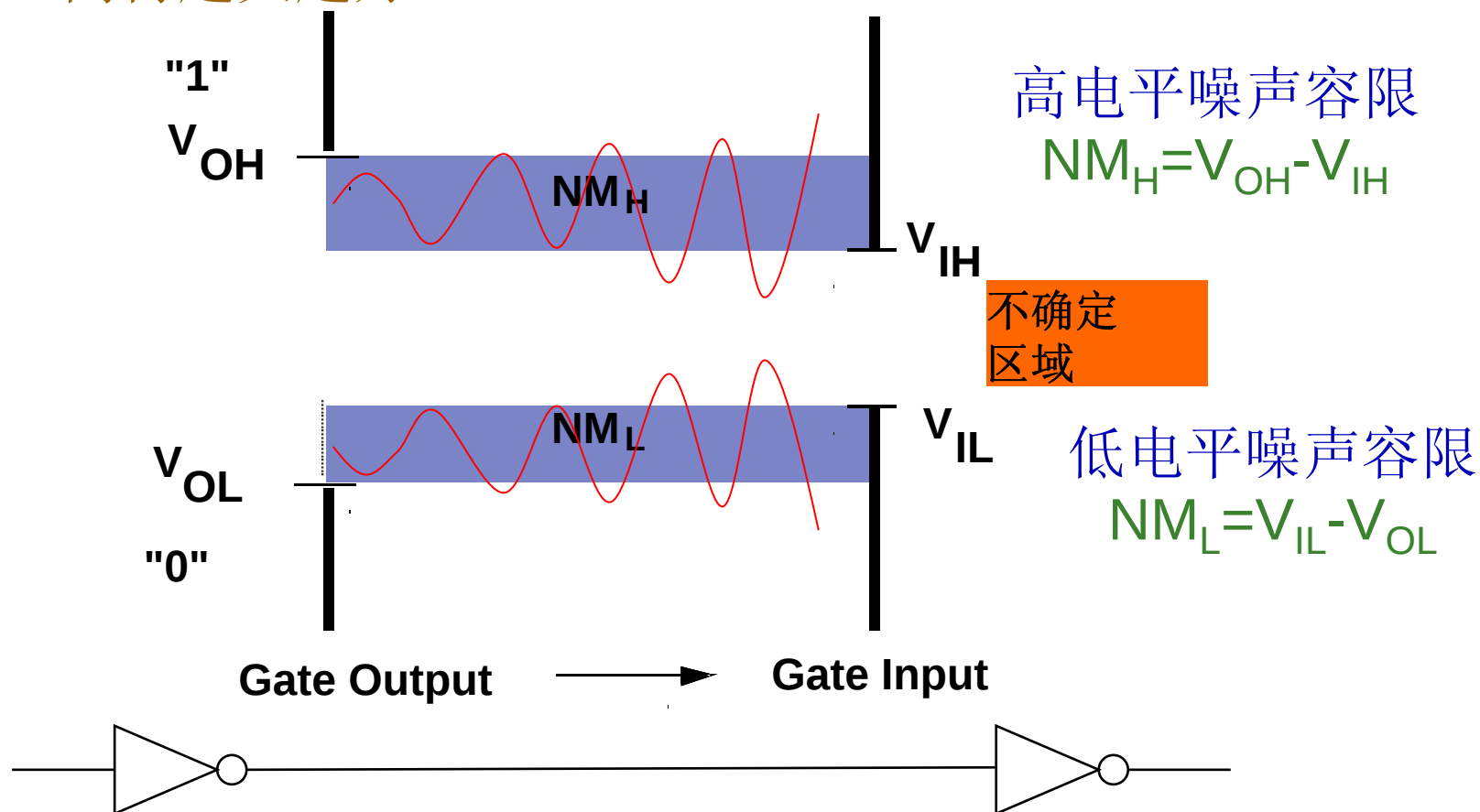
逻辑值与对应的电平(把斜率为-1的点看成是反相器开始翻转的临界点)

信号从前一级的输出（有互连线的噪声）传输到下一级的输入时，信号电平允许的变化范围，称为直流噪声容限。它表示输入端的抗干扰能力,即稳定性的度量



噪声容限定义

- 当数字电路相互级连时，出于电路鲁棒性的考虑，‘0’和‘1’离得越大越好：



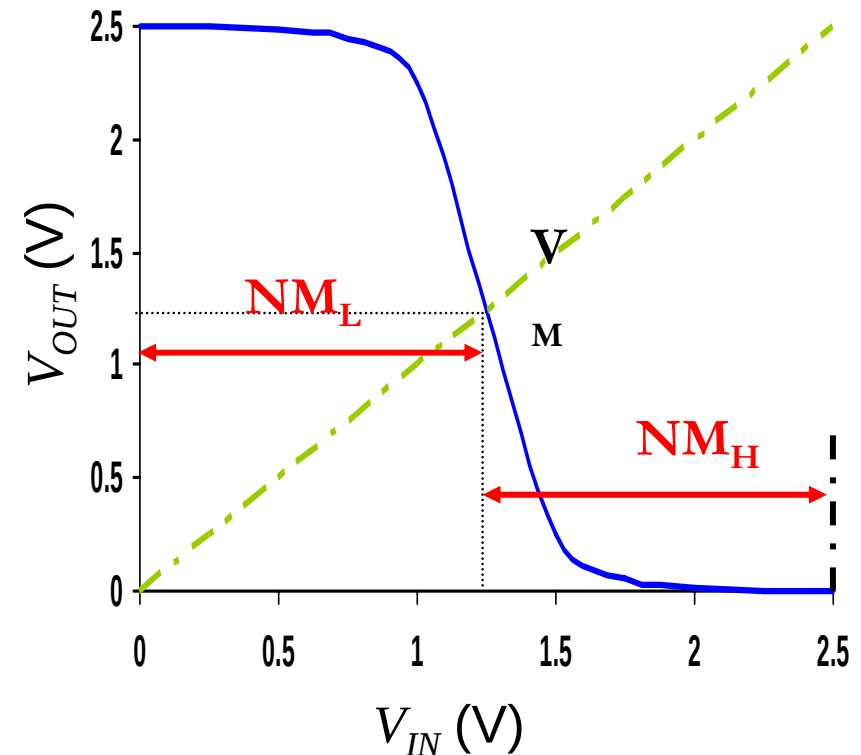
另外一种简单的噪声容限定义

- 在反相器直流特性曲线比较陡的时候，可以近似认为反相器的逻辑阈值点是状态转换的临界点。定义：

$$NM_L = V_M - V_{OL}$$

$$NM_H = V_{OH} - V_M$$

- 这种方法简单有效，但比较粗糙。



4.1.3 瞬态特性

- CMOS反相器延时

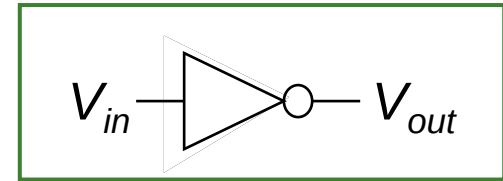
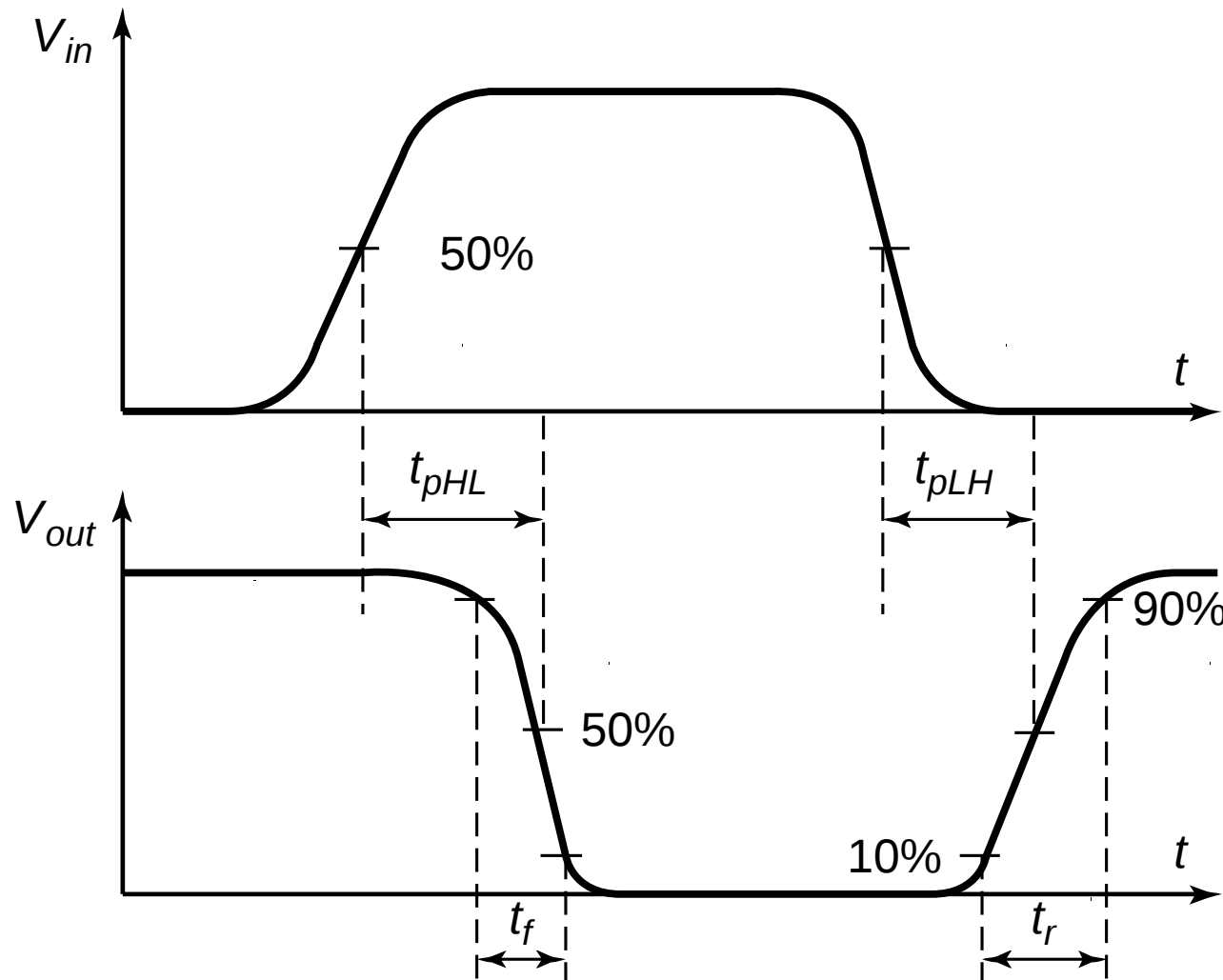
- 定义:

- 延时时间 t_d : 输入电压变化到 $50\%V_{DD}$ 的时刻到输出电压变化到 $50\%V_{DD}$ 的时刻之间的时间间隔。
- 上升时间 t_r : 信号电平从 $0.1V_{DD}$ 上升到 $0.9V_{DD}$ 的时间;
- 下降时间 t_f : 信号电平从 $0.9V_{DD}$ 下降到 $0.1V_{DD}$ 的时间;



延时的定义

(以CMOS反相器输入输出为例)



t_f : 下降延时;
 t_r : 上升延时;

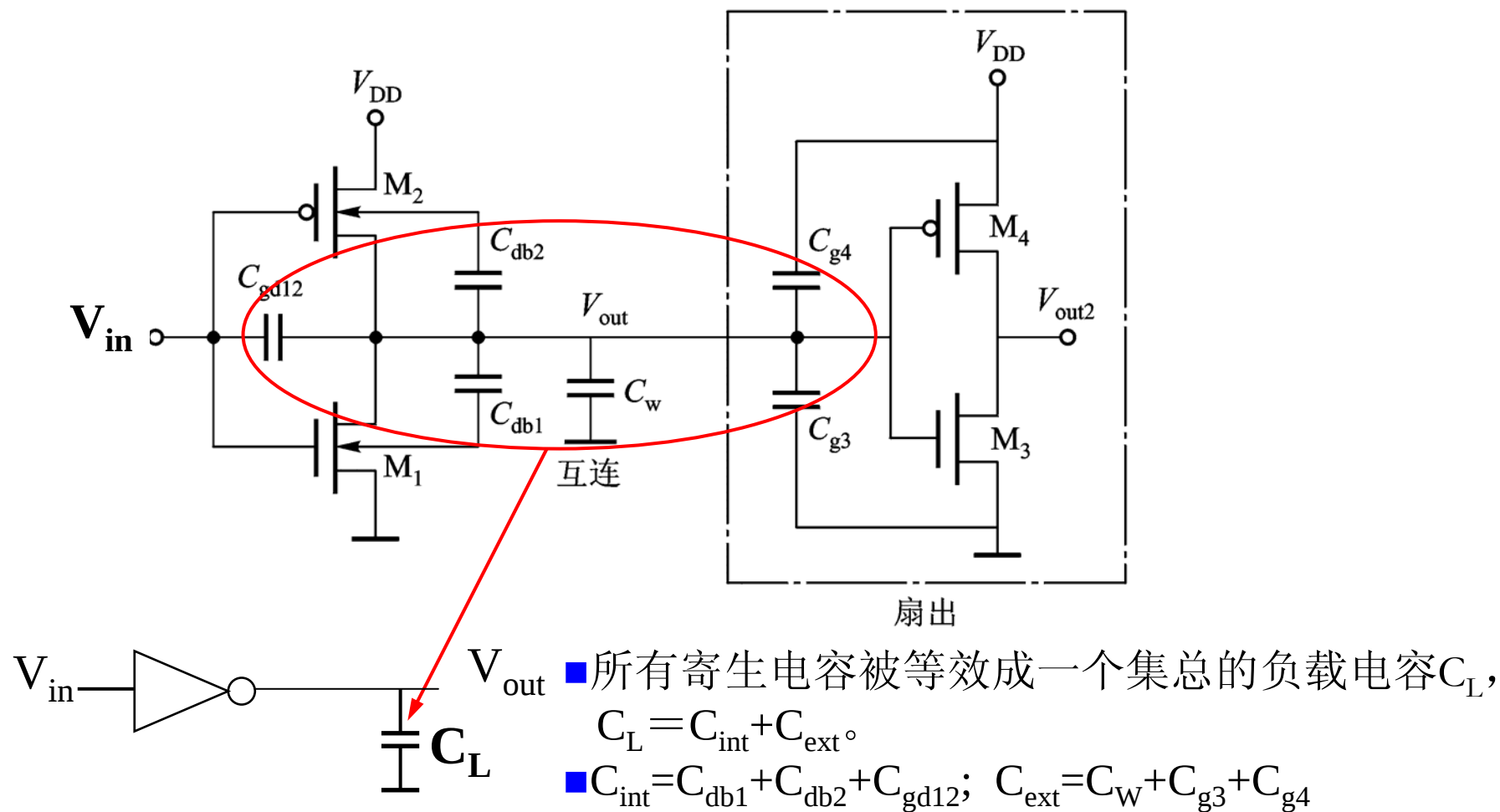
门电路(反相器)的
传输延时定义为:

$$t_{pd} = (t_{pHL} + t_{pLH}) / 2$$



CMOS反相器延时

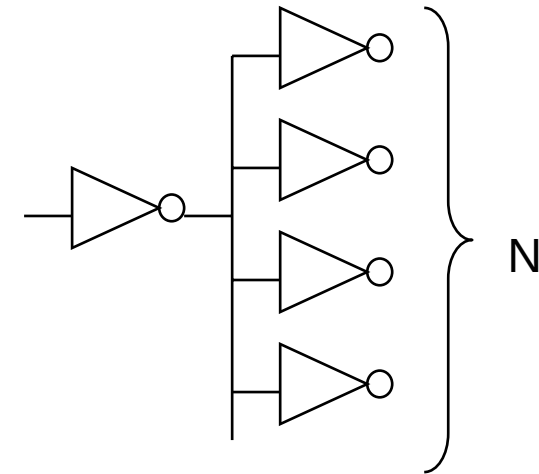
- 延时是由于寄生电阻和电容造成的。



扇出(Fan-out)和扇入(Fan-in)

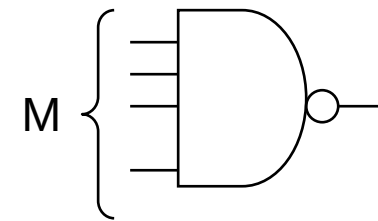
□ Fan-out – 输出驱动门所连接的负载门的个数；

- 扇出大的门速度更慢



□ Fan-in – 逻辑门输入的个数

- 扇入大的门面积更大、速度更慢



延时计算——CMOS反相器上升时间 t_r

V_{DD} 对 C_L 充电的时间由两部分组成:

1、当 $0 \leq V_{out} < |V_{TP}|$ ，P管饱和，使用饱和电流对 C_L 充电。

$$C_L \frac{dV_{out}}{dt} = \frac{\beta_P}{2} (V_{DD} - |V_{TP}|)^2$$

设 V_{out} 从 $0.1V_{DD}$ 上升到 $|V_{TP}|$ 的时间为 t_{r1}

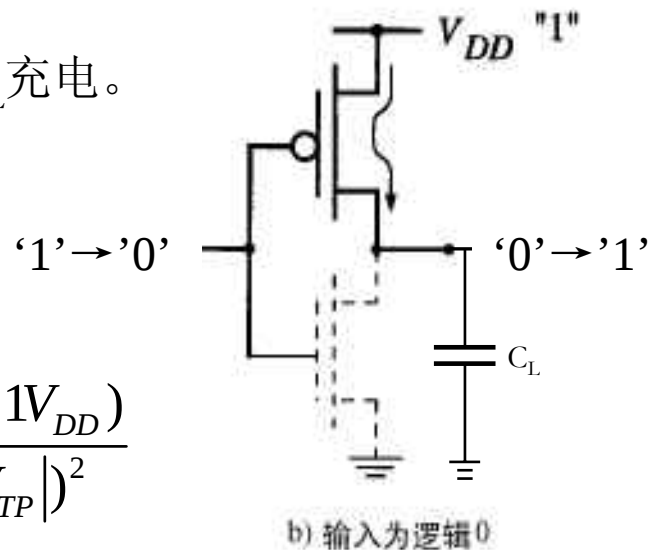
$$t_{r1} = \frac{2C_L}{\beta_P (V_{DD} - |V_{TP}|)^2} \int_{0.1V_{DD}}^{|V_{TP}|} dV_{out} = \frac{2C_L (|V_{TP}| - 0.1V_{DD})}{\beta_P (V_{DD} - |V_{TP}|)^2}$$

2、当 $V_{out} > |V_{TP}|$ 时，P管线性导通，充电方程为

$$C_L \frac{dV_{out}}{dt} = \beta_P [(V_{DD} - |V_{TP}|)(V_{DD} - V_{OUT}) - \frac{1}{2}(V_{DD} - V_{OUT})^2]$$

设 V_{out} 从 $|V_{TP}|$ 上升到 $0.9V_{DD}$ 的时间为 t_{r2}

$$t_{r2} = \frac{C_L}{\beta_p} \int_{|V_{TP}|}^{0.9V_{DD}} [(V_{DD} - |V_{TP}|)(V_{DD} - V_{OUT}) - \frac{1}{2}(V_{DD} - V_{OUT})^2]^{-1} dV_{out}$$



CMOS反相器上升时间 t_r

所以，总的 t_r 为：

$$t_r = t_{r1} + t_{r2} = \frac{2C_L}{\beta_P(V_{DD} - |V_{TP}|)} \left[\frac{|V_{TP}| - 0.1V_{DD}}{V_{DD} - |V_{TP}|} + \frac{1}{2} \ln\left(\frac{19V_{DD} - 20|V_{TP}|}{V_{DD}}\right) \right]$$

当 $V_{DD}=5\text{V}$ ， $V_{TP}=-0.2V_{DD}$ 时，
$$t_r \approx \frac{4C_L}{\beta_P V_{DD}}$$

如果将充电电流近似成恒定的饱和电流，则

$$t_r \approx C_L \int_0^{V_{DD}} \frac{2dV_{OUT}}{\beta_P(V_{DD} - |V_{TP}|)^2} = \frac{2V_{DD}}{\beta_P(V_{DD} - |V_{TP}|)^2} \cdot C_L = R_P' \cdot C_L = \frac{25}{8\beta_P V_{DD}} C_L$$

近似结果和准确计算的结果基本一致。

可以看出上升延时与 C_L 成正比，与 V_{DD} 成反比，PMOS晶体管的宽长比(W/L)成反比。



CMOS反相器下降时间 t_f

N管的放电电流也是由两个部分组成：
饱和电流和线性电流。

1、当 $V_{OUT} \geq V_{DD} - V_{TN}$ 时，N管饱和导通，
放电方程为：

$$C_L \frac{dV_{out}}{dt} = -\frac{\beta_N}{2} (V_{DD} - V_{TN})^2$$

设 V_{OUT} 从 $0.9V_{DD}$ 下降到 $(V_{DD} - V_{TN})$ 的时间为 t_{f1}

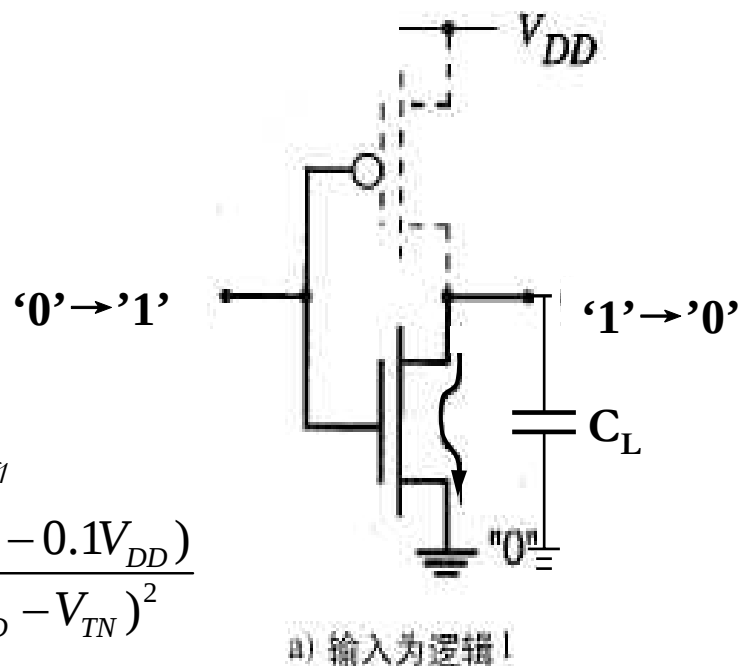
$$t_{f1} = \frac{2C_L}{\beta_N (V_{DD} - V_{TN})^2} \int_{V_{DD} - V_{TN}}^{0.9V_{DD}} dV_{out} = \frac{2C_L (V_{TN} - 0.1V_{DD})}{\beta_N (V_{DD} - V_{TN})^2}$$

2、当 $V_{DD} - V_{TN} > V_{OUT} \geq 0.1V_{DD}$ 时，N管线性导通，放电方程为：

$$C_L \frac{dV_{out}}{dt} = -\beta_N [(V_{DD} - V_{TN})V_{OUT} - \frac{1}{2}V_{OUT}^2]$$

设 V_{OUT} 从 $(V_{DD} - V_{TN})$ 下降到 $0.1V_{DD}$ 的时间为 t_{f2}

$$t_{f2} = \frac{C_L}{\beta_N} \int_{0.1V_{DD}}^{V_{DD} - V_{TN}} [(V_{DD} - V_{TN})V_{OUT} - \frac{1}{2}V_{OUT}^2]^{-1} dV_{out}$$



CMOS反相器下降时间 t_f

$$t_{f2} = \frac{C_L}{\beta_N (V_{DD} - V_{TN})} \ln\left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}}\right)$$

所以，总的下降时间为：

$$t_f = t_{f1} + t_{f2} = \frac{2C_L}{\beta_N (V_{DD} - V_{TN})} \left[\frac{V_{TN} - 0.1V_{DD}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln\left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}}\right) \right]$$

当 $V_{DD}=5\text{V}$, $V_{TN}=0.2V_{DD}$ 时, $t_f \approx \frac{4C_L}{\beta_N V_{DD}}$

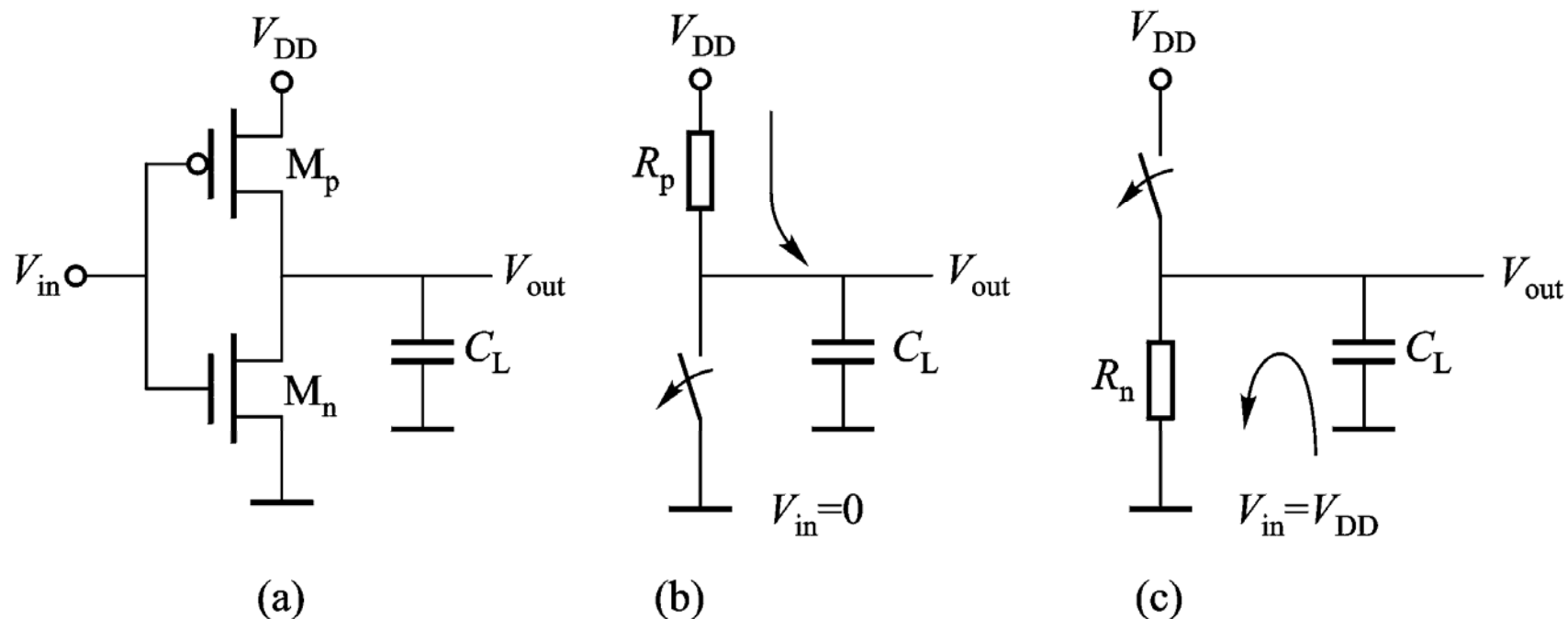
将放电电流近似成恒定的饱和电流，则：

$$t_f \approx C_L \int_0^{V_{DD}} \frac{dV_{OUT}}{\frac{\beta_N}{2} (V_{DD} - V_{TN})^2} = \frac{2V_{DD}}{\beta_N (V_{DD} - V_{TN})^2} C_L = R'_N C_L$$

要想保证对称性, $t_r = t_f$, 则 $\beta_N = \beta_P \rightarrow (W_P / W_N) = (\mu_N / \mu_P)$



CMOS反相器瞬态特性—电阻开关、集总电容等效



● 门的响应时间由通过电阻 R_p (R_n)对负载电容 C_L 充电(放电)的时间决定。

$$T_d \propto RC_L$$



CMOS反相器：开关、电阻模型电学对称性

由于开关模型其电阻为(近似等效):

$$R_N \propto \frac{L_N}{\mu_N W_N C_{OX}} \quad R_P \propto \frac{L_P}{\mu_P W_P C_{OX}}$$

- 为了得到对称的驱动能力，需要设计晶体管满足：
 - $V_{TN} = -V_{TP}$, $L_P = L_N = L_{\min}$, $W_P/W_N = \mu_N/\mu_P$
 - 从而: $R_N = R_P$
 - $T_d \propto L/W$, $C_L \propto W \cdot L$
- 使得：
 - 噪声容限最大;
 - 输出驱动能力对称;
- 这是在将NMOS和PMOS近似工作在线性区(或者饱和区)得到的，但在分析数字电路中可以满足精度要求。



以工作在线性区的导通电阻等效 R_n 和 R_p

如果以 R_n 和 R_p 分别代表N管和P管的导通等效电阻（工作在线性区）

$$R_n = \frac{1}{\beta_n (V_{DD} - V_{Tn})} \quad R_p = \frac{1}{\beta_p (V_{DD} + V_{Tp})}$$

如果输入测试信号是理想的阶跃信号，则

$$V_{out}(t) = V_{DD}(1 - e^{-t/(R_p C_L)})$$

$$V_{out}(t) = V_{DD}e^{-t/(R_n C_L)}$$

$$t_f = \ln(9)R_n C_L = 2.2R_n C_L \quad t_r = \ln(9)R_p C_L = 2.2R_p C_L$$

$$t_p = \frac{t_{PHL} + t_{PLH}}{2} \approx \frac{1}{2} \left(\frac{t_f}{2} + \frac{t_r}{2} \right) = \frac{t_f + t_r}{4}$$

$$= (2.2/4)(R_n + R_p)C_L = 1.1R(C_{int} + C_{ext})$$

$$= 1.1RC_{int}(1 + C_{ext}/C_{int}) = t_{p0}(1 + C_{ext}/C_{int})$$



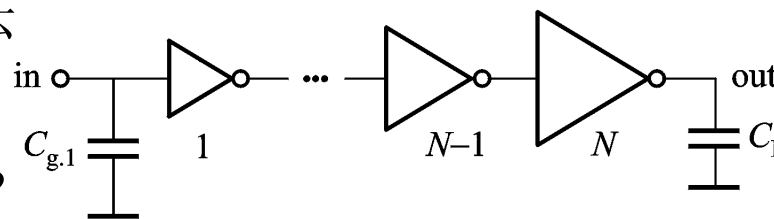
CMOS反相器延时时间分析

- 延时时间与负载电容成正比；仔细设计版图可以最大限度地减小PN结电容和连线电容；
 $t_p = t_{p0}(1 + C_{ext}/C_{int})$ ； t_{p0} 为本征延时
- 延时时间与MOS管的导电因子 β 成反比，MOS晶体管的宽长比越大，延时越小；但宽长比增大会导致负载电容(寄生电容)增加；
- 延时时间与电源电压成反比；
- 反相器本征延时与反相器的尺寸无关，仅与版图和工艺相关。增大尺寸(减小R)的同时会增大本征电容(C_{int})。
- 在一定负载下，增大尺寸可以减小负载电容对延时的影响。



大电容负载驱动电路

- 采用N级反相器链逐级放大的方法
- 后一级比前一级增大f倍
- 如何找出f和N，使延时时间最短？



任何一个反相器的延时： $t_p = t_{p0}(1 + C_{ext}/C_{int})$

后一级反相器的输入电容，是前一级反相器的外部负载电容 C_{ext}

任何一个反相器的 C_{int} 和 C_g 正比于MOS管的宽度，

$$C_{int} = \gamma C_g$$

$$t_p = t_{p0}(1 + C_{ext}/(\gamma C_g)) = t_{p0}(1 + f/\gamma)$$

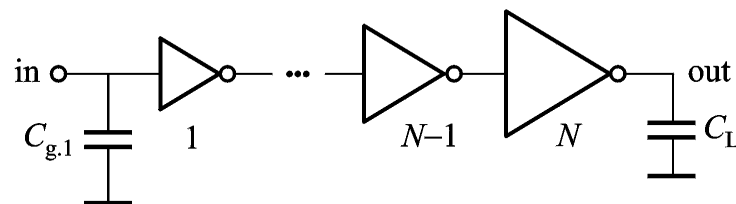
第j个反相器的延时为： $t_{p,j} = t_{p0}(1 + C_{g,j+1}/\gamma C_{g,j}) = t_{p0}(1 + f_j/\gamma)$

$$C_{g,N+1} = C_L, \text{ 总延时为: } t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N (1 + \frac{C_{g,j+1}}{\gamma C_{g,j}})$$



大电容负载驱动电路(续)

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}}\right)$$



$$\frac{\partial t_p}{\partial C_{g,j}} = 0 \quad \frac{C_{g,j+1}}{C_{g,j}} = \frac{C_{g,j}}{C_{g,j-1}} \longrightarrow C_{g,j} = \sqrt{C_{g,j-1} C_{g,j+1}}$$

表示 f 是常数，所以延时可以表示成：

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{f}{\gamma}\right) \quad \text{而} \quad f^N C_{g,1} = C_L \longrightarrow f = \sqrt[N]{\frac{C_L}{C_{g,1}}}$$

所以最小延时为：

$$t_p = t_{p0} \sum_{j=1}^N \left(1 + \frac{f}{\gamma}\right) = N t_{p0} \left(1 + \frac{1}{\gamma} \sqrt[N]{\frac{C_L}{C_{g,1}}}\right) \longrightarrow f = e^{(1+\gamma/f)}$$



大电容负载驱动电路(续)

$$f = e^{(1+\gamma/f)}$$

当 $\gamma=0$ 时，有解析解， $f=e$ ， $N=\ln(C_L/C_{g,1})$ ，
总延时为： $t_p=t_{pd} \cdot e \cdot \ln(C_L/C_{g,1})$

当 $\gamma \neq 0$ 时，只能有数值解。

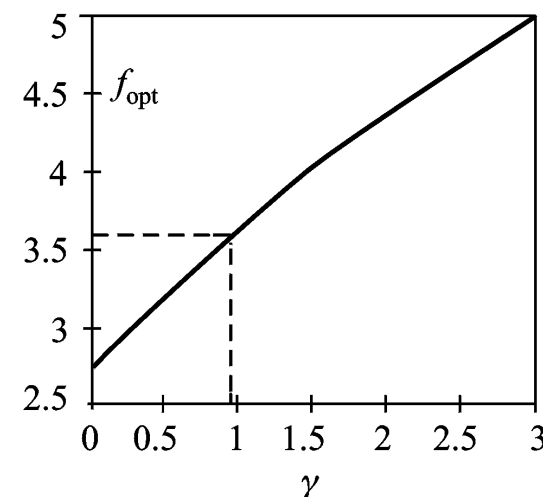
工程上取 f 的值范围在 $e \sim 10$ ，
 $N=\ln(C_L/C_{g,1})$ 。

注意级联数 n 对输出反相的影响；

例如： $C_L/C_{g,1}=f \cdot n = e \cdot n \approx 1097$

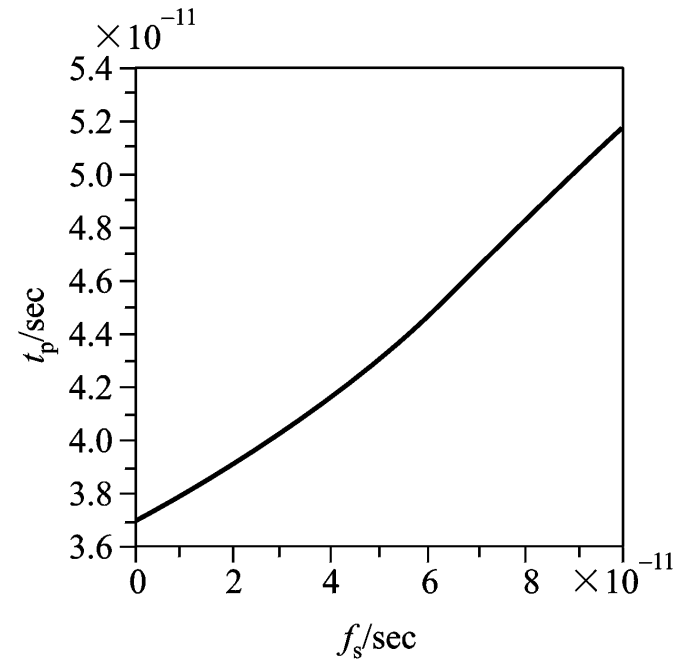
直接用标准反相器驱动， $T_d = 1097 t_{pd}$

采用 $f=e$ ， $n=7$ 的驱动电路， $T_d = 7e \cdot t_{pd} \approx 19 t_{pd}$



延时与输入信号波形的关系

- 前面计算假设输入信号是阶跃信号。
- 实际输入信号既有上升延时，又有下降延时。
- 输出信号的上升/下降延时不仅与负载电容和MOS晶体管的参数有关，还与输入信号的上升/下降时间有关；



反相器延时SPICE仿真结果

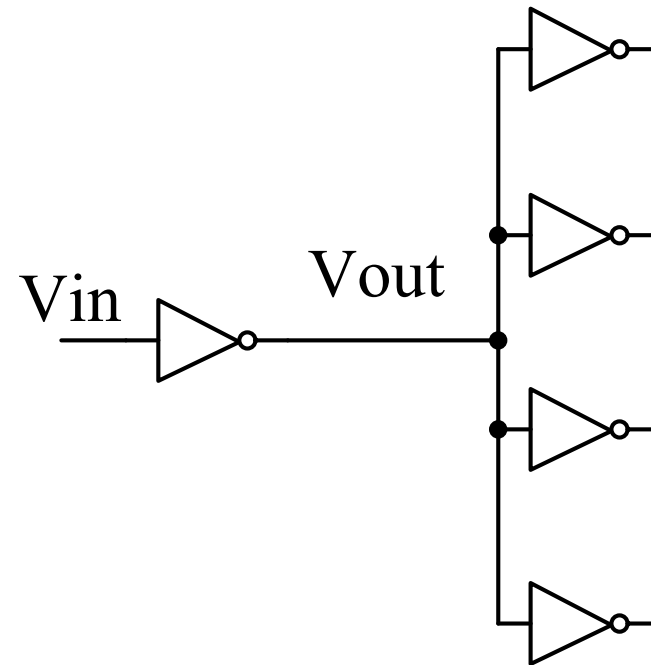
经验公式：反相器链中，第j个反相器的延时近似表示为：

$$t_p^j = t_{\text{step}}^j + \eta t_{\text{step}}^{j-1}$$



门延时时间——FO4延时(Fan Out of 4)

- 不同工艺、不同逻辑门的延时时间差别很大，难以对比；
- 统一用一个反相器带4个相同反相器负载产生的延时来衡量数字集成电路工艺的水平；或者更确切的说是每个工艺的门延时水平。



连线引起的延时——互连线模型

■ 理想互连线:

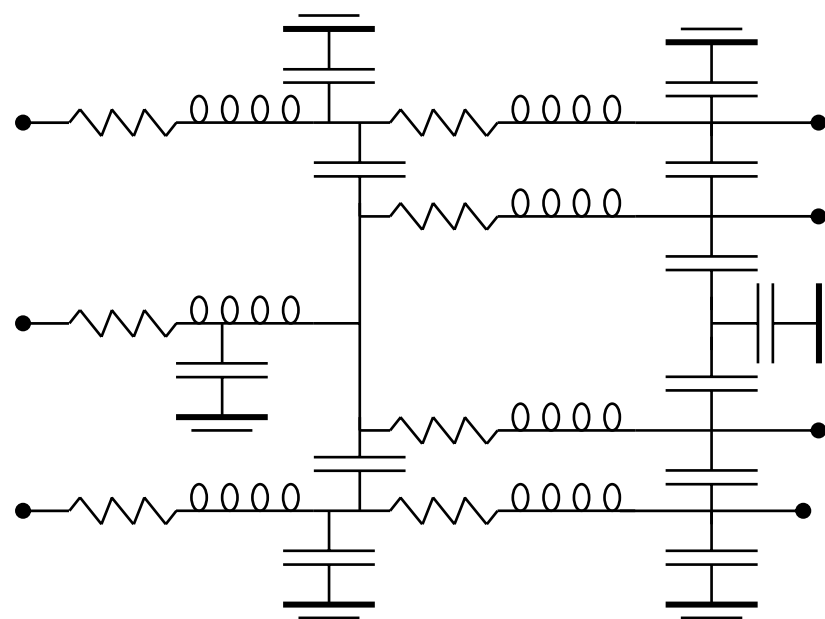
- 电压在连线上处处相等;
- 只有非常短的互连线近似于理想导线;

■ 互连线寄生参数（C、R和L）的影响

- 降低可靠性
- 增加信号延时
- 增加电路功耗

■ 不同情况下可以使用不同的互连线模型:

- 集总电容模型;
- 集总RC模型;
- 分布RC模型;



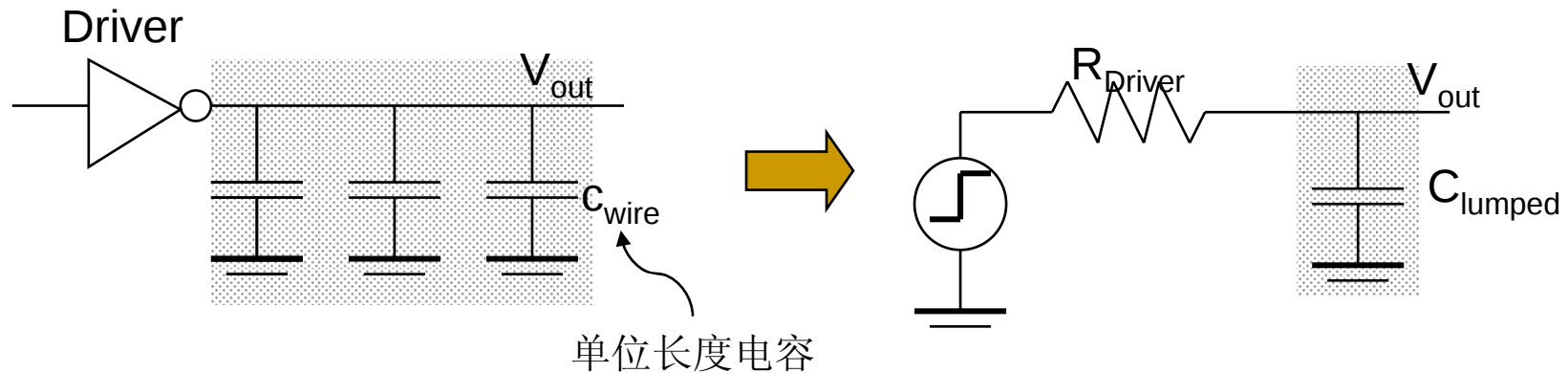
包含电容、电阻和电感的互连线模型



集总模型

集总C模型:

- C、R和L参数中只有C占主要，且信号频率较低，可以将分布电容用集总电容等效；
- 只适用于很短的互连线；



集总RC模型:

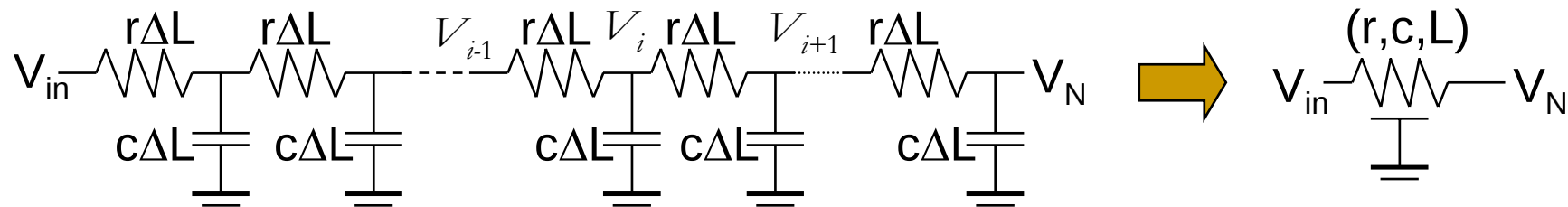
将互连线总的电阻等效成一个单个电阻R，所有的电容等效成一个电容C:

- 对较短的互连线比较准确；
- 对长互连线，不够准确；



分布RC模型

- 电路参数沿导线长度 L 均匀分布;
- r —单位长度电阻;
- c —单位长度电容;



- 互连线延时计算: Elmore延时公式

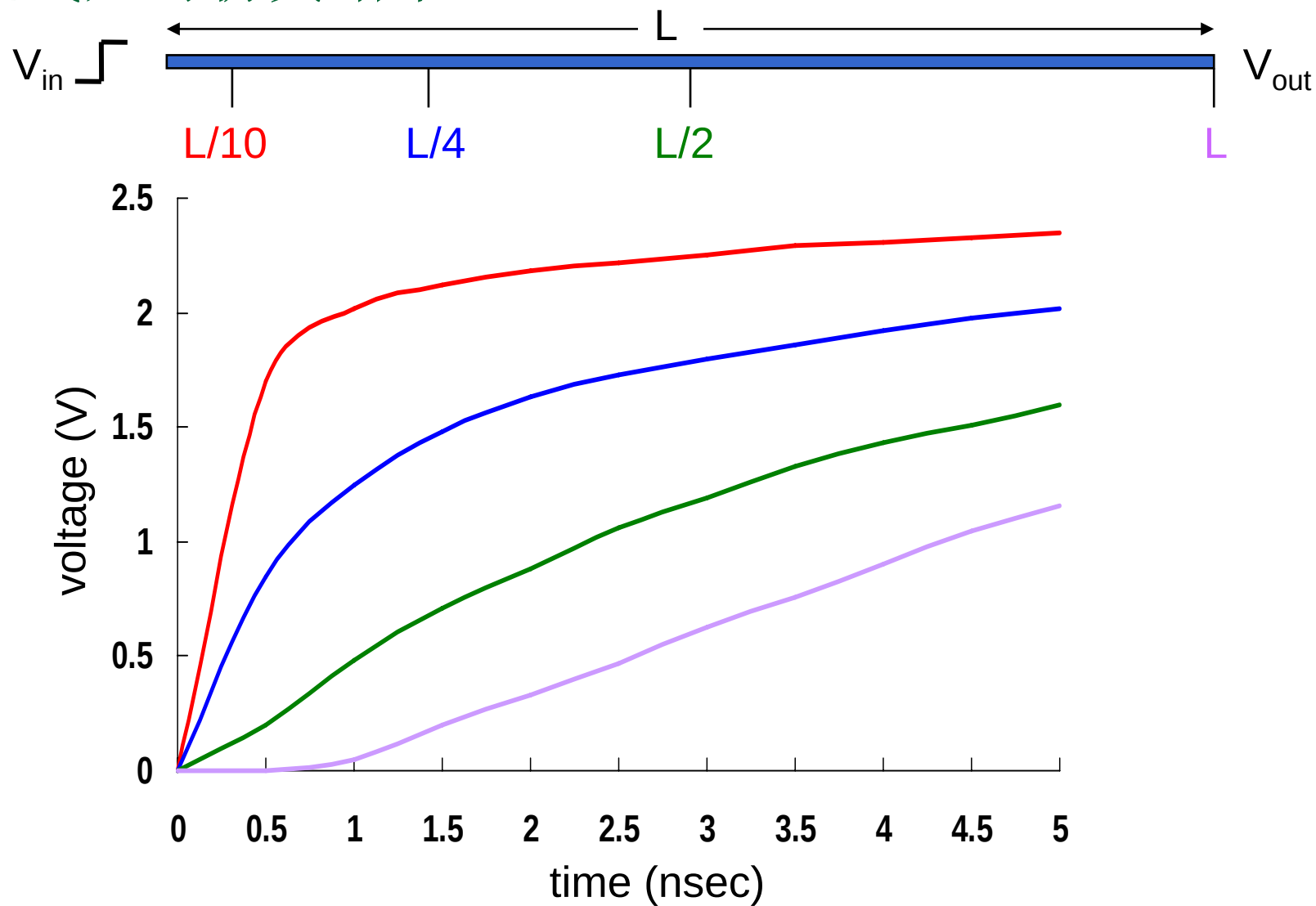
$$\tau_N = \sum_{i=1}^N R_i \sum_{j=i}^N C_j = \sum_{i=1}^N C_i \sum_{j=1}^i R_j \quad \text{因为 } C_i = c\Delta L, \quad R_j = r\Delta L$$

$$\tau_N = \Delta L^2 (cr + c(2r) + \dots + c(Nr)) = \Delta L^2 cr(1 + 2 + \dots + N) = \Delta L^2 crN(N + 1) / 2$$

$$N \rightarrow \infty, \quad \tau_N = rcL^2 / 2$$



连线延时仿真结果



集总RC模型和分布RC模型延时示例

电压范围	集总RC	分布RC
$0 \rightarrow 50\% (t_p)$	0.69 RC	0.38 RC
$0 \rightarrow 63\% (\tau)$	RC	0.5 RC
$10\% \rightarrow 90\% (t_r)$	2.2 RC	0.9 RC
$0 \rightarrow 90\%$	2.3 RC	1.0 RC

到达50%电压值的时间点
 $t = \ln(2)\tau = 0.69\tau$

到达90%电压值的时间点
 $t = \ln(9)\tau = 2.2\tau$

■ 例如：考虑10cm长1μm宽的第一层Al

□ 使用集总电容模型，激励源电阻(R_{Driver})为10 kΩ，总电容(C_{lumped})为11pF

$$t_{50\%} = 0.69 \times 10 \text{ k}\Omega \times 11\text{pF} = 76 \text{ ns}$$

$$t_{90\%} = 2.2 \times 10 \text{ k}\Omega \times 11\text{pF} = 242 \text{ ns}$$

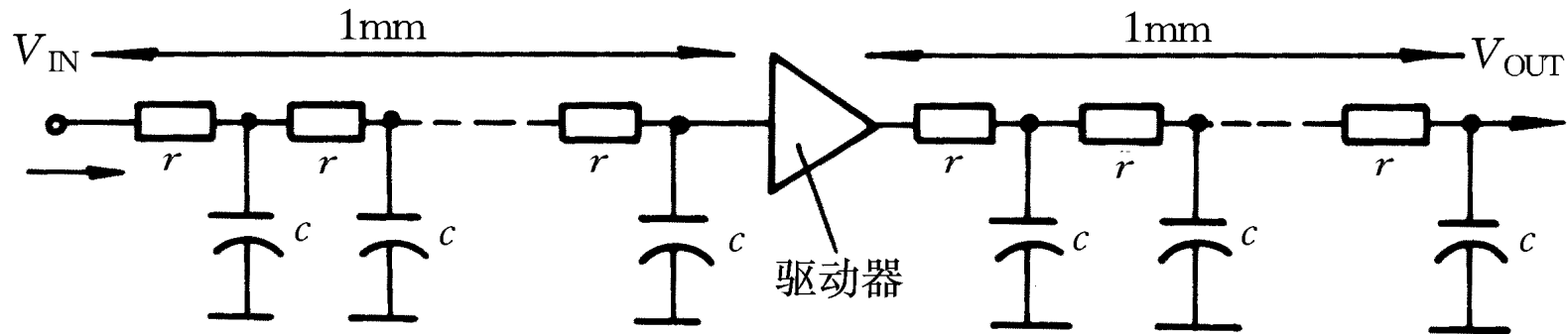
□ 使用分布RC模型，单位电容 $c = 110 \text{ aF}/\mu\text{m}$ ，单位长度电阻 $r = 0.075 \text{ }\Omega/\mu\text{m}$

$$t_{50\%} = 0.38 \times (0.075 \text{ }\Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 31.4 \text{ ns}$$

$$t_{90\%} = 0.9 \times (0.075 \text{ }\Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 74.25 \text{ ns}$$



如何减少连线延迟



$$r=12\Omega/\mu\text{m}, \quad c=4\times 10^{-4}\text{pF}/\mu\text{m}$$

单纯2mm连线的延时:

$$t_{\text{dL}}=2.4\times 10^{-15}\Omega\cdot\text{F}/(\mu\text{m})^2\times(2\times 10^3)^2(\mu\text{m})^2=9.6\text{ns}$$

在连线中插入缓冲驱动器后连线的延时:

$$t_{\text{dL}}=2\times[2.4\times 10^{-15}\Omega\cdot\text{F}/(\mu\text{m})^2\times(1\times 10^3)^2(\mu\text{m})^2]+\tau_{\text{buf}}=4.8\text{ns}+\tau_{\text{buf}}$$

只要 τ_{buf} 足够小, 适当的对连线分段就能减小连线延迟。

τ_{buf} 在0.25 μm 工艺下, 典型的值小于200ps。



CMOS电路的功耗(以反相器为例)

数字电路的功耗分为电路静止时消耗的静态功耗和动作发生时的动态功耗，总功耗是两者之和。

◆理想的CMOS静态功耗极小(由PN结的反向漏流和MOS晶体管的亚阈值电流组成):

$$p_s = I_{leakage} \cdot V_{dd}$$

◆动态功耗由两部分组成:

1.对负载电容的充放电所消耗的功率，其值为:

$$p_d = f \cdot C_L \cdot V_{DD}^2$$



CMOS电路的功耗(以反相器为例)

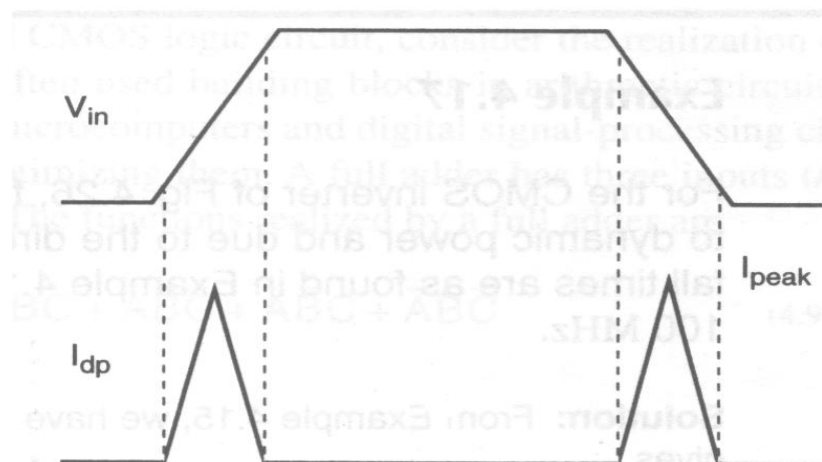
2. 短路(直流开关)功耗:

由于P管和N管同时导通而存在从 V_{DD} 直接到地(Gnd)的电流产生功耗, 其值为(线性近似):

$$P_{dp-avg} = \frac{1}{T} V_{dd} I_{peak} \left(\frac{t_r + t_f}{2} \right) = V_{dd} I_{peak} \left(\frac{t_r + t_f}{2} \right) f_{clk}$$

而短路电流 I_{peak} 为:

$$I_{peak} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_n (V_{th} - V_{tn})^2$$



CMOS电路的功耗(以反相器为例)

■ CMOS电路的总功耗为

$$P = C_L V_{DD}^2 \cdot f + t_{sc} V_{DD} I_{peak} f + V_{DD} I_{leakage}$$

动态功耗 短路功耗 静态功耗

目前在总功耗
中约占90%，
但其趋势是相
对减小。

目前在总功耗
中约占8%，
而且其趋势是
不断减小。

目前在总功耗
中约占2%，但
其趋势是越来
越大。



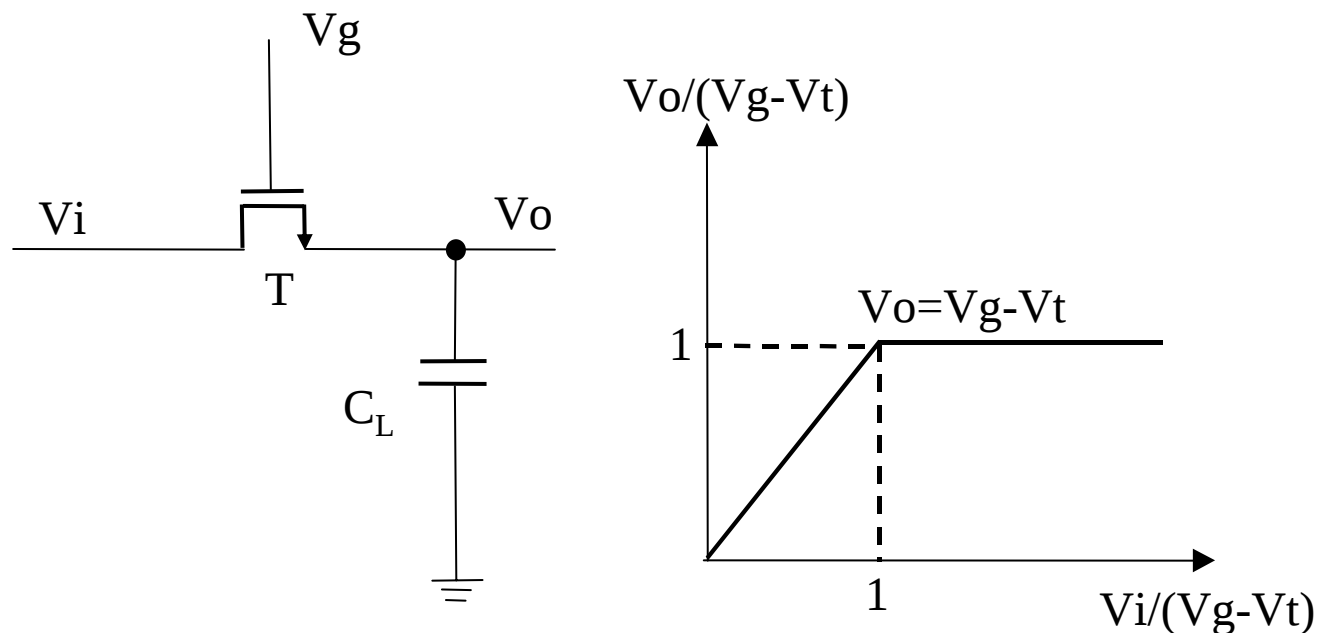
功耗延时积

- 降低功耗的方法：降低频率、降低 V_{DD} 电压；
- V_{DD} 降低使速度下降；
- 功耗延时乘积PDP(Power Delay Product)
 $PDP = P \times t_p$ 评价逻辑门质量的指标



4.2 CMOS传输门

■ 1 MOS开关(以增强型NMOS为例)



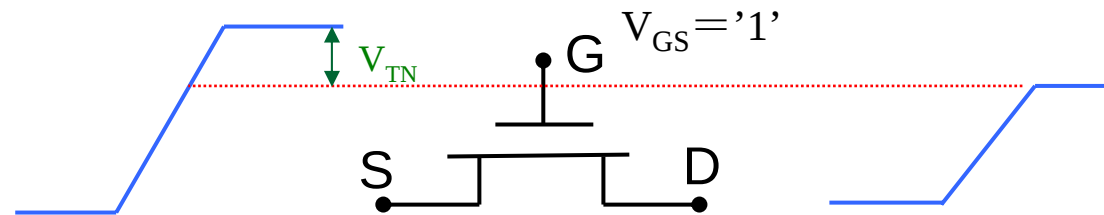
一个MOS管可以作为一个开关使用，电路中 C_L 是其负载电容。

- 当 $V_g = '0'$ 时， T 截止，相当于开关断开。
- 当 $V_g = '1'$ 时， T 导通，相当于开关合上。

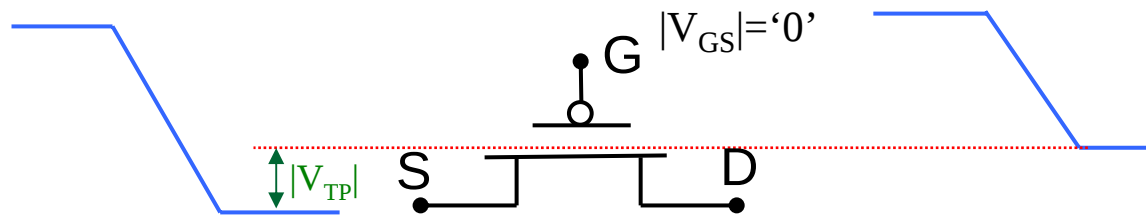


MOS开关电压传输范围

■ NMOS开关电压传输范围:



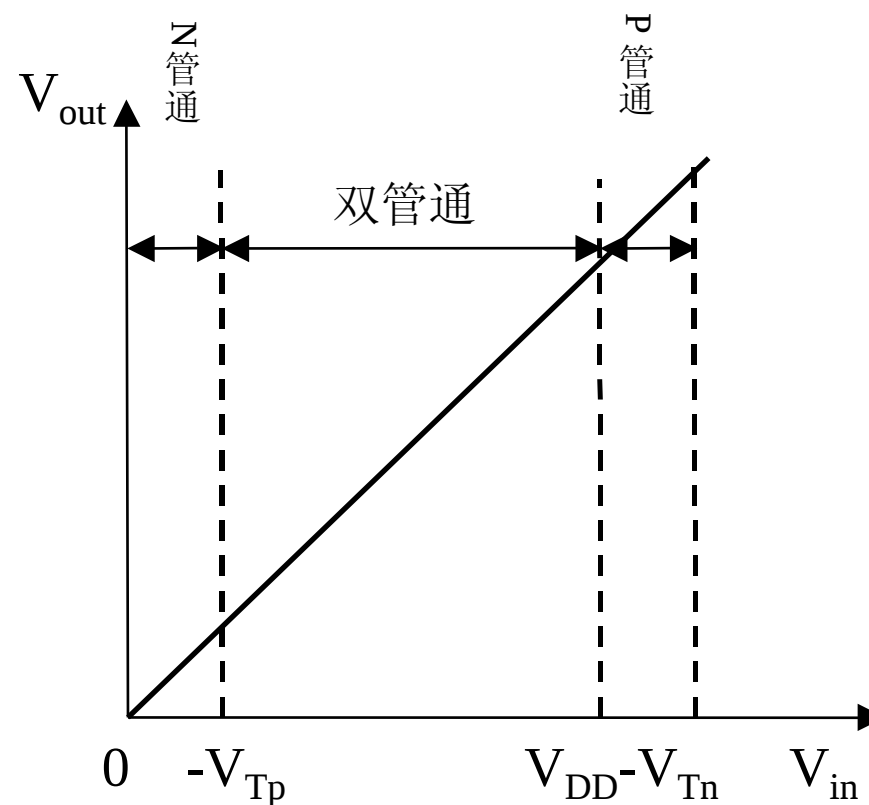
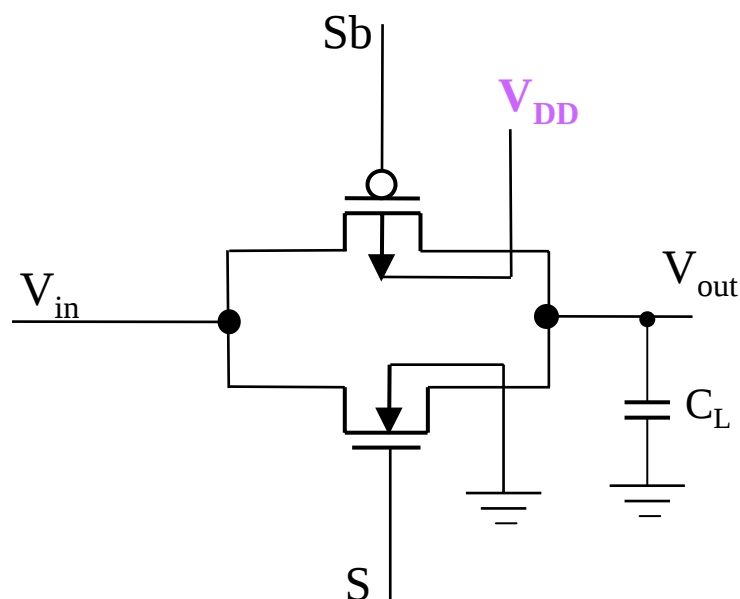
■ PMOS开关电压传输范围:



结论：NMOS管是传输低电平‘0’的完美开关，传输高电平‘1’有阈值电压损失；PMOS管是传输高电平‘1’的完美开关，传输低电平‘0’有阈值电压损失。



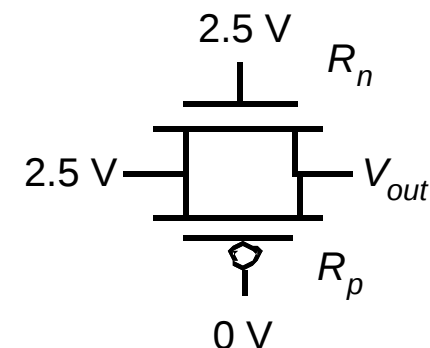
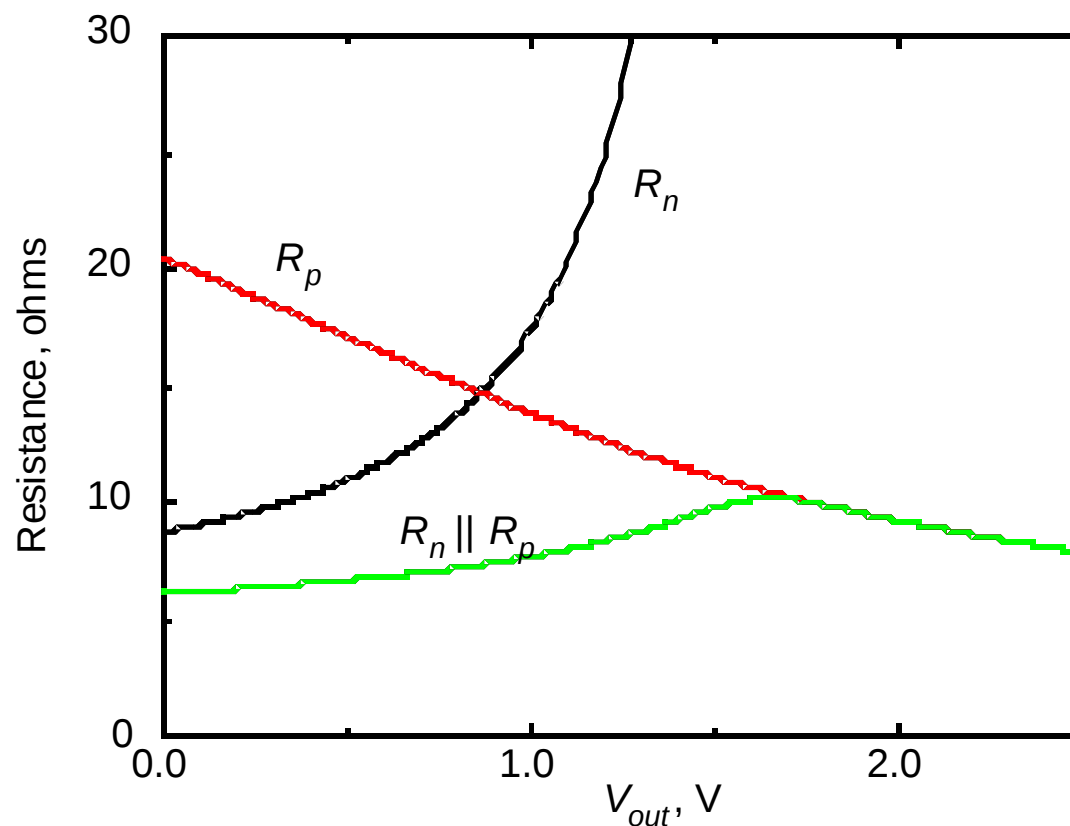
CMOS开关(传输门)



优点：无损地传输高电平和低电平；导通电阻近似是个常数；
缺点：需要两个MOS晶体管，需要互补的两个控制信号；体效应



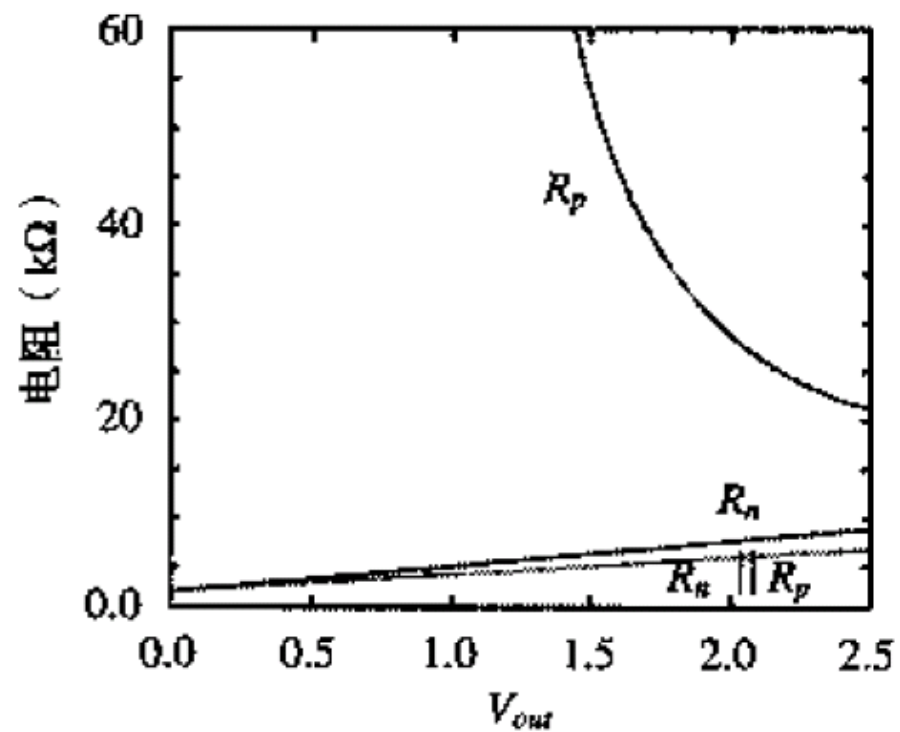
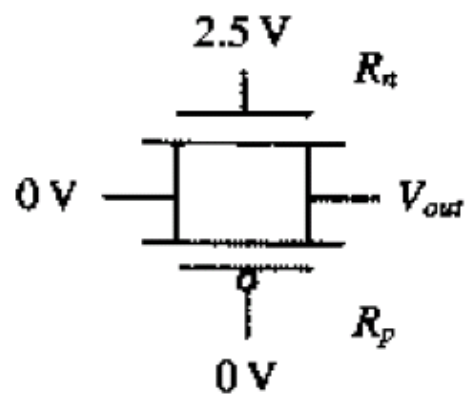
CMOS传输门导通电阻



传输门的瞬态特性：可以用一阶RC电路来等效；
传输门的晶体管宽长比选择需要折中考虑；



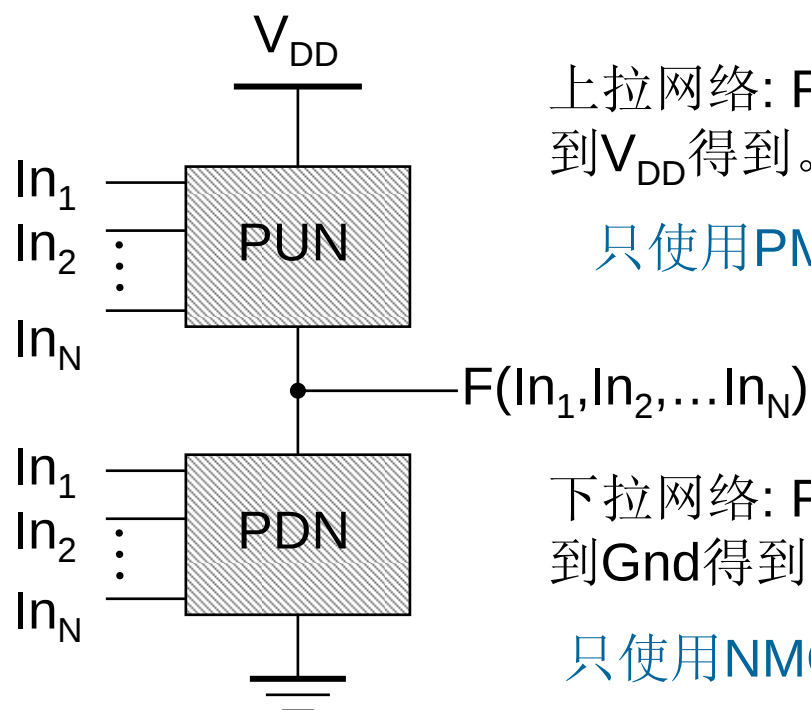
CMOS传输门导通电阻



4.3 静态CMOS逻辑结构

■ 互补CMOS逻辑门

- 由上拉网络（PUN）和下拉网络（PDN）构成



上拉网络: $F(\text{In}_1, \text{In}_2, \dots, \text{In}_N) = 1$ 是通过使F接到 V_{DD} 得到。

只使用PMOS晶体管，因为P管无损传输1。

下拉网络: $F(\text{In}_1, \text{In}_2, \dots, \text{In}_N) = 0$ 是通过使F接到Gnd得到。

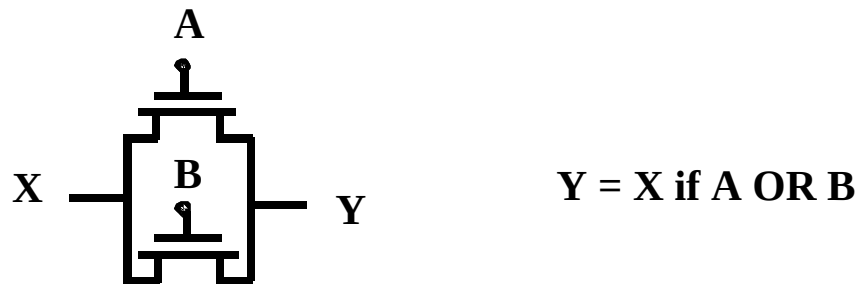
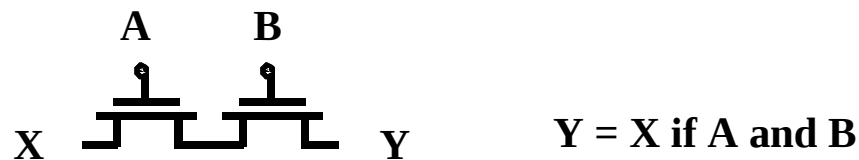
只使用NMOS晶体管，因为N管无损传输0。

上拉网络和下拉网络构成双逻辑网络。



CMOS基本逻辑门

- 串联的NMOS可构造AND函数
- 并联的NMOS可构造OR函数

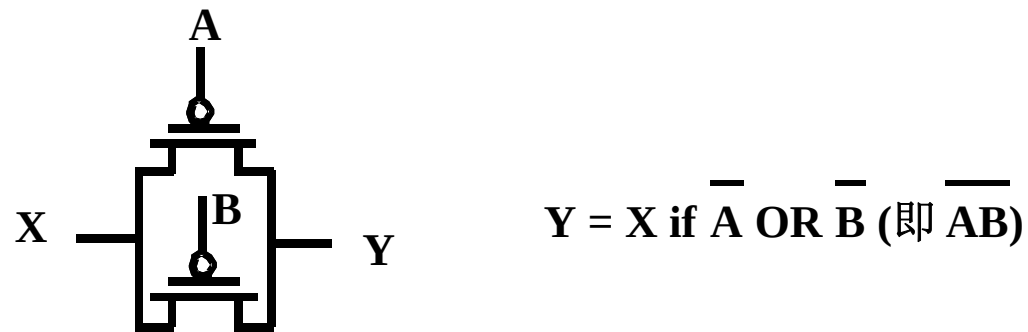
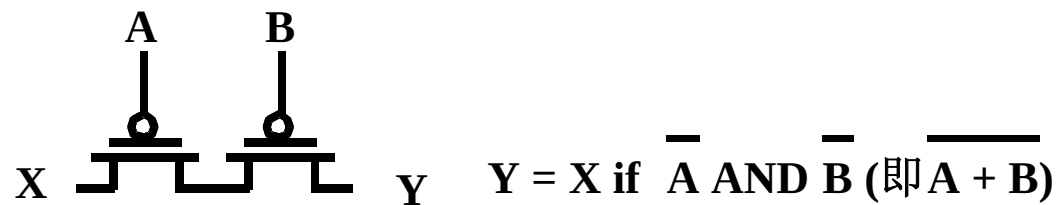


CMOS逻辑门中NMOS晶体管将Gnd和输出相连。



CMOS基本逻辑门

- 串联的PMOS可构造NOR函数
- 并联的PMOS可构造NAND函数

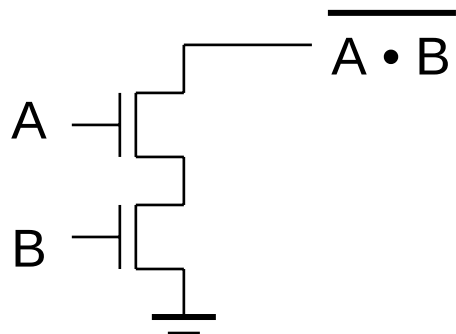


CMOS逻辑中PMOS晶体管连接 V_{DD} 和输出。

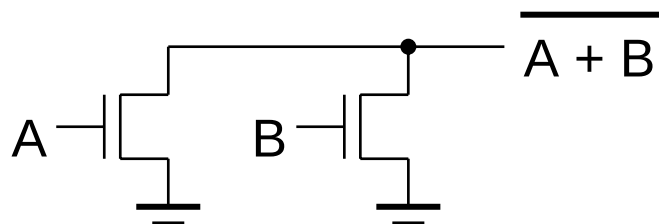


下拉网络（PDN）构成

- 串联NMOS器件实现NAND函数



- 并联NMOS器件实现NOR函数



互补CMOS逻辑门的特点

- 上拉网络和下拉网络是互补的

- DeMorgan's 定理

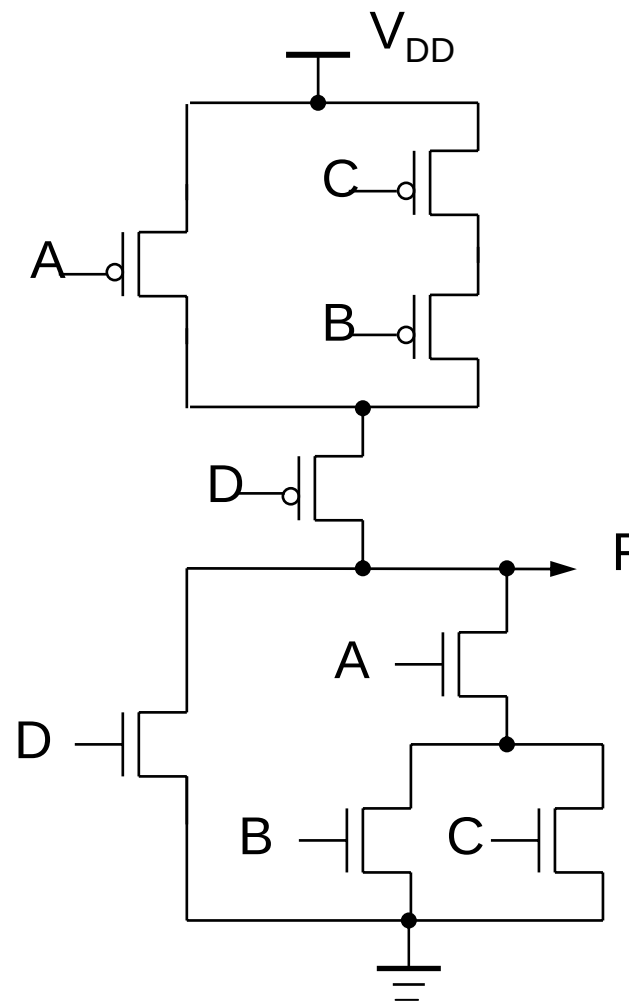
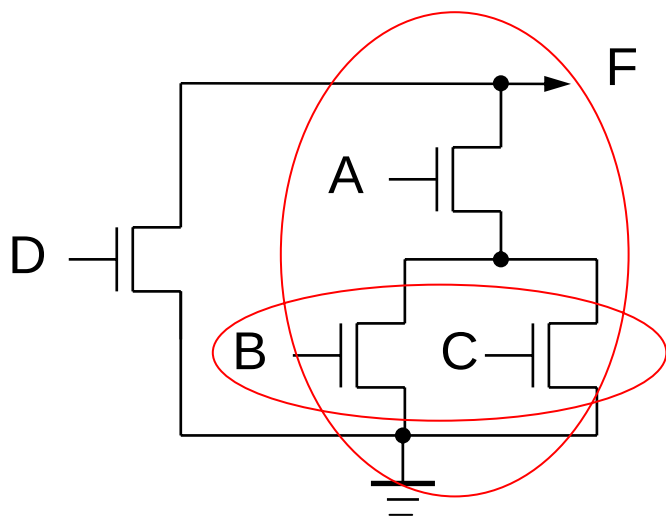
$$\overline{A + B} = \overline{A} \cdot \overline{B}$$
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

- 上拉网络(PUN)中**并联**连接的晶体管对应于下拉网络(PDN)中**串联**连接的晶体管，PUN中**串联**晶体管对应PDN中的**并联**晶体管；
- CMOS互补逻辑门天然实现的是**反相逻辑**(NAND, NOR, AOI, OAI)，非反相逻辑(AND, OR, XOR)需要在反相逻辑之后加额外的反相器实现。
- 对于N个输入的逻辑，需要2N个晶体管实现。
- 互补CMOS逻辑门具有CMOS反相器的所有优点。



实现任意“或与非”和“与或非”逻辑

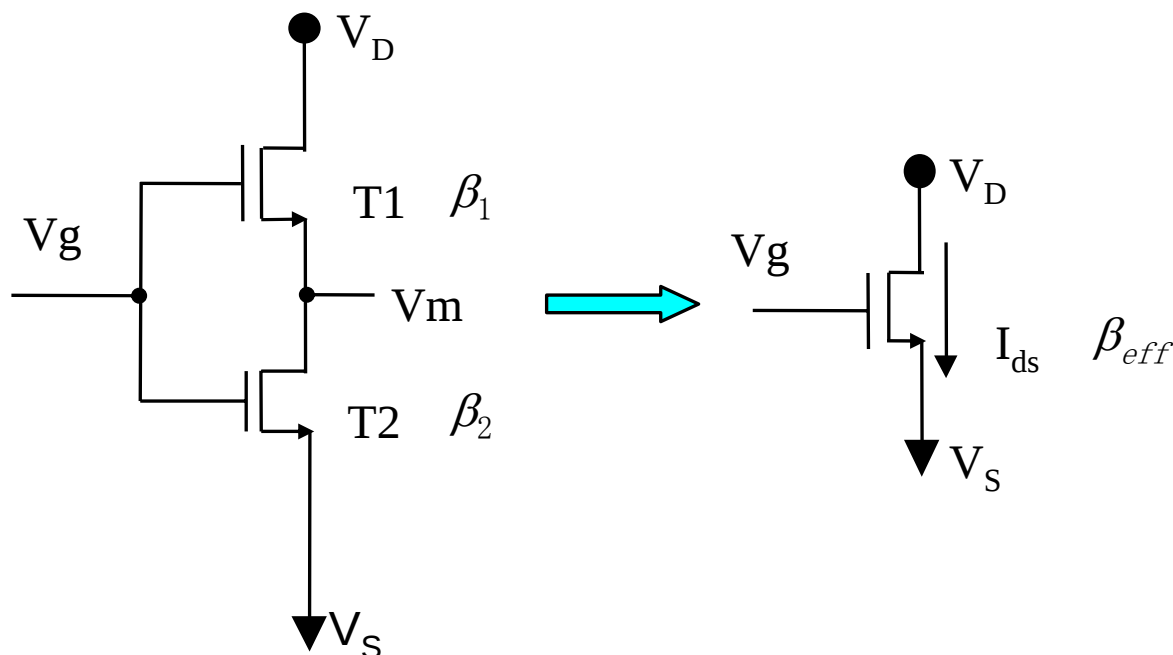
$$F = \overline{D + A \cdot (B + C)}$$



MOS管串、并联特性—驱动能力

- ◆ 晶体管的驱动能力是用其导电因子 β 来表示的， β 值越大，其驱动能力越强。多个管子的串、并情况下，其等效导电因子应如何推导？

一、两管串联：



MOS串联特性—驱动能力

- 假设： V_t 相同，都工作在线性区。

$$I_{DS1} = \frac{\beta_1}{2} \left[(V_G - V_T - V_M)^2 - (V_G - V_T - V_D)^2 \right] \text{-----(1)}$$

$$I_{DS2} = \frac{\beta_2}{2} \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_M)^2 \right] \text{-----(2)}$$

$$\because I_{DS1} = I_{DS2}$$

$$\therefore (V_G - V_T - V_M)^2 = \frac{\beta_2}{\beta_1 + \beta_2} (V_G - V_T - V_S)^2 + \frac{\beta_1}{\beta_1 + \beta_2} (V_G - V_T - V_D)^2$$

将上式代入（1）得：

$$I_{DS1} = \frac{1}{2} \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2 \right] \text{-----(3)}$$

- 由等效管得： $I_{DS} = \frac{1}{2} \beta_{eff} \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2 \right] \text{-----(4)}$



MOS串联特性—驱动能力

- 比较公式(3)和(4)，得：

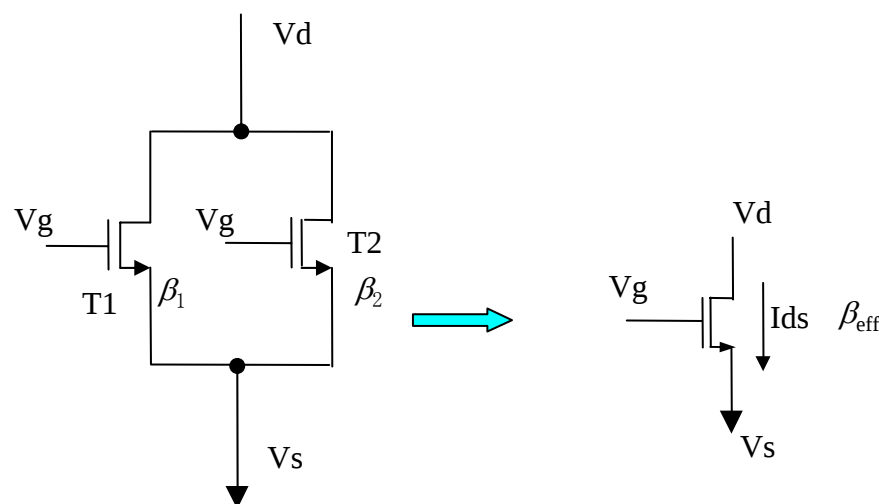
$$\beta_{eff} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2}$$

- 同样可以得到N个MOS串联的等效增益因子：

$$\beta_{eff} = \frac{1}{\sum_{i=1}^N \frac{1}{\beta_i}}$$



MOS管并联特性—驱动能力



$$I_{DS} = I_{DS1} + I_{DS2} = \frac{(\beta_1 + \beta_2)}{2} \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2 \right]$$

$$I_{DS} = \beta_{eff} [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$$

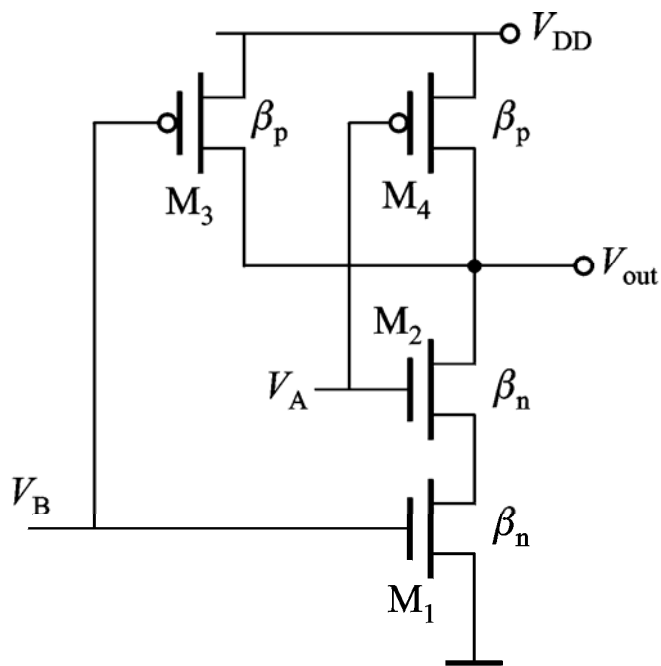
$$\therefore \beta_{eff} = \beta_1 + \beta_2$$

同理可证，N个 V_t 相等的管子并联使用时：

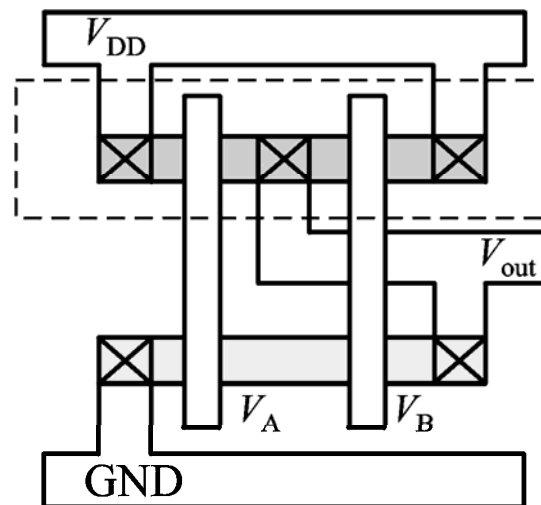
$$\beta_{eff} = \sum_{i=1}^N \beta_i$$



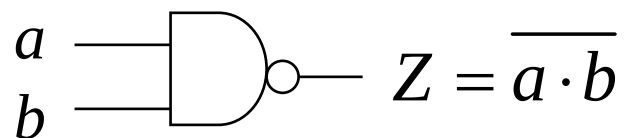
CMOS与非门



(a)



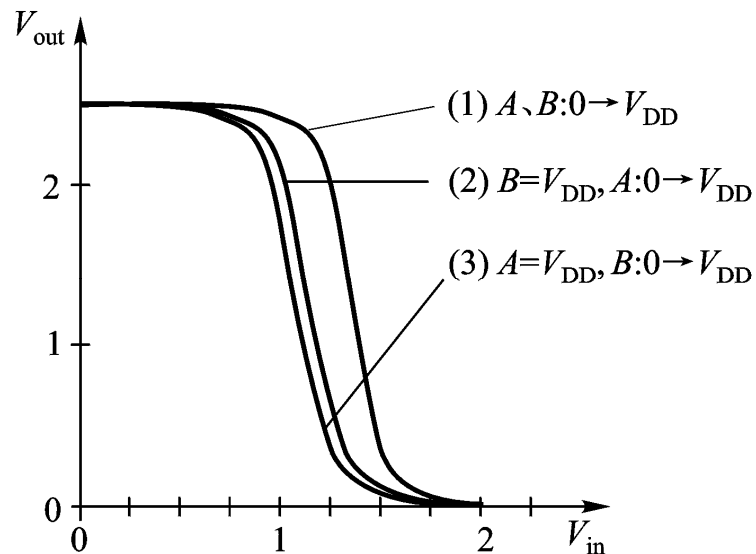
(b)



电学对称性：无法使所有输入条件下获得输出驱动对称。并且不对称性随输入个数的增加而增加。



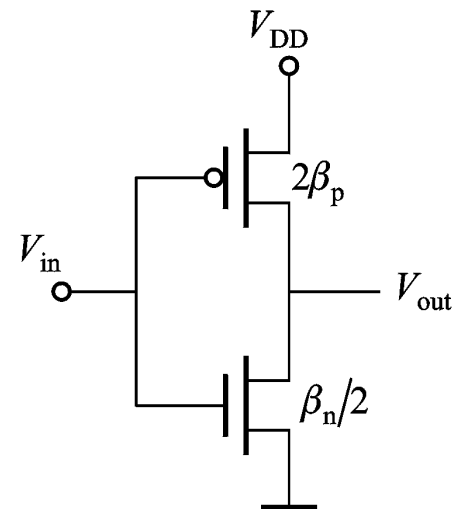
CMOS与非门



$$V_M = \frac{V_{DD} + V_{TP} + \frac{1}{2} \sqrt{\frac{\beta_n}{\beta_p}} V_{Tn}}{1 + \frac{1}{2} \sqrt{\frac{\beta_n}{\beta_p}}}$$

要想获得对称的上拉和下拉能力，必须使： $\beta_n = 4\beta_p$

如果 $\mu_n = 2\mu_p$ ，则 $(W/L)_N = 2(W/L)_P$



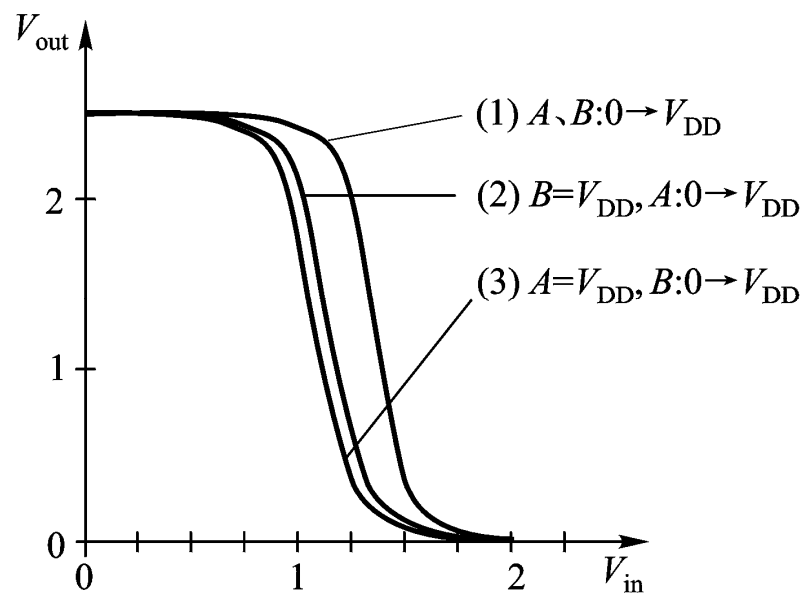
输入相同时，并联的PMOS和串联的NMOS管的等效宽长比或者等效导电因子



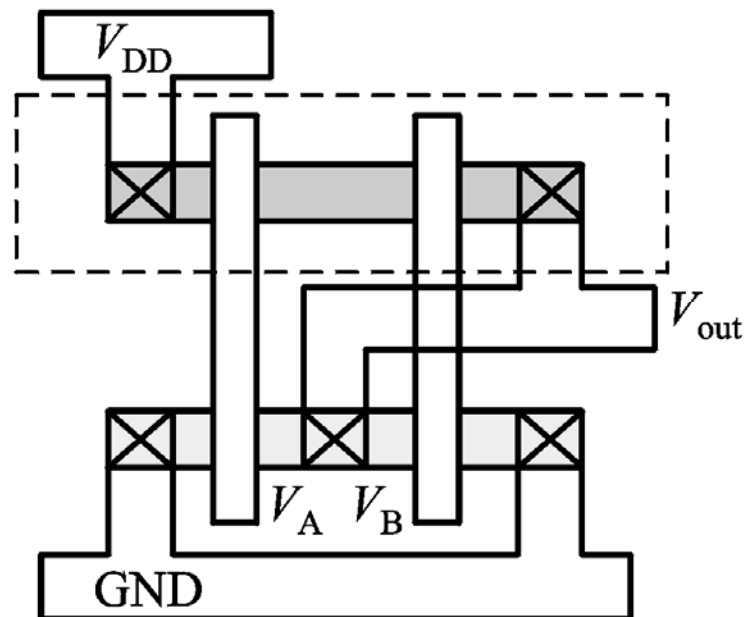
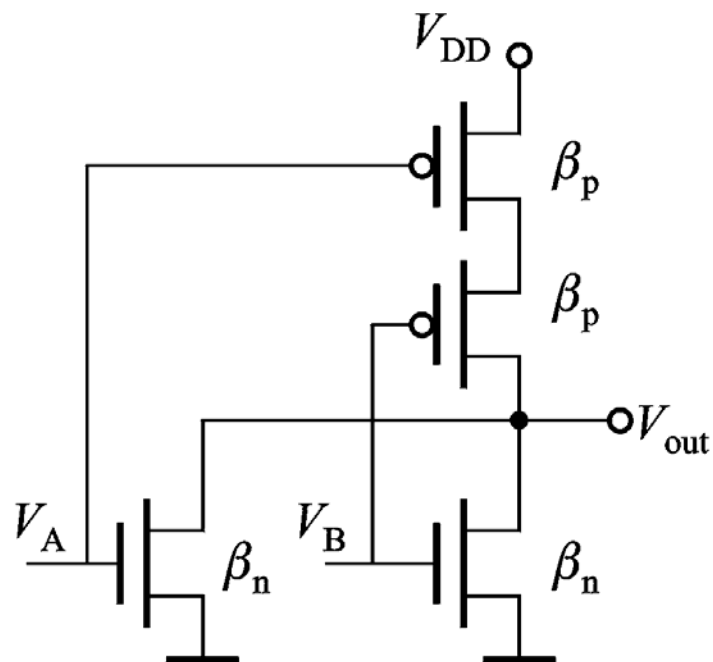
CMOS与非门

■ 对噪声容限的影响

- 噪声容限与输入信号波形有关；
- 低电平噪声容限由最左边的VTC决定；
- 高电平噪声容限由最右边的VTC决定；



CMOS或非门

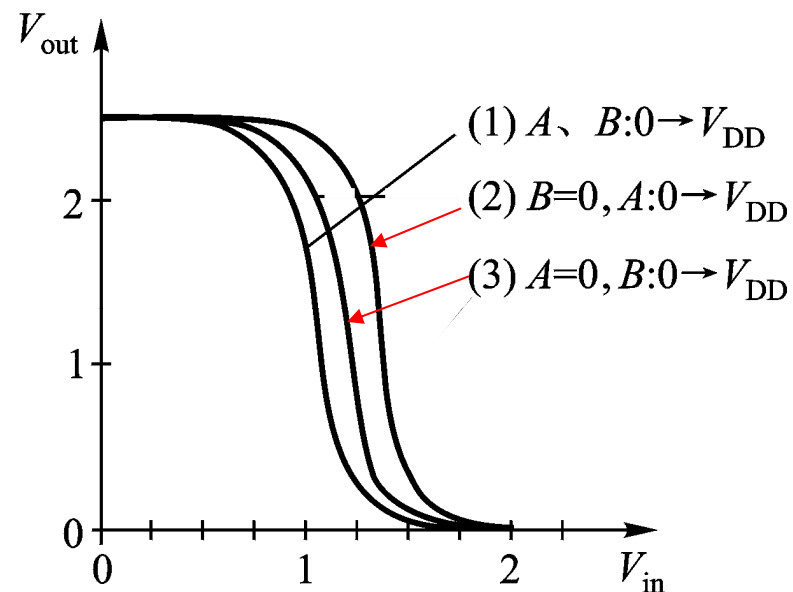
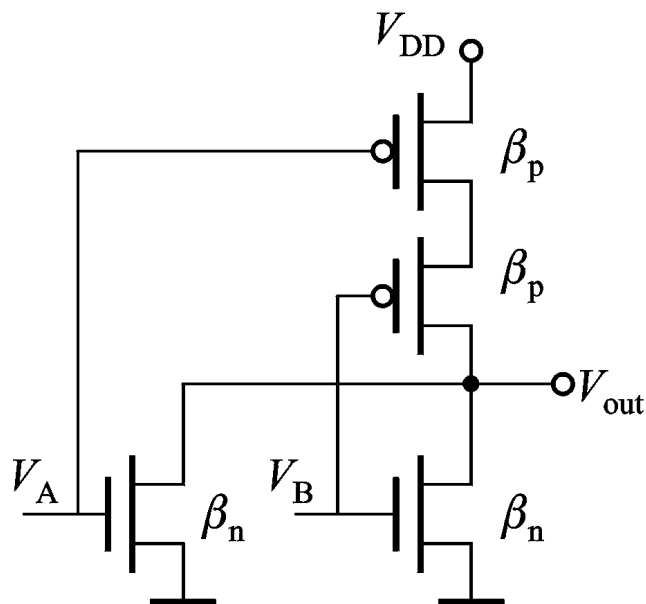


$$\begin{matrix} a \\ b \end{matrix} \rightarrow \text{NOR gate symbol} \rightarrow Z = \overline{a + b}$$

电学对称性：不对称性比与非门更严重。



CMOS或非门

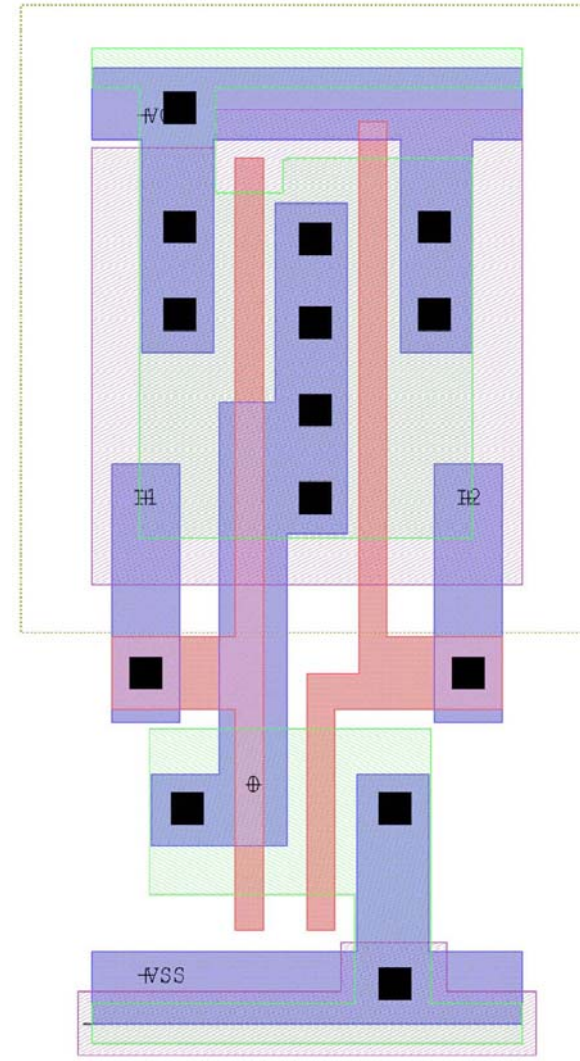
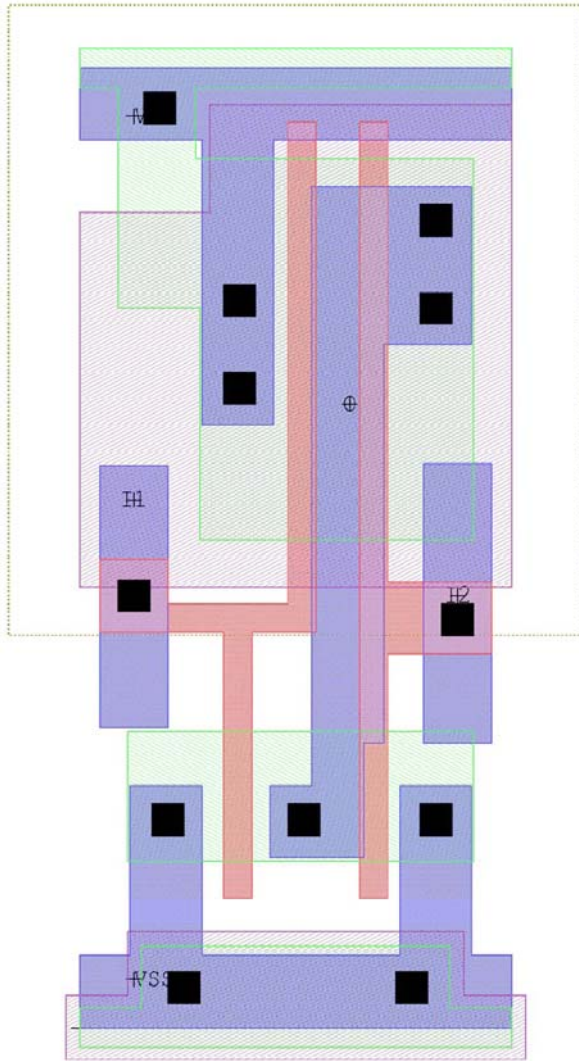


要想使上拉能力和下拉能力相同，则需 $4\beta_n = \beta_p$ ，要求PMOS晶体管的宽长比为NMOS的8倍(假设 $\mu_n:\mu_p=2:1$)。

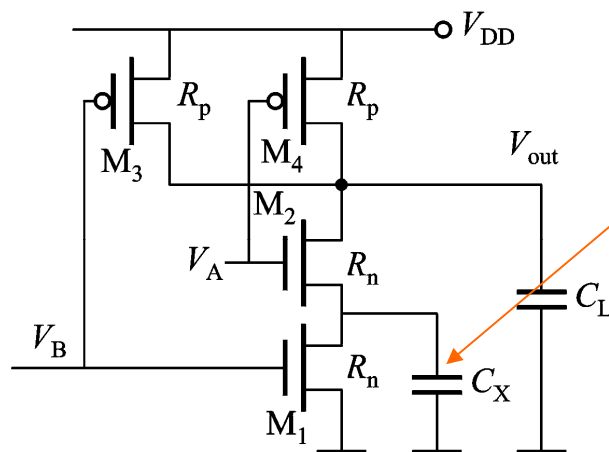
CMOS与非门和或非门由于是互补的，没有从电源到地的直流通路，所以静态功耗为0，动态功耗为 $P_d = C_L V_{DD}^2 f$



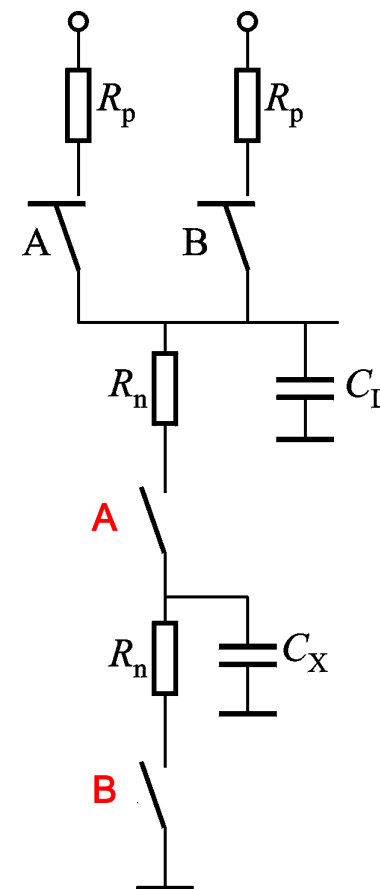
CMOS二输入或非门(NOR2)和与非门(NAND2)版图



与非门动态特性



内部结点
寄生电容



■ 上升时间 t_r

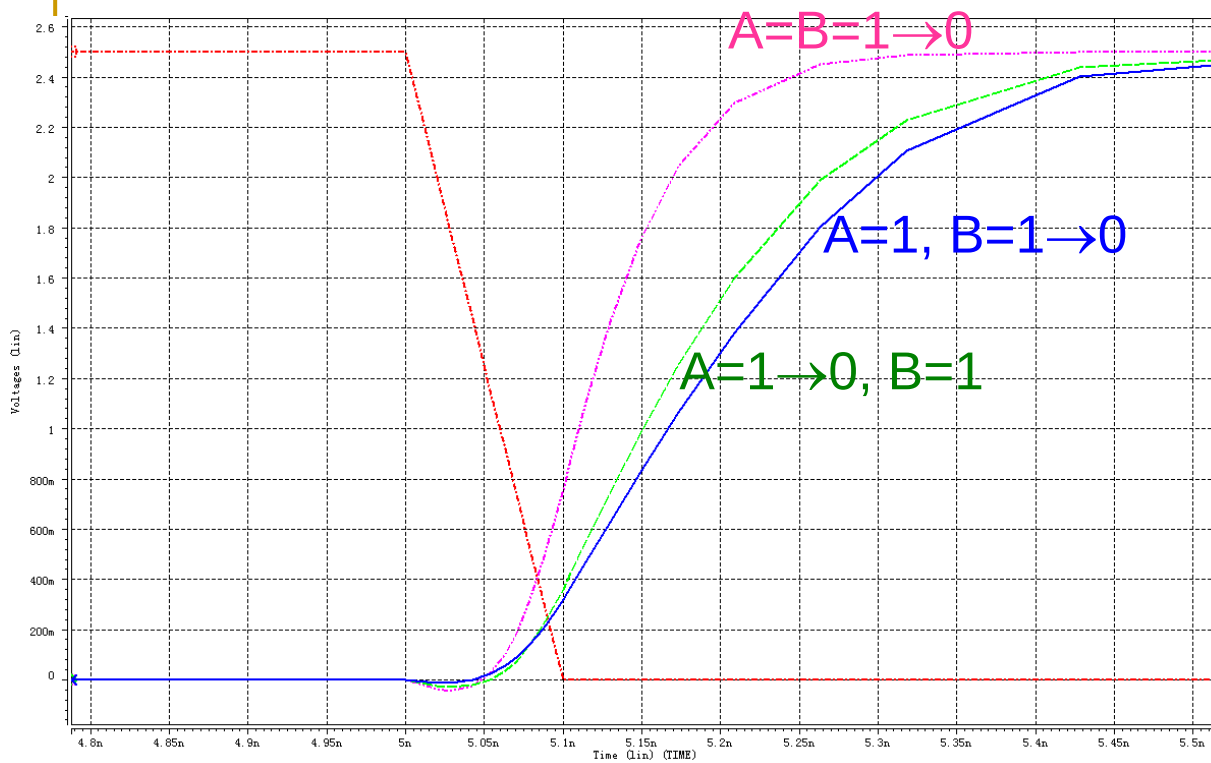
- ❑ 最坏情况只有一个PMOS导通
- ❑ $t_r = 2.2R_p C_L = 2.2R_p C_{int} + 2.2R_p C_{ext}$
- ❑ 如果两个PMOS导通，延时减为一半

■ 下降时间 t_f

- ❑ $t_f = 2.2R_n C_x + 2.2(R_n + R_n)C_L = 2.2R_n(C_x + 2C_{int}) + 4.4R_n C_{ext}$
- ❑ NMOS管串联使延时时间变得较长。



延时与输入有关的模拟结果



输入数据变化	延时 (ps)
A=B=0→1	118
A=1, B=0→1	124
A= 0→1, B=1	108
A=B=1→0	72
A=1, B=1→0	144
A= 1→0, B=1	123

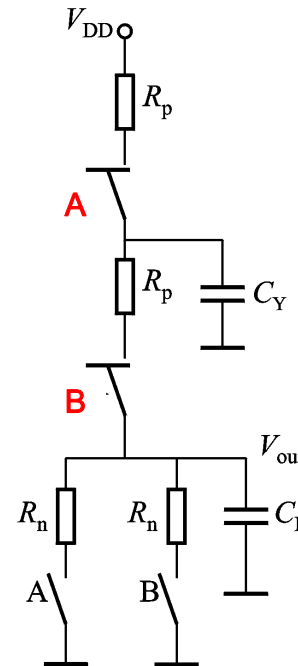
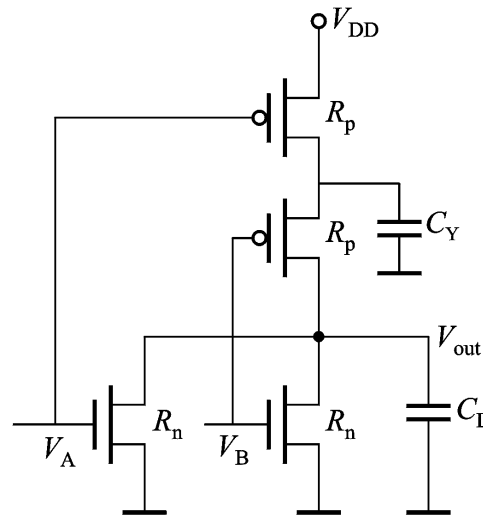
NMOS = 0.5 μ m/0.25 μ m
 PMOS = 0.75 μ m/0.25 μ m
 $C_L = 10$ fF

- 两个输入都变低有较小的延时
- 由低变高延时的最坏情况取决于哪个输入变低
- A变低, PMOS只需对 C_L 充电
- B变低, PMOS需要对 C_L 和 C_{int} 充电, 因此延时较大

要把延时的关键信号放在离输出端近的位置



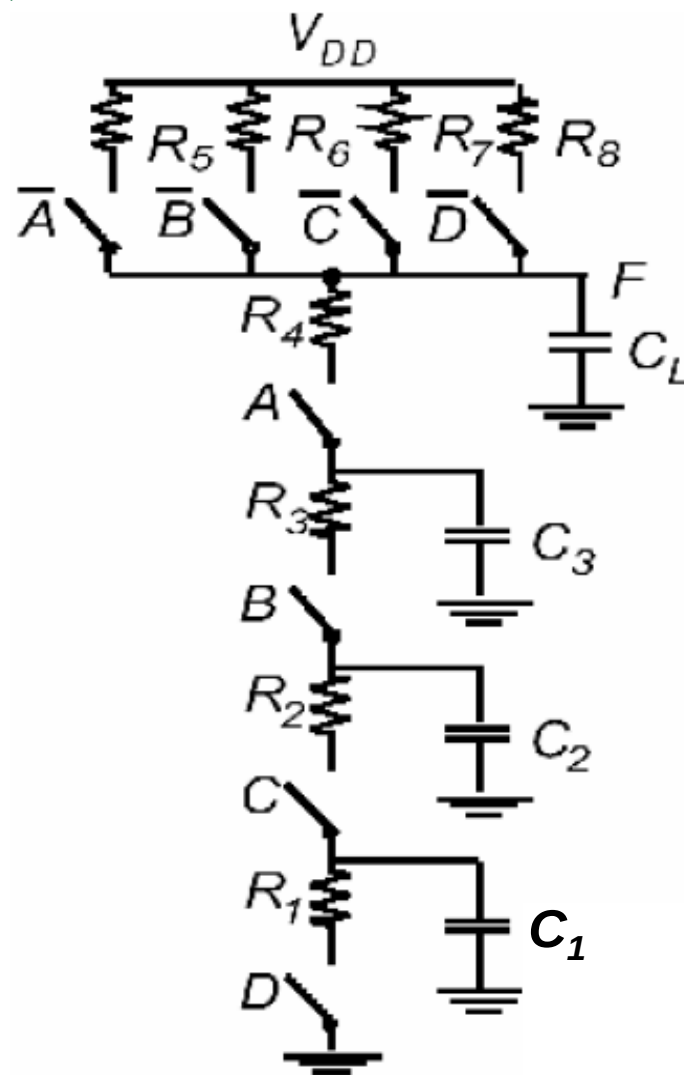
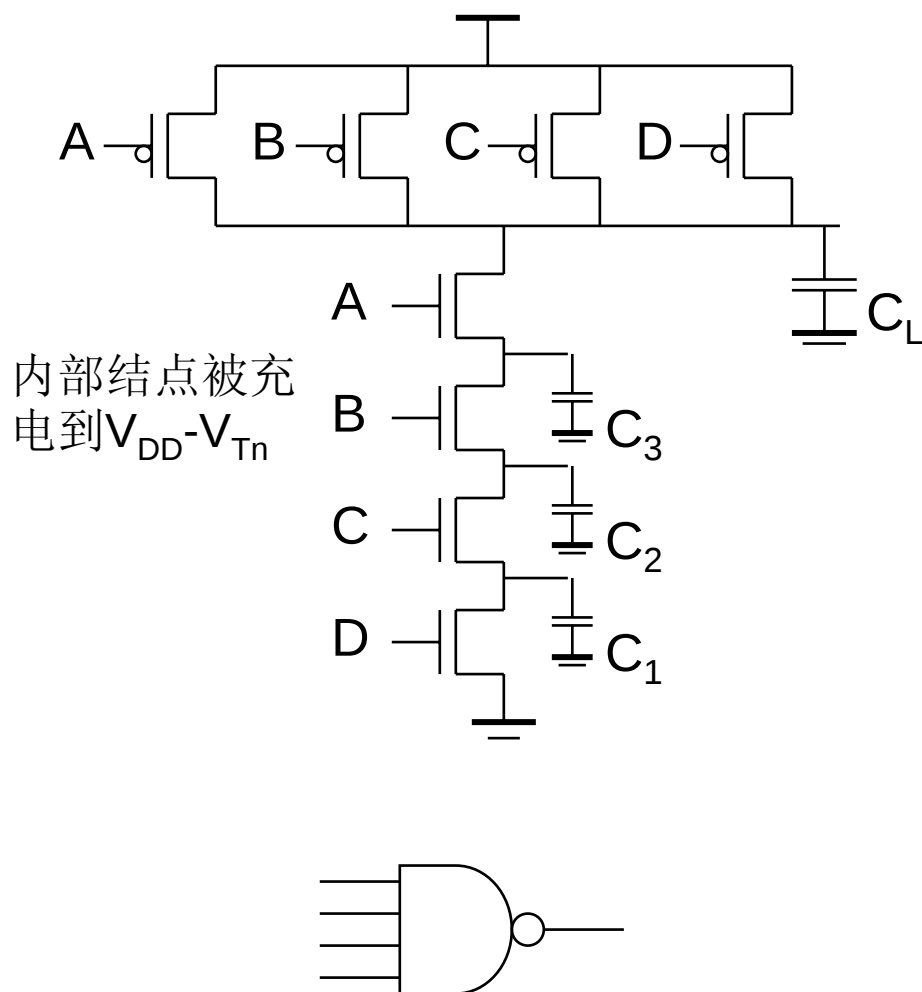
或非门动态



- 下降时间 t_f
 - $t_f = 2.2R_n C_L = 2.2R_n (C_{int} + C_{ext})$
- 上升时间 t_r
 - $t_r = 2.2R_p C_y + 2.2(2R_p)(C_{int} + C_{ext})$
 $= 2.2R_p (C_y + 2C_{int}) + 4.4R_p C_{ext}$



考虑扇入——nand4及其分布RC



考虑扇入——nand4及其分布RC

分布RC模型(Elmore延时)

$$t_{pHL} = 2.2 * \left(\begin{array}{l} R_1 C_1 + \\ (R_1 + R_2) C_2 + \\ (R_1 + R_2 + R_3) C_3 + \\ (R_1 + R_2 + R_3 + R_4) C_L \end{array} \right)$$

M1晶体管的电阻对减小延时是最重要的

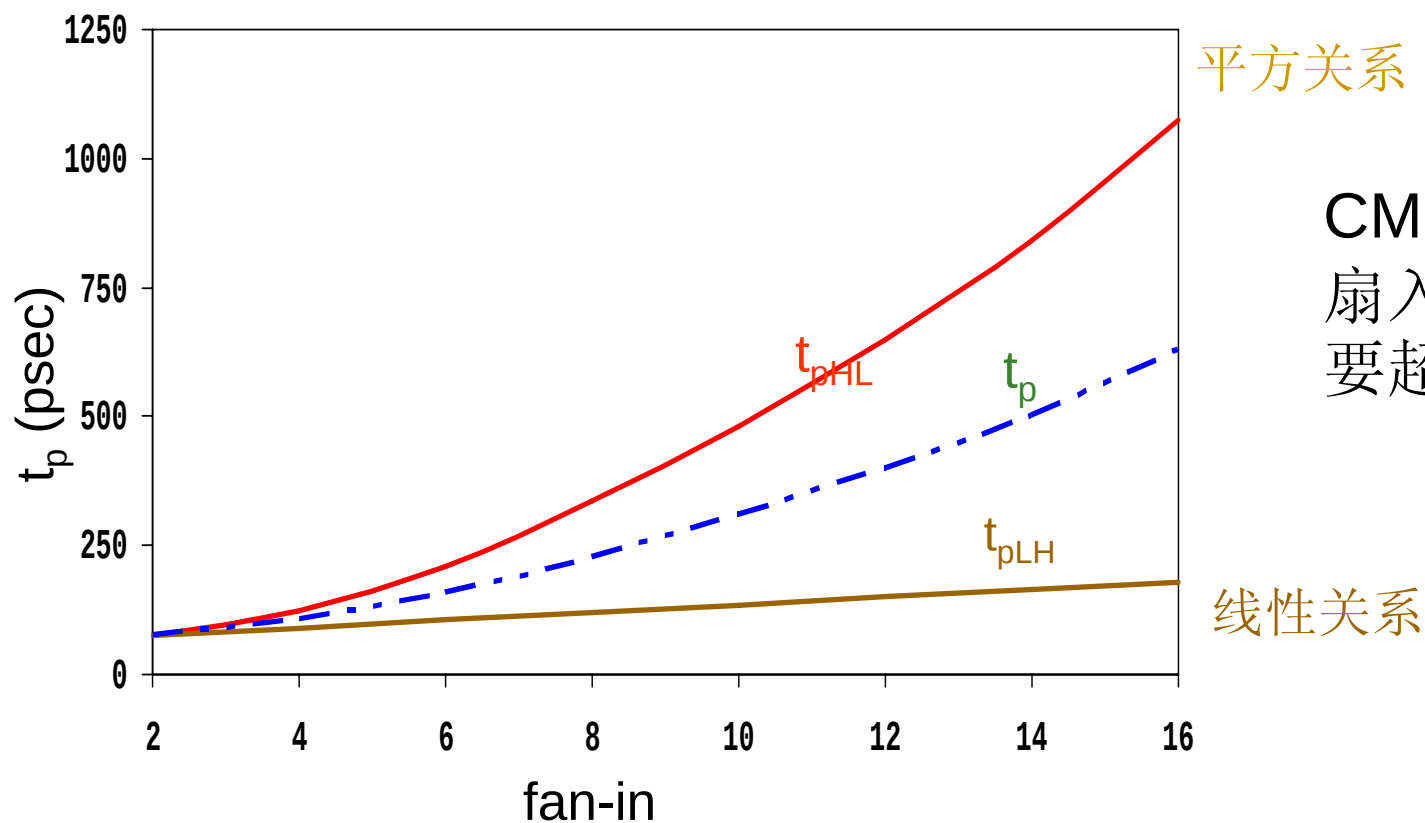
$$t_{pHL} = 2.2 R_{eqn} (C_1 + 2C_2 + 3C_3 + 4C_L)$$

最坏情况下，随扇入的增大传输延时以二次方增大.

- C1、C2和C3的大小在0.85fF
- C_L在没有外负载时为3.47fF（所有结电容，门的本征电容）
- t_{pHL}为85ps，仿真结果为86ps



t_p 与扇入的关系

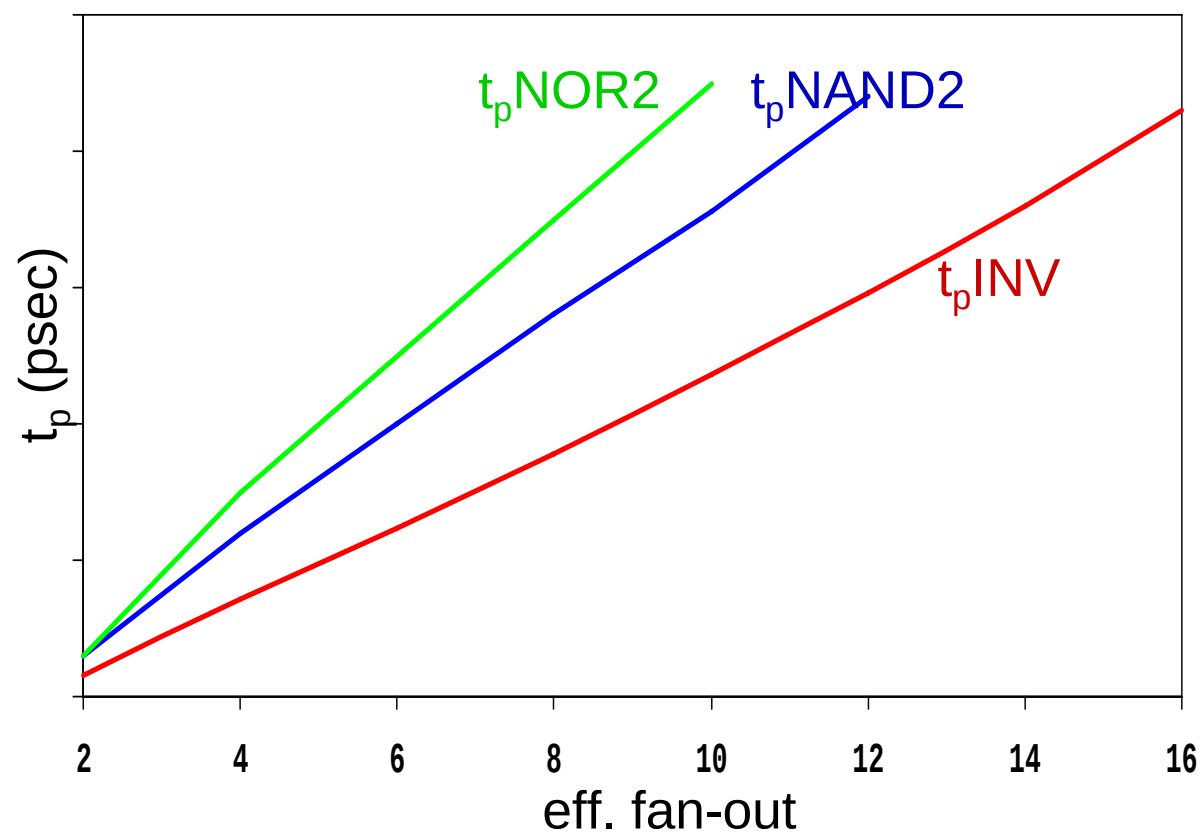


t_{pLH} 随着结电容的线性增加而线性增加

t_{pHL} 随扇入增加以二次方增加，因为下拉电阻和内部电容同时增加



t_p 与扇出的关系



所有门的驱动电流相等

斜率是“驱动强度”的函数



t_p 与扇入和扇出的关系

- 扇入: 二次方关系, 因为同时增大了电阻和电容。
- 扇出: 每个增加的扇出门使负载电容额外增加了两个栅电容。

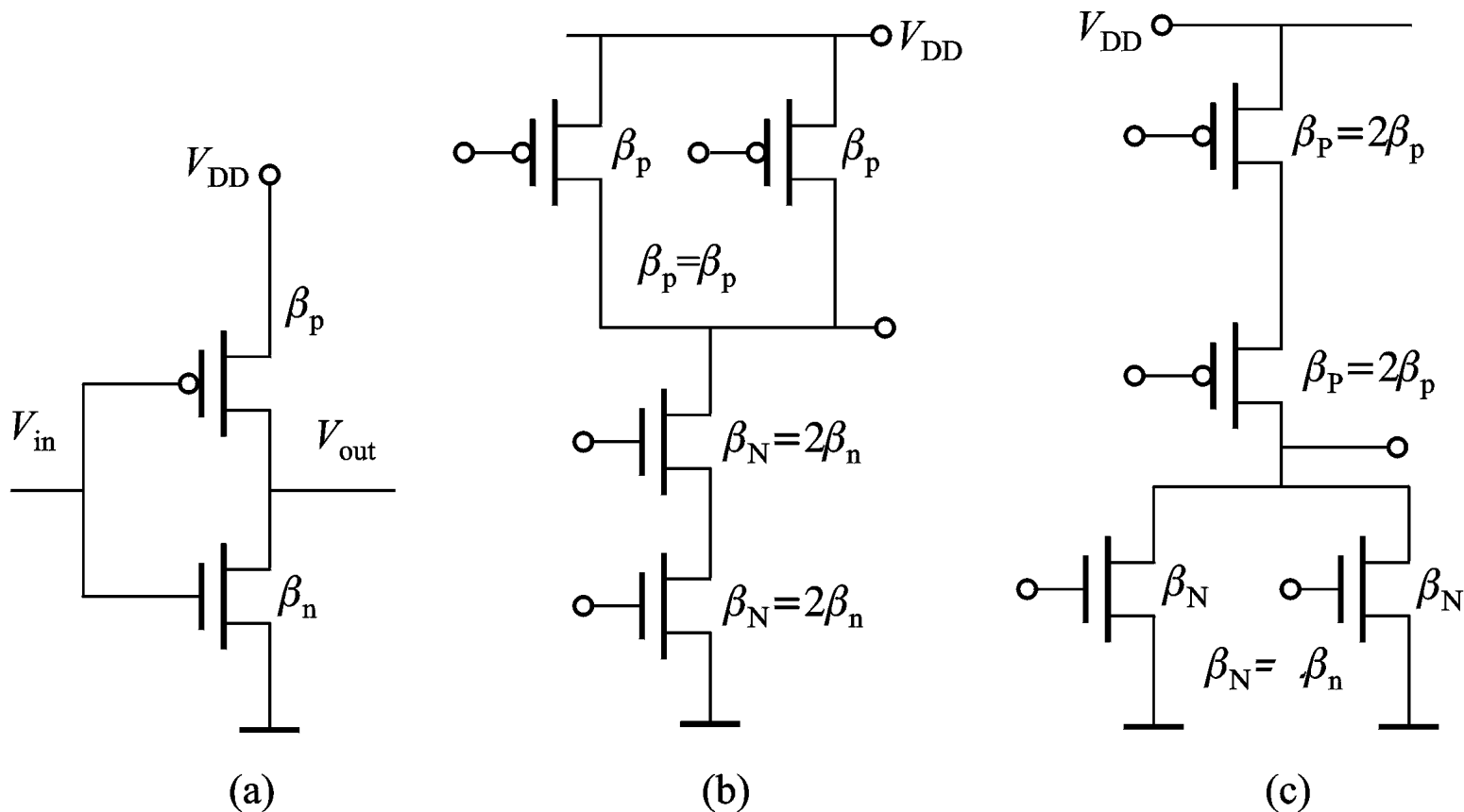
$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

- 延时时间随扇入个数增加而增加(二次函数);
- 延时时间随扇出个数增加而增加;
- 通常扇入个数不大于4;

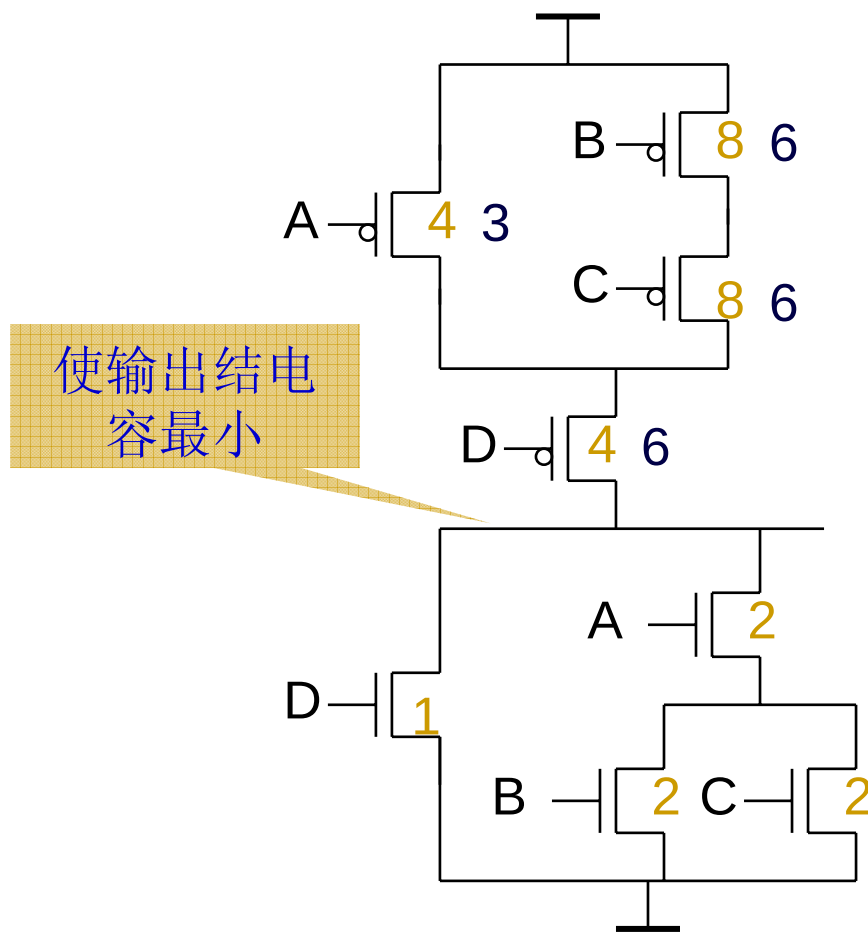


如何设计NAND和NOR门的尺寸

- 以反相器 t_r 和 t_f 作为参照



复杂CMOS门的晶体管尺寸

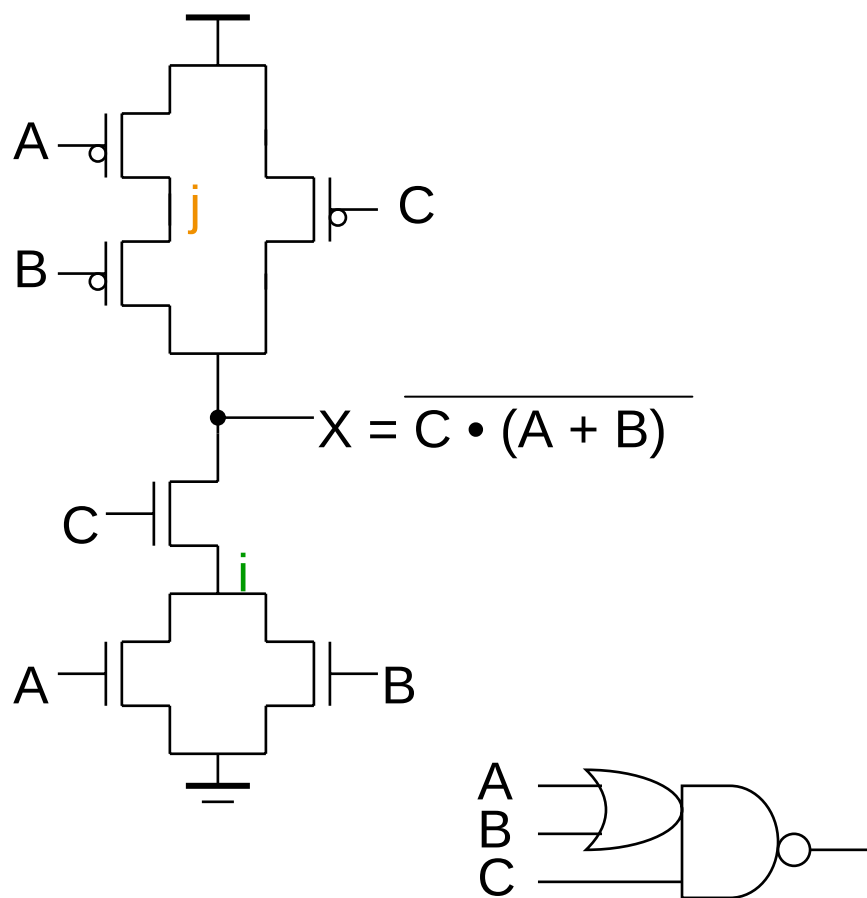


设计各个晶体管的尺寸，使得最坏情况下，上拉和下拉驱动能力与2:1的反相器相同。

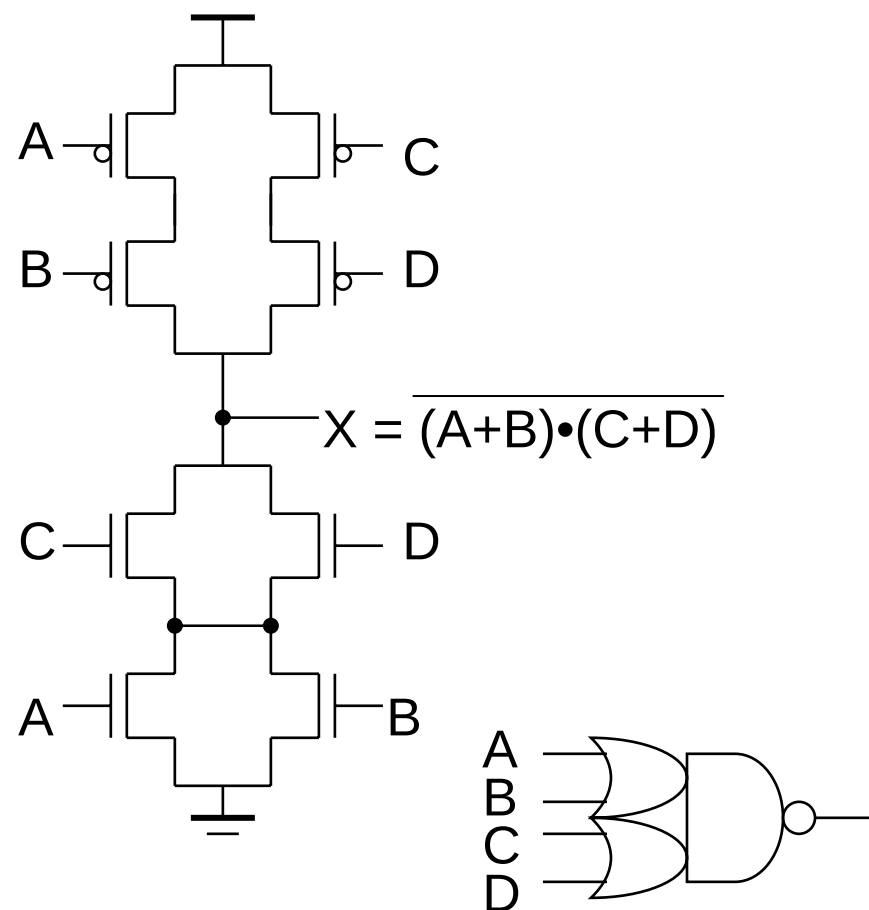
$$\text{OUT} = \overline{D + A \cdot (B + C)}$$



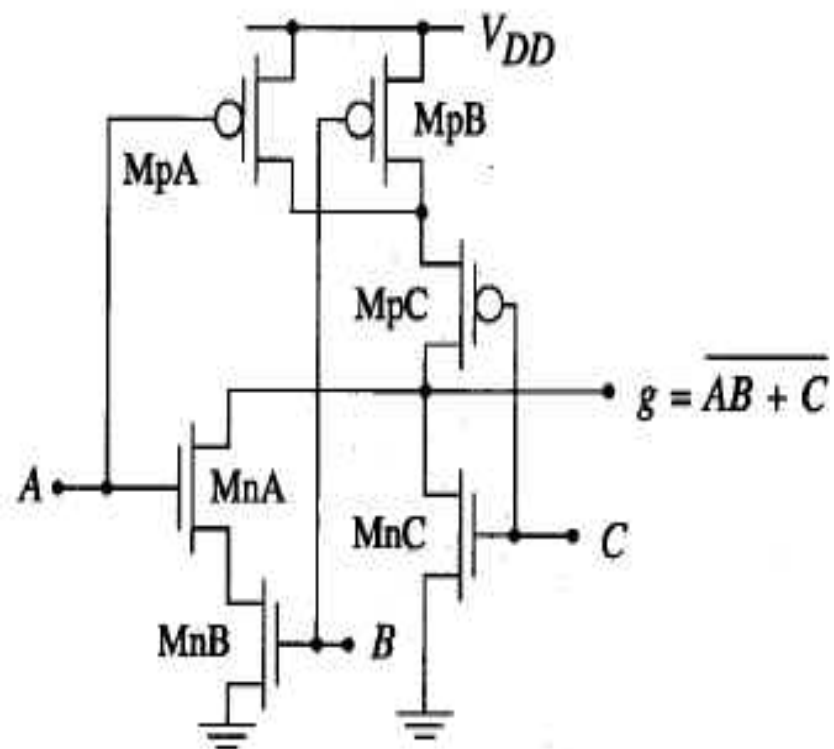
OAI21逻辑门



OAI22 逻辑门

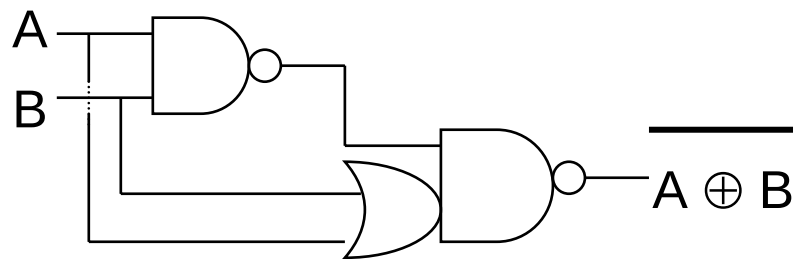
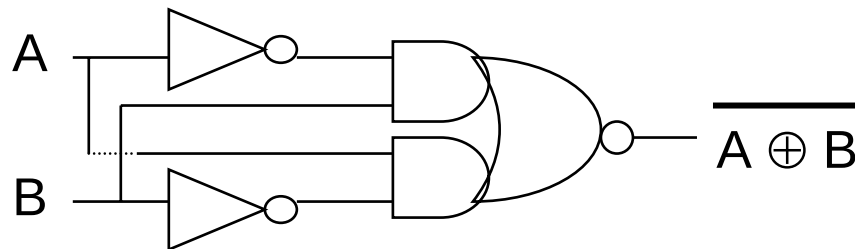


AOI21

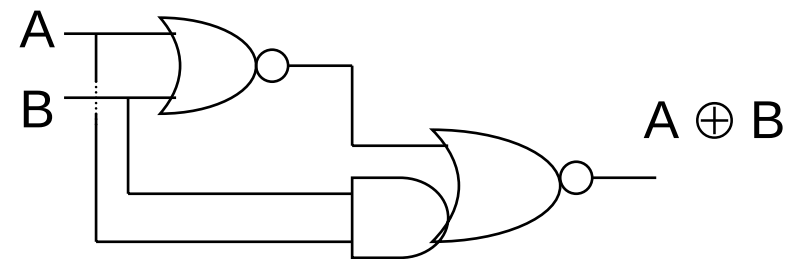
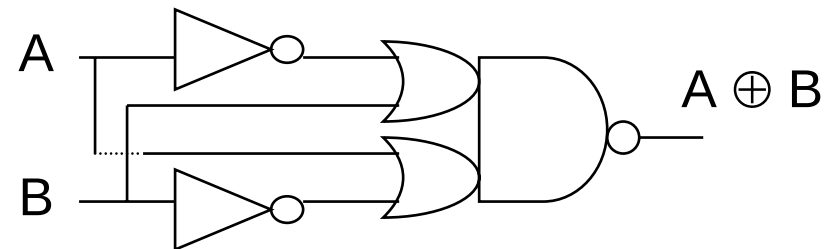


XNOR/XOR 逻辑门

XNOR



XOR

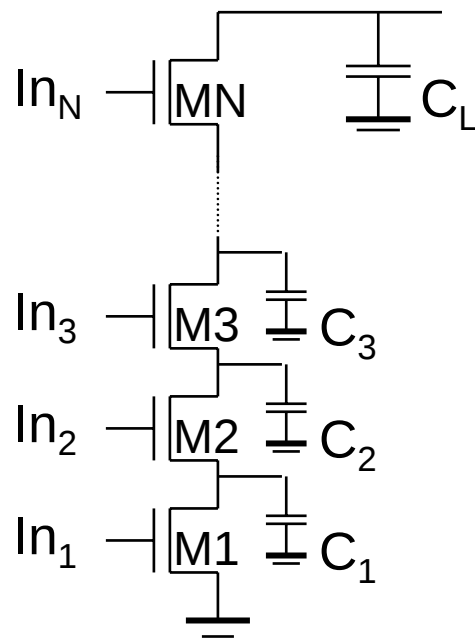


□ 每个门有多少个晶体管？



减小复杂门延时的设计技术：技术1

- 加大晶体管尺寸
 - 只有扇出电容为主时才起作用
- 逐级加大晶体管尺寸



Distributed RC line

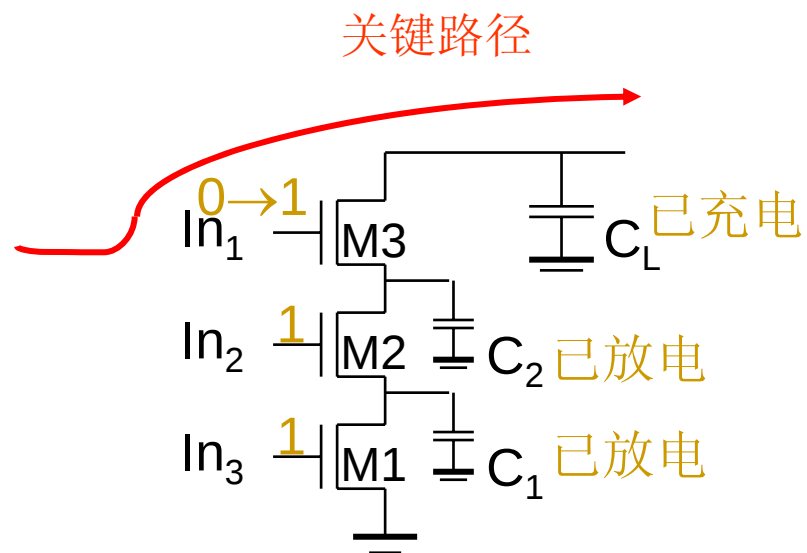
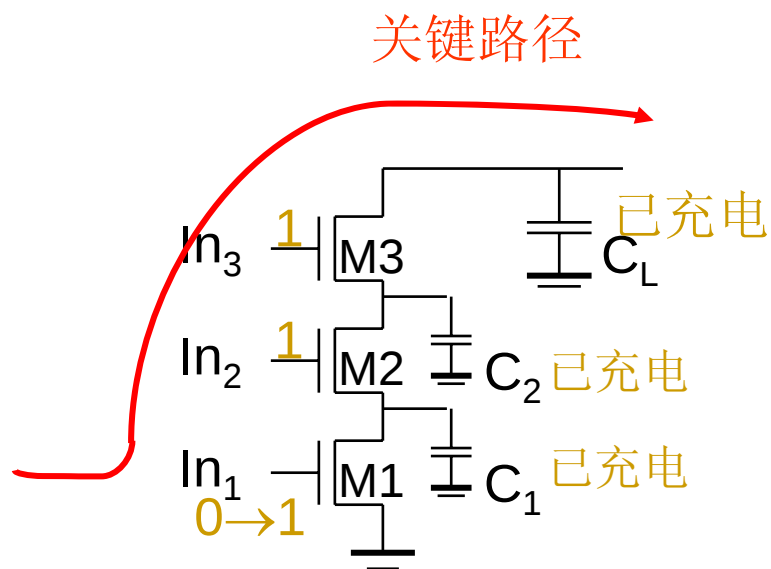
$M1 > M2 > M3 > \dots > MN$
(the fet closest to the output is the smallest)

Can reduce delay by more than 20%; decreasing gains as technology shrinks



减小复杂门延时的设计技术：技术2

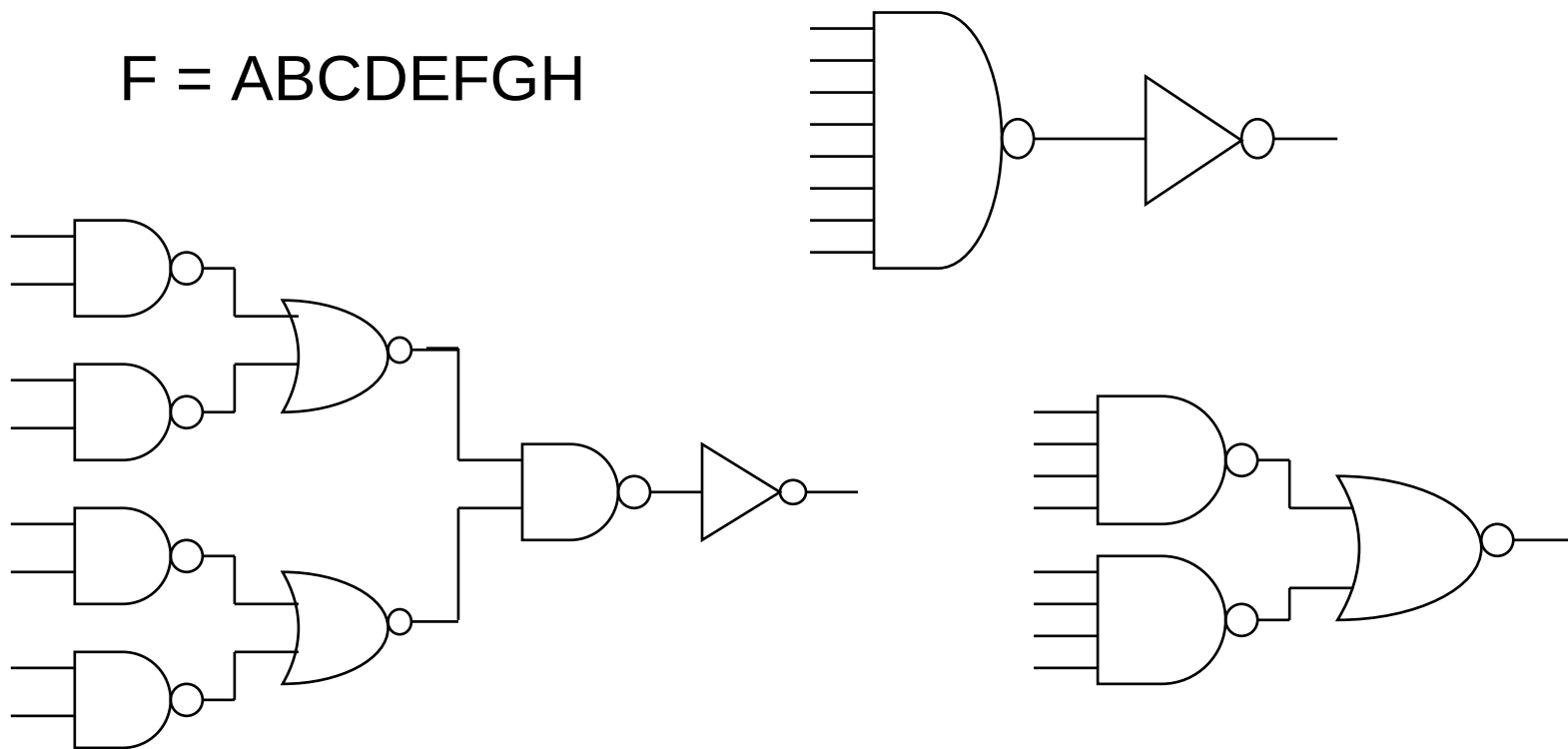
■ 重新安排输入顺序



减小复杂门延时的设计技术：技术3

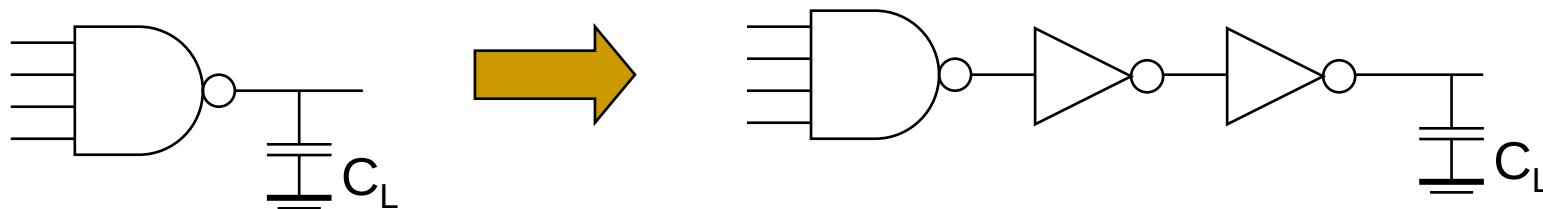
■ 重组逻辑结构

$$F = ABCDEFGH$$



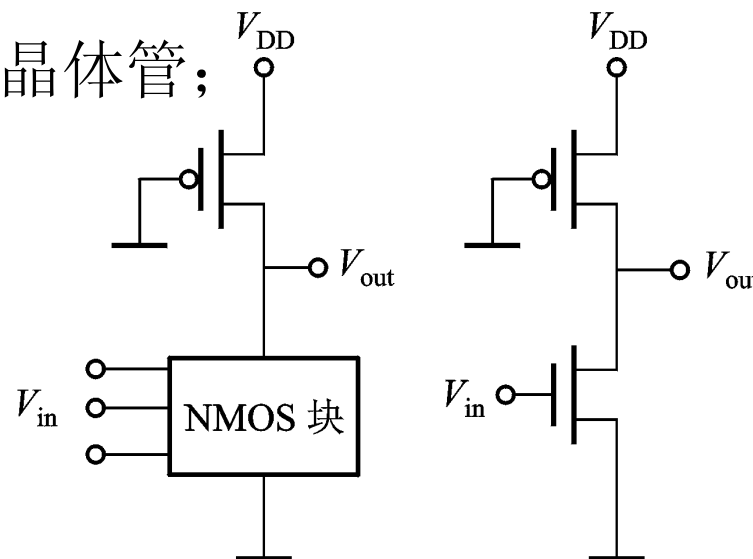
减小复杂门延时的设计技术：技术4

- 在扇入和扇出插入缓冲器



伪NMOS逻辑

- 晶体管数目少；N个输入(N+1)个晶体管；
- $V_{OH} = V_{DD}$
- $V_{OL} = ? ?$



$$I_{DSn} = -I_{Dsp}$$

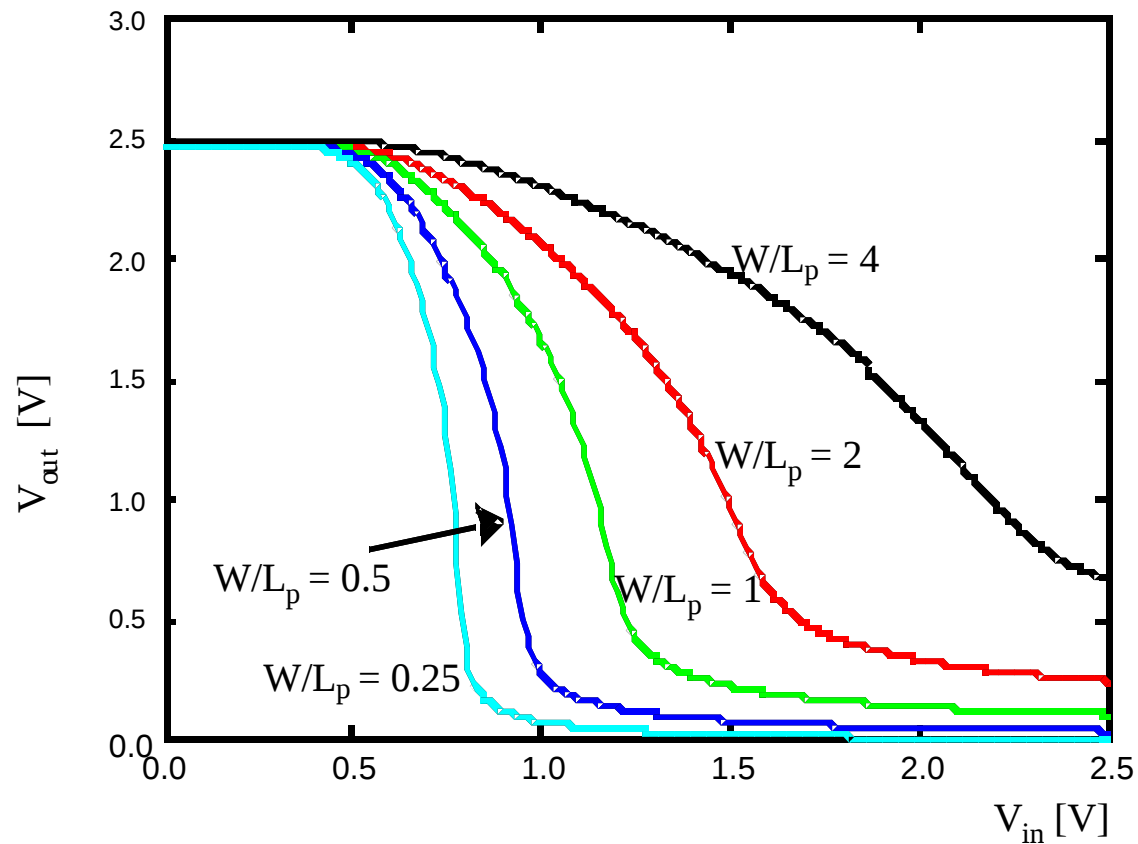
$$\beta_n [(V_{DD} - V_{Tn})V_{OL} - \frac{1}{2}V_{OL}^2] = \frac{\beta_p}{2} (V_{DD} + V_{Tp})^2$$

$$V_{OL} = (V_{DD} - V_{Tn})(1 - \sqrt{1 - \beta_p / \beta_n}) \quad (\text{假设: } V_{Tp} = -V_{Tn})$$

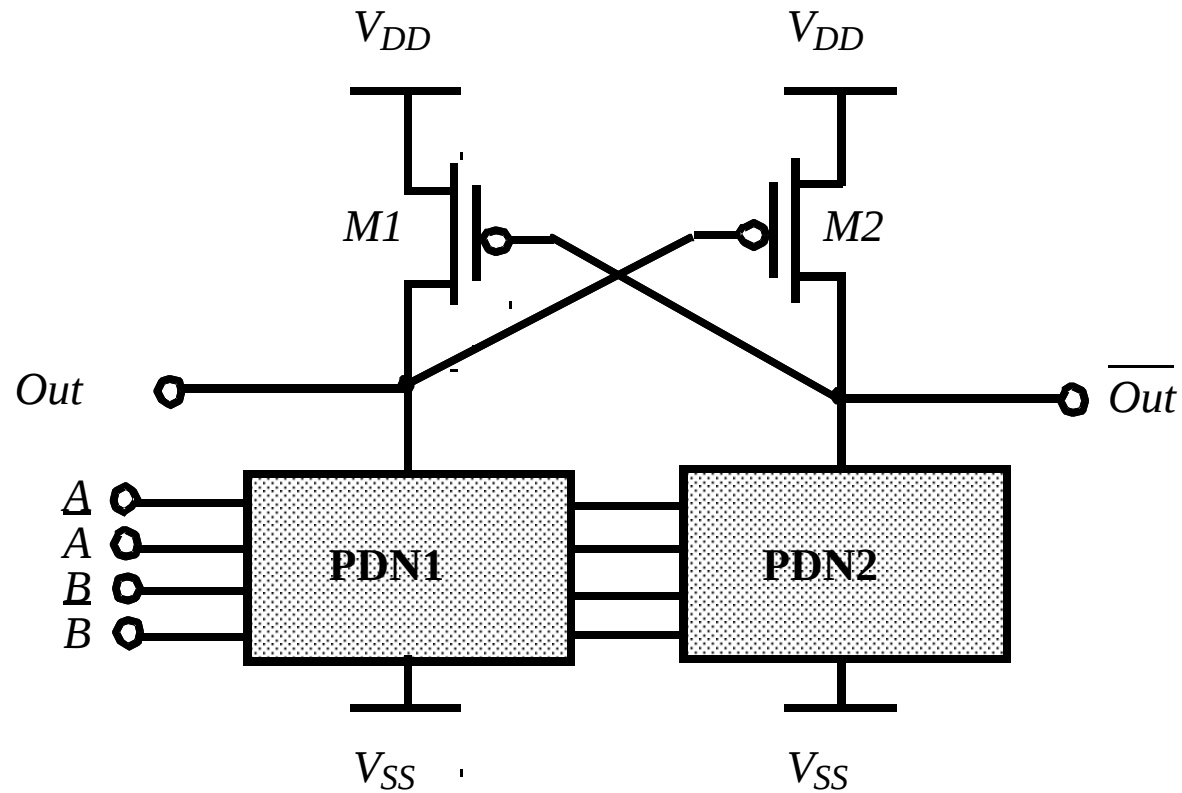
伪NMOS是有比电路， β_p / β_n 的值非常关键，影响 V_{OL} 的值，影响上升延时时间；
伪NMOS有直流功耗；这是限制伪NMOS电路的主要因素。



伪-NMOS VTC



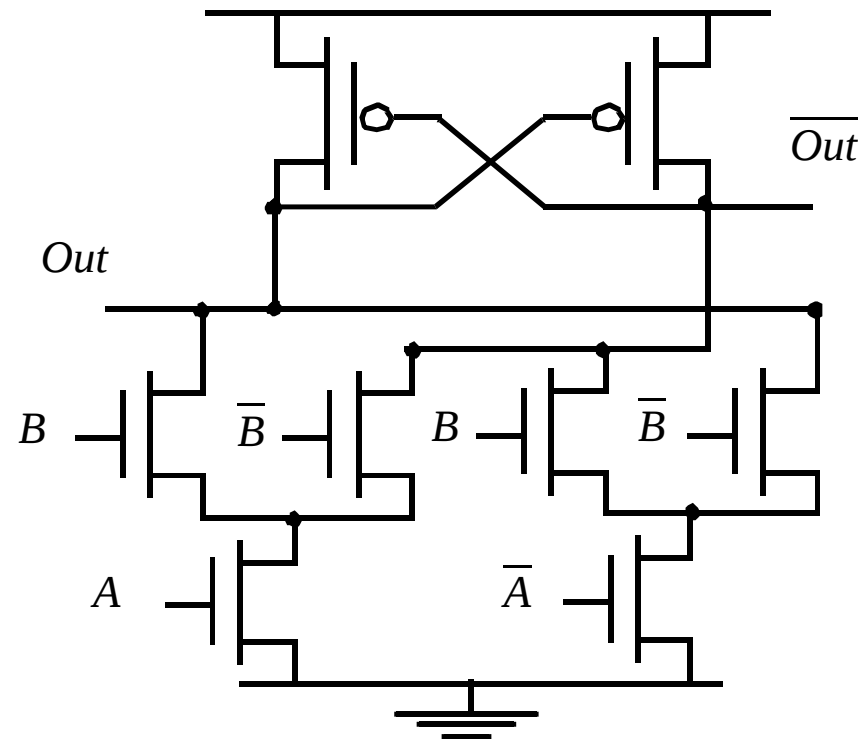
改进负载器件



Differential Cascode Voltage Switch Logic (DCVSL)



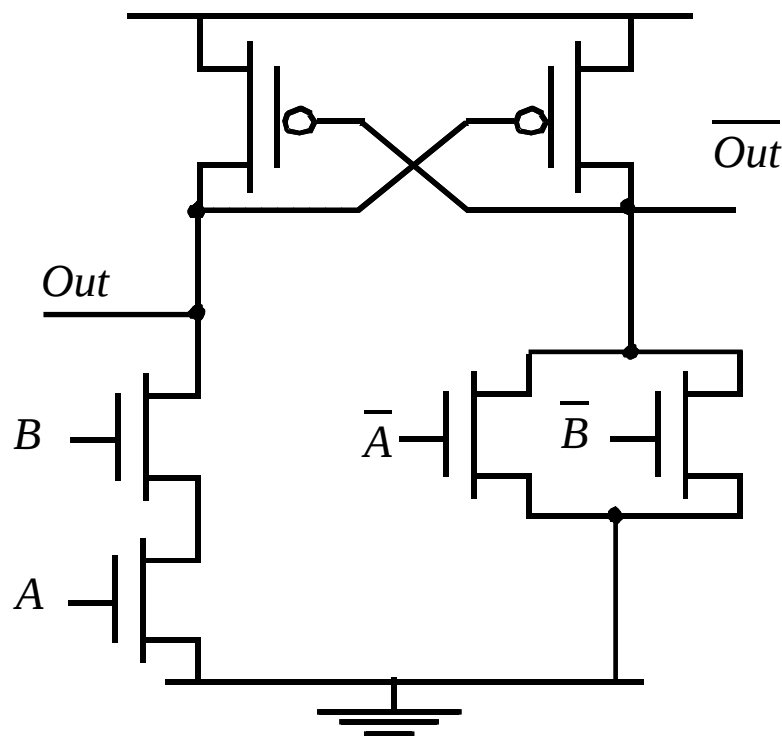
DCVSL例子



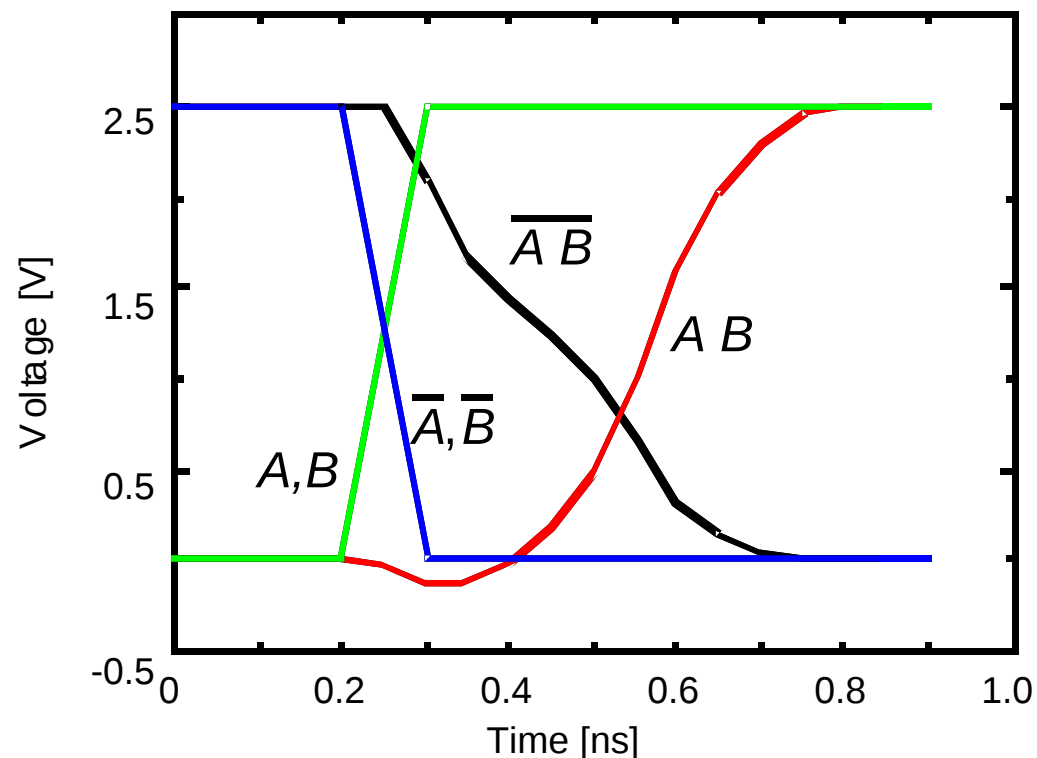
XOR-NXOR gate



DCVSL瞬态响应



AND/NAND门



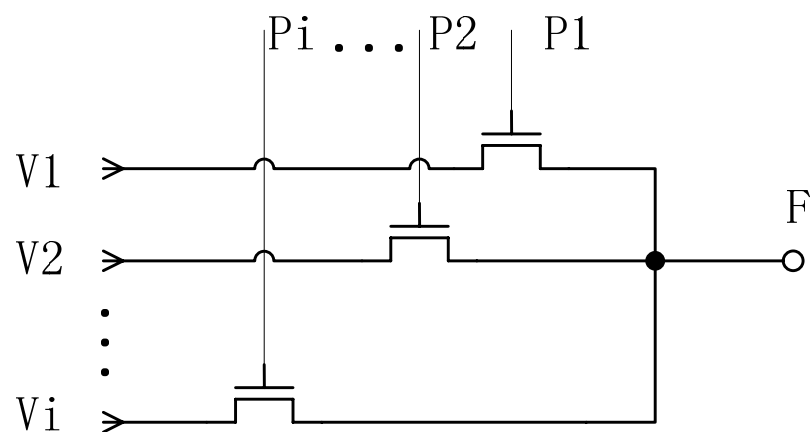
从输入到Out和Out的延时分别为197ps和321ps，
一个CMOS静态AND门的延时为200ps。

优点：可以同时得到正、反逻辑，并且正反逻辑的延时相同。

缺点：布线数量加倍、电路复杂、动态功耗大。

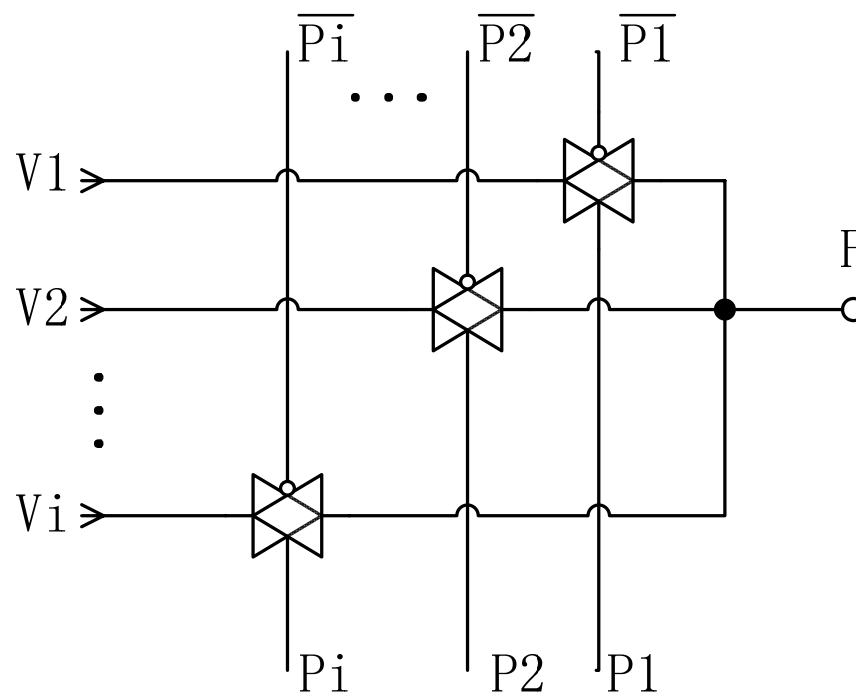


4.3.3 传输门逻辑



传输管逻辑典型驱动方法

$$F = P_1 V_1 + P_2 V_2 + \dots + P_n V_n$$



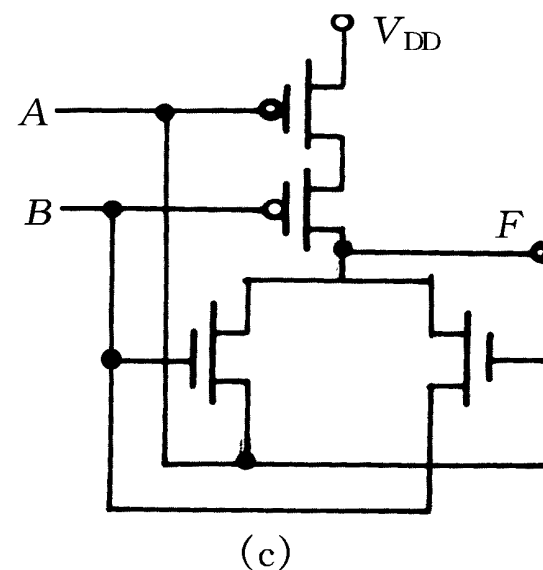
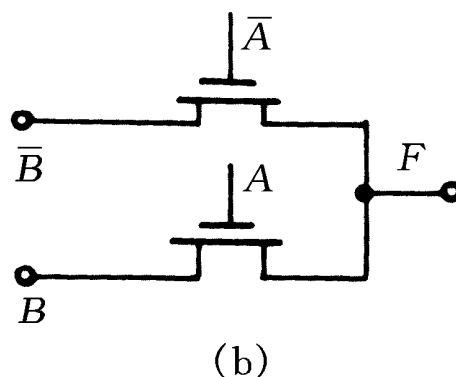
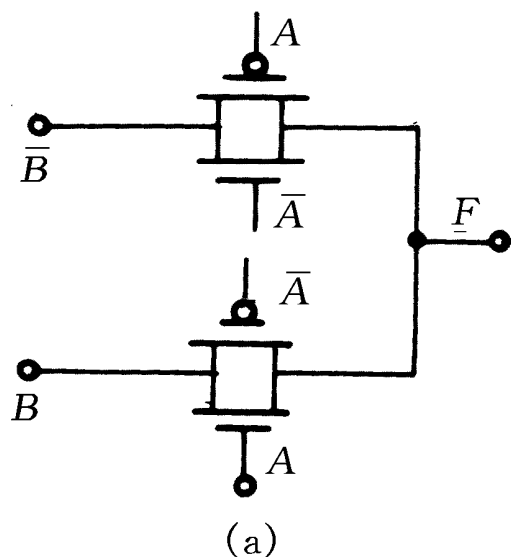
- 输入驱动晶体管的栅极和源漏极；
- 优点：逻辑构造灵活、晶体管数目少，因而电容减小；在构造某些独特电路时非常有用。
- 传输管逻辑也是静态逻辑；



传输门逻辑—异或非(NXOR)逻辑

$$F = \overline{A} \cdot \overline{B} + A \cdot B$$

A为控制变量，**B**为输入变量

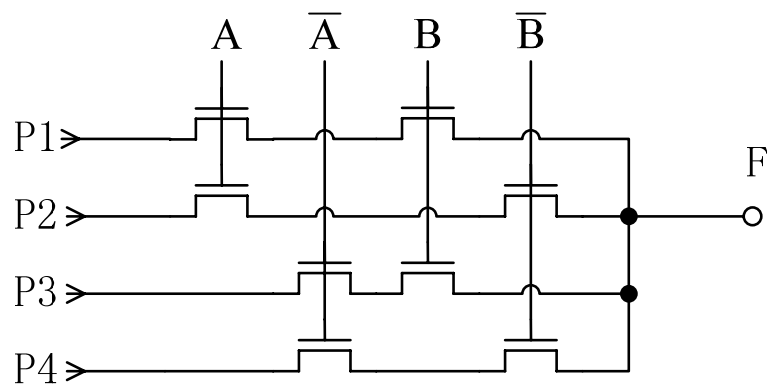


传输管逻辑实现的异或非门：(a)互补型;(b)NMOS型;(c)交叉耦合型

很容易变成XOR门。



布尔函数单元与多路选择器



布尔函数单元电路

操作输出F	P ₄	P ₃	P ₂	P ₁
AND(A,B)	0	0	0	1
XOR(A,B)	0	1	1	0
OR(A,B)	0	1	1	1
NOR(A,B)	1	0	0	0
NAND(A,B)	1	1	1	0

布尔函数单元实现的部分函数

布尔函数单元卡诺图

A \ B	0	1
0	P ₄	P ₃
1	P ₂	P ₁

四输入多路选择器的传输函数

$$F = P_1 AB + P_2 A\bar{B} + P_3 \bar{A}B + P_4 \bar{A}\bar{B}$$

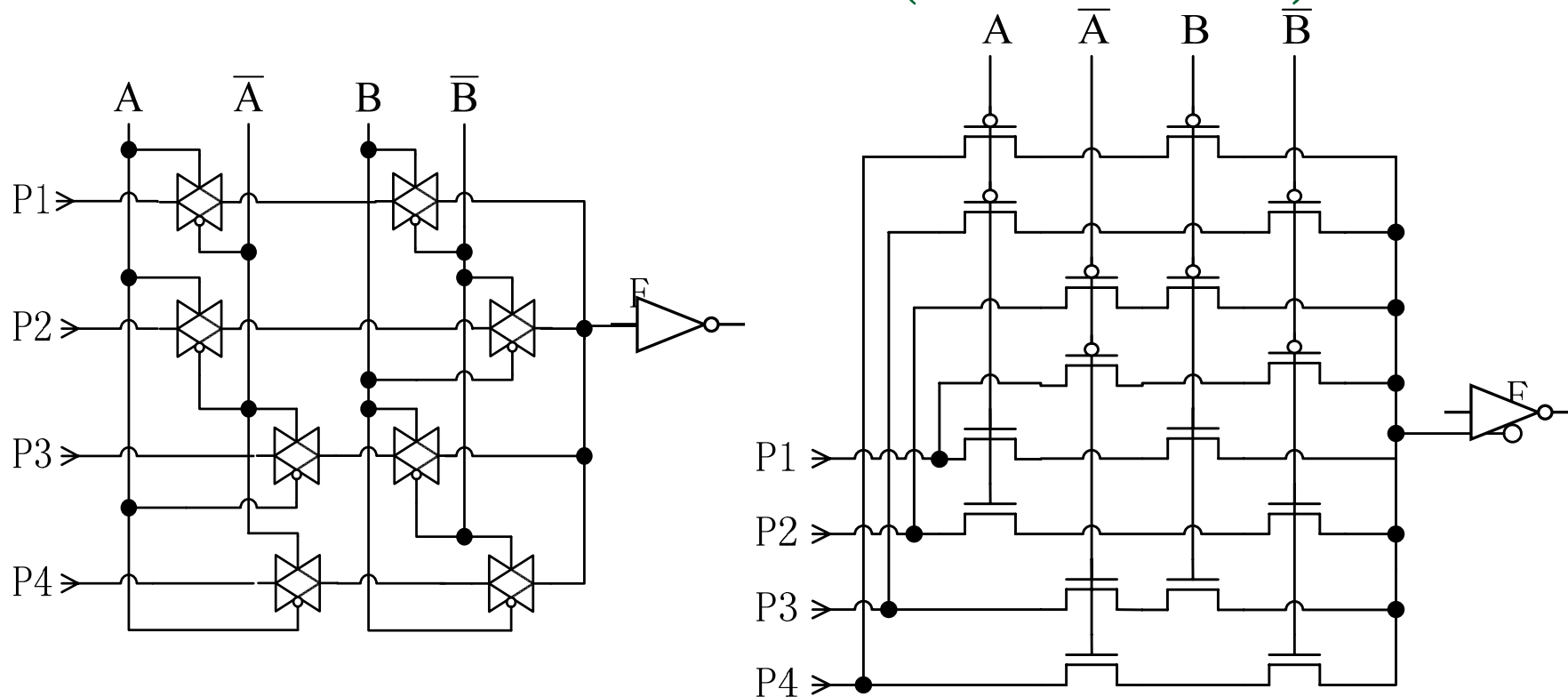
计算使用互补CMOS逻辑和传输门逻辑所使用晶体管个数的不同：

互补逻辑需要4个三输入与非门，1个4输入与非门，2个反相器，至少36个MOS管；传输管逻辑只需要8个MOS晶体管；

缺点：传输‘1’电平差；驱动能力差；



布尔函数单元与多路选择器(传输门构成)

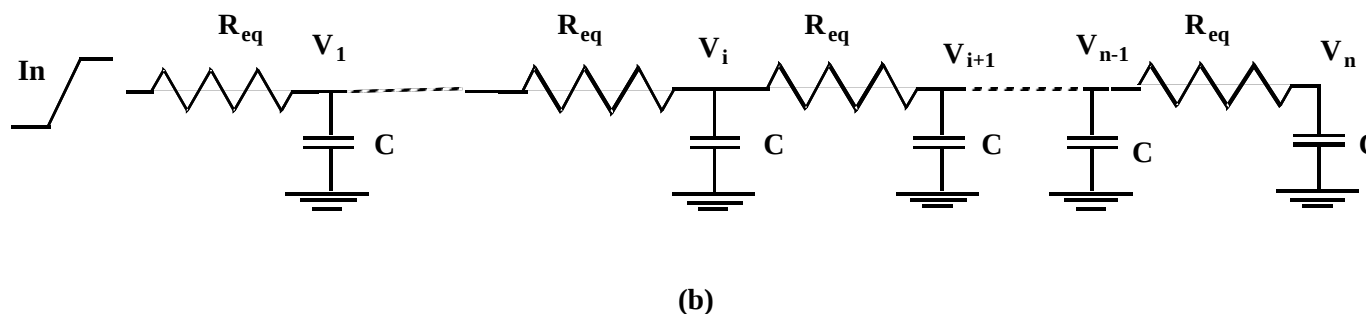
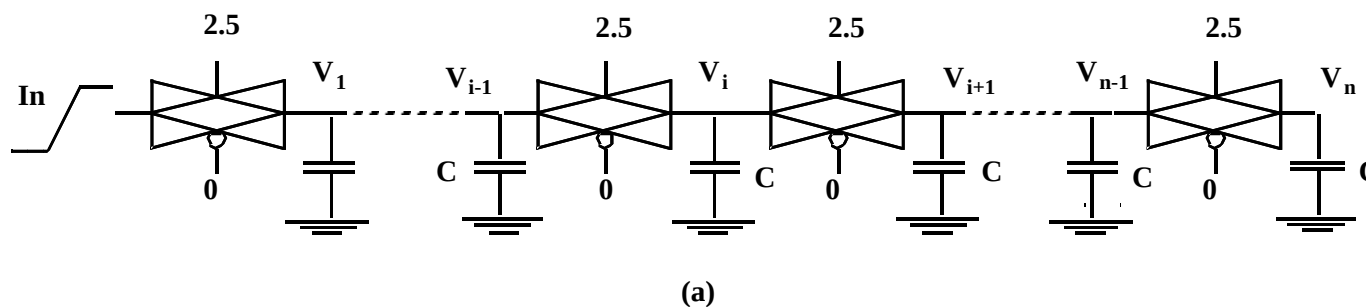


NMOS传输管逻辑下降时间快，互补型上升时间快。

传输管逻辑设计中需要注意：1. 所设计的并联支路控制信号每次只能让一路导通，而且必须有一路导通；2. 可以通过在输出端加反相器的方法增强驱动；



传输门网络的延时

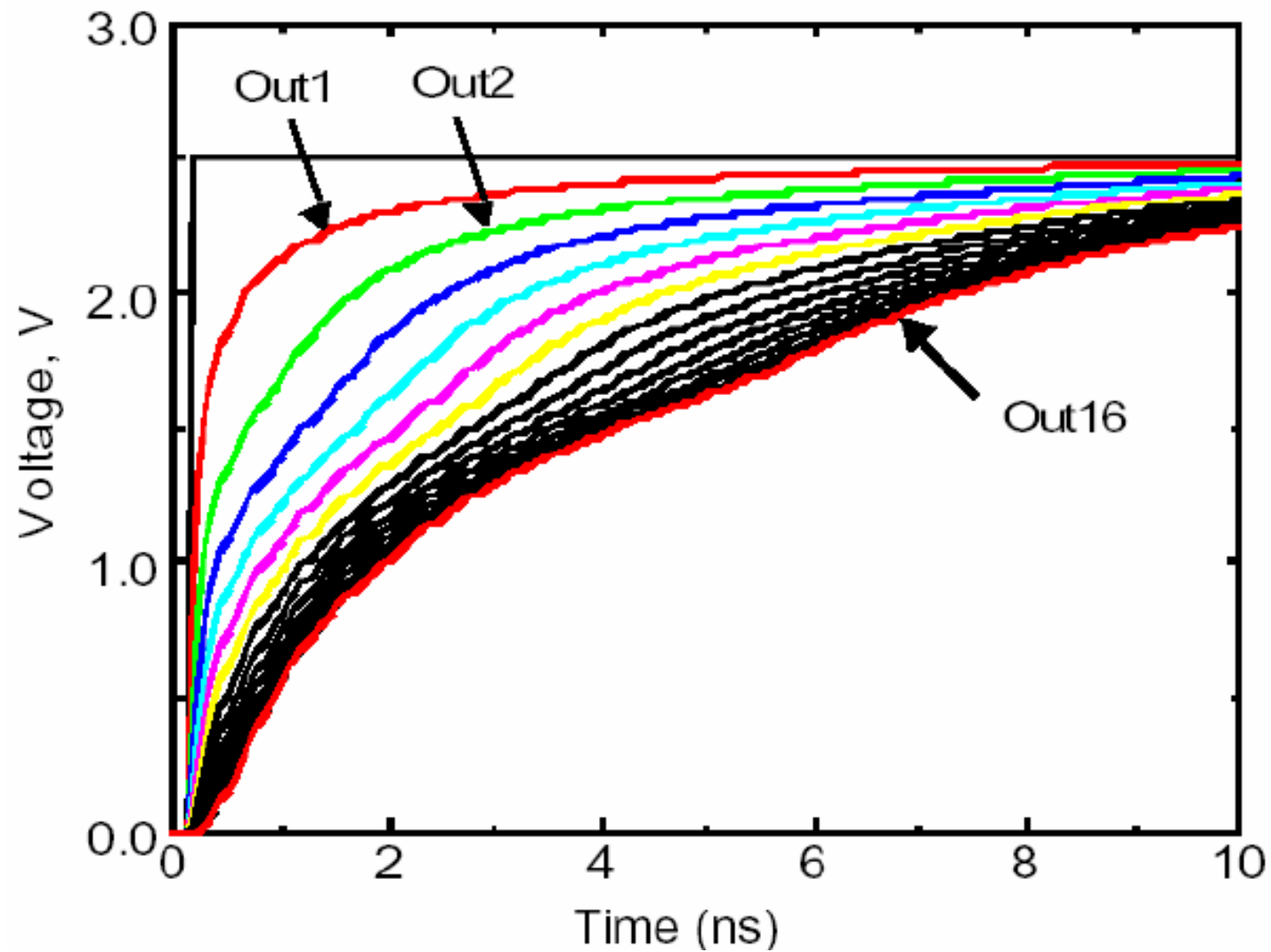


Elmore延时：延时增加随着电路级数的增加以平方关系增大。

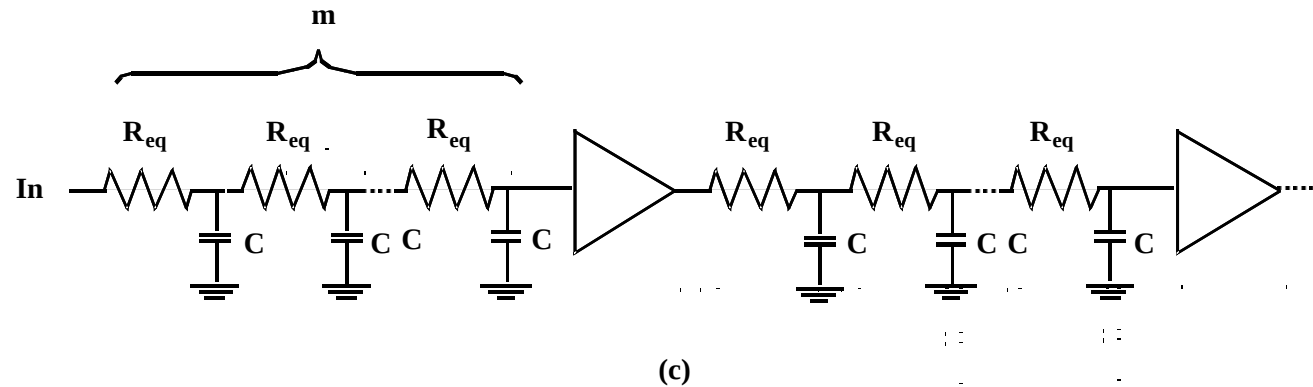
$$\begin{aligned} t_p &= 0.69(R_{eq}C + 2R_{eq}C + \dots + nR_{eq}C) \\ &= 0.69R_{eq}C \frac{n(n+1)}{2} \end{aligned}$$



传输门网络的延时



插入缓冲器优化传输门网络的延时



- 在传输门链中插入缓冲器可以减小延时。
- 需要插入多少个缓冲器？缓冲器也有延时。

$$t_p = 0.69 \left[\frac{n}{m} C R_{eq} \frac{m(m+1)}{2} \right] + \left(\frac{n}{m} - 1 \right) t_{buf}$$

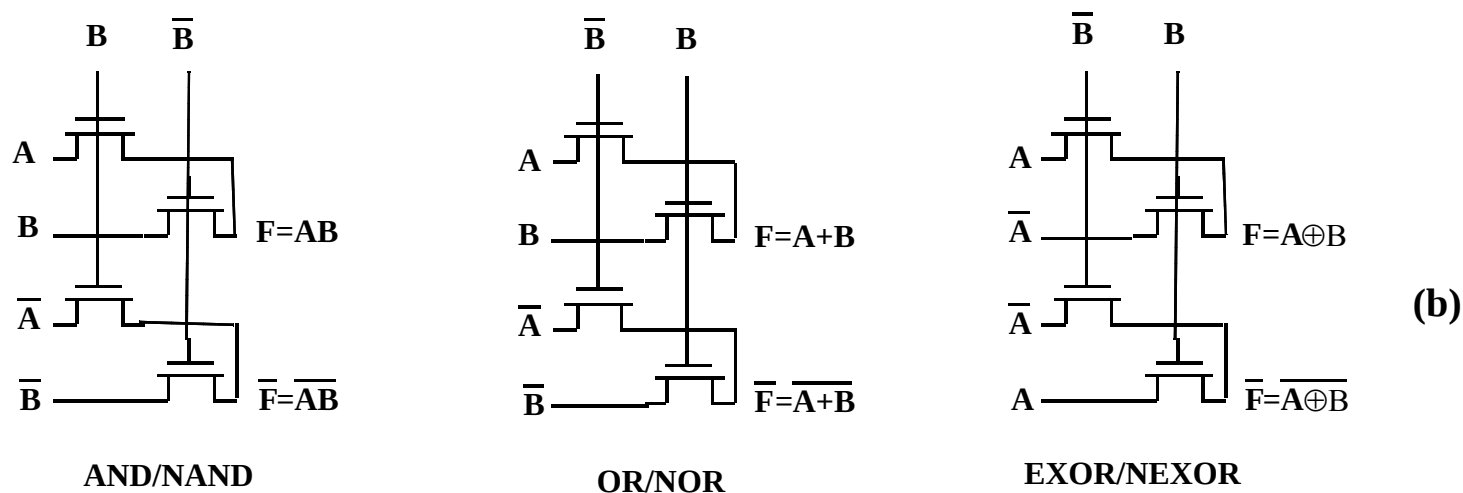
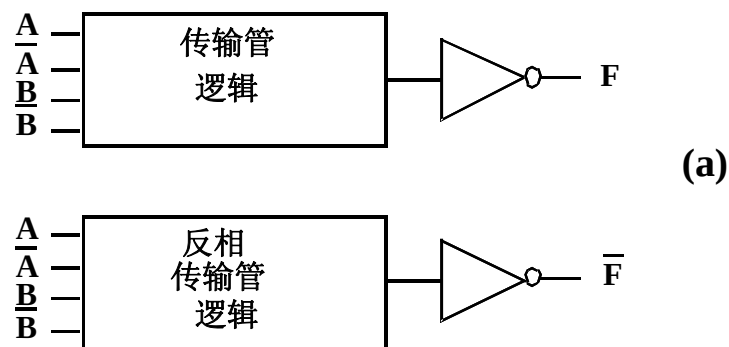
对 t_p 取偏导，并令其等于零，假设 t_{buf} 是常数。 $\frac{\partial t_p}{\partial m} = 0$

可得： $m_{opt} = 1.7 \sqrt{\frac{t_{buf}}{C R_{eq}}}$

在0.25um工艺中， m_{opt} 为3~4。



互补传输管逻辑

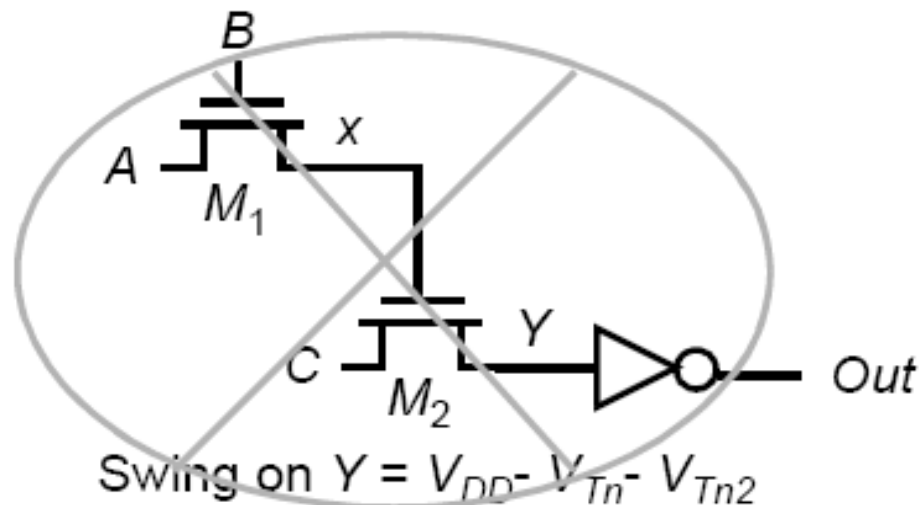


优点：面积小，寄生电容小，速度快。

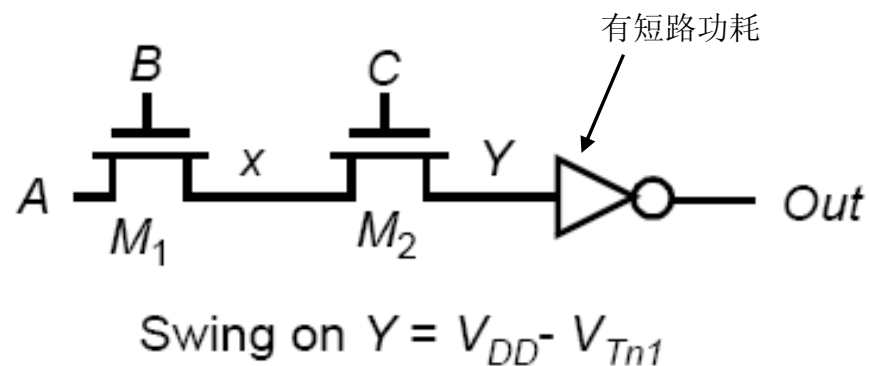
缺点：传输高电平时，存在阈值电压损失。



传输晶体管级联



阈值损失累积

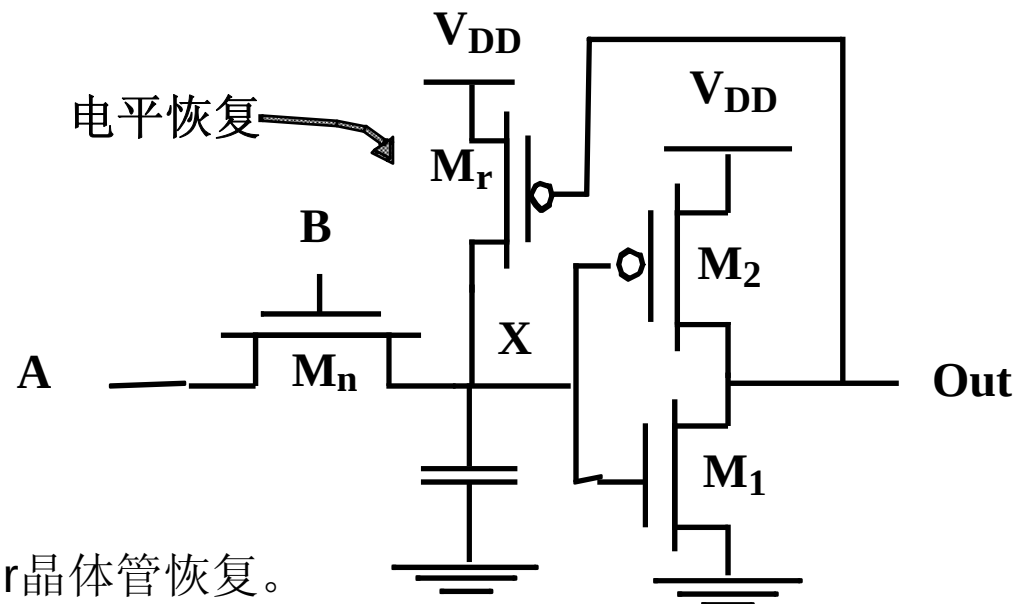


正确的方法，但速度会降低

如何避免阈值电压损失？ 传输门、电平恢复晶体管。



电平恢复晶体管

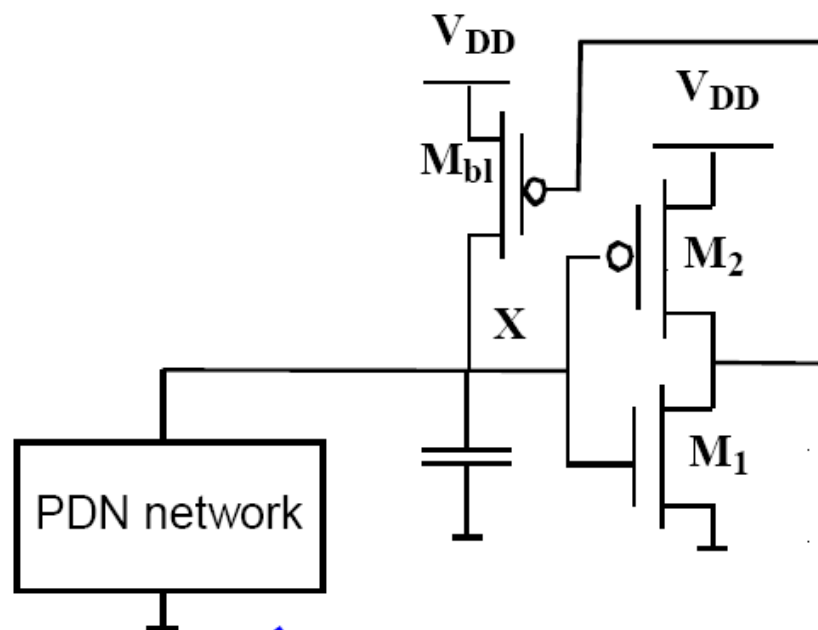


X点的电平被 M_r 晶体管恢复。

- 优点: 电压全摆幅; 无静态功耗;
- 恢复晶体管增加了寄生电容, 使X结点的下拉电流减小。
- 晶体管比例问题, 要仔细考虑 M_r 的尺寸; 速度变慢。



电平恢复晶体管尺寸

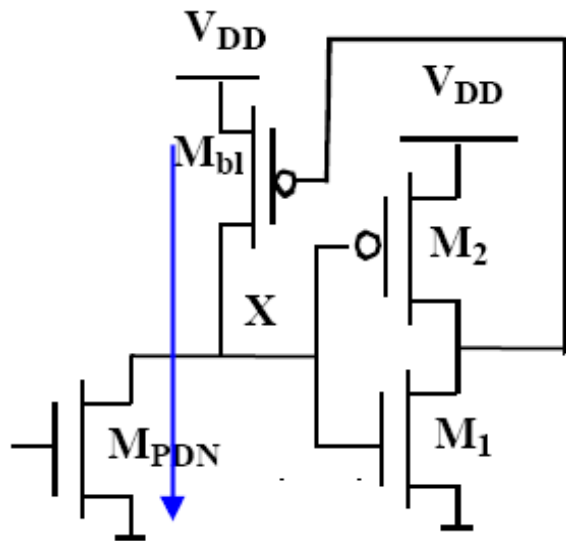


假设是其他的传输管逻辑

- 这是一个反馈回路，难以分析；
- 近似方法：
 - 考虑开路稳态情况；
 - 找出使反相器翻转的 V_x 电压的大小。
- M_{bl} 和PDN形成了有比逻辑门，两者的尺寸必须仔细设计，使得 V_x 的下拉低电平要低于反相器M1/M2的逻辑阈值电压。



电平恢复晶体管尺寸



- 假设PDN是单个NMOS管；
- PDN必须能使 V_X 下拉到 $V_{DD}/4$ ，以保证反相器翻转。

$$\underbrace{k_n((V_{DD} - V_{Tn})V_X - \frac{V_X^2}{2})}_{M_{PDN} \text{ 线性电流}} + \underbrace{k_p(-V_{DD} - V_{Tp})^2}_{M_{BL} \text{ 饱和电流}} = 0$$

M_{PDN} 线性电流 M_{BL} 饱和电流

当 V_X 很小的时候，假设忽略二次项， $V_X \ll (V_{DD} - V_{Tn})$

$$V_X = \frac{k_p(V_{DD} + V_{Tp})^2}{k_n(V_{DD} - V_{Tn})} \leq \frac{V_{DD}}{4}$$

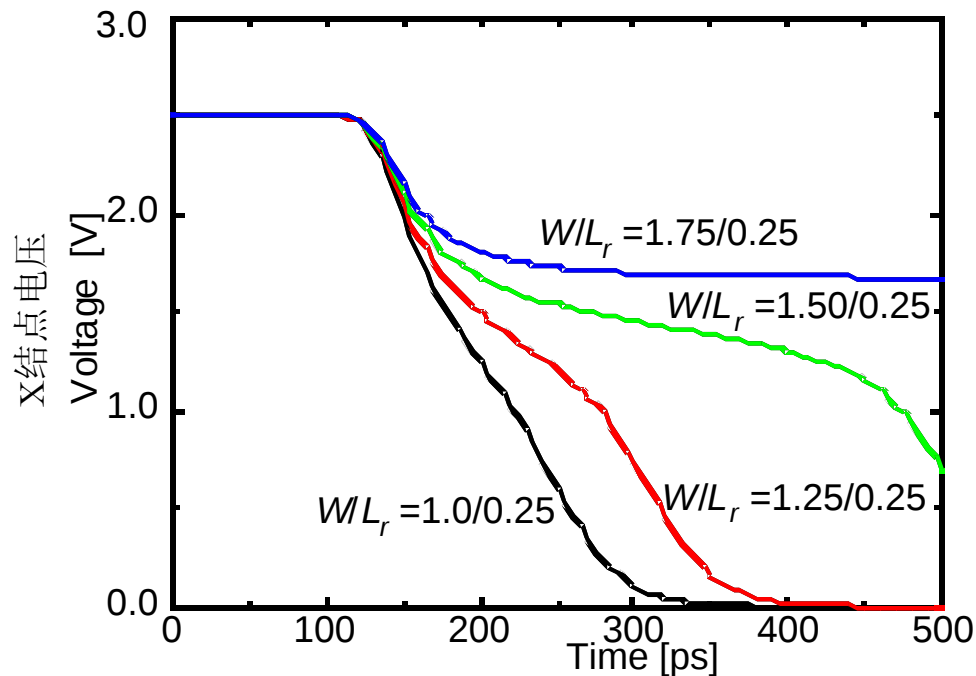
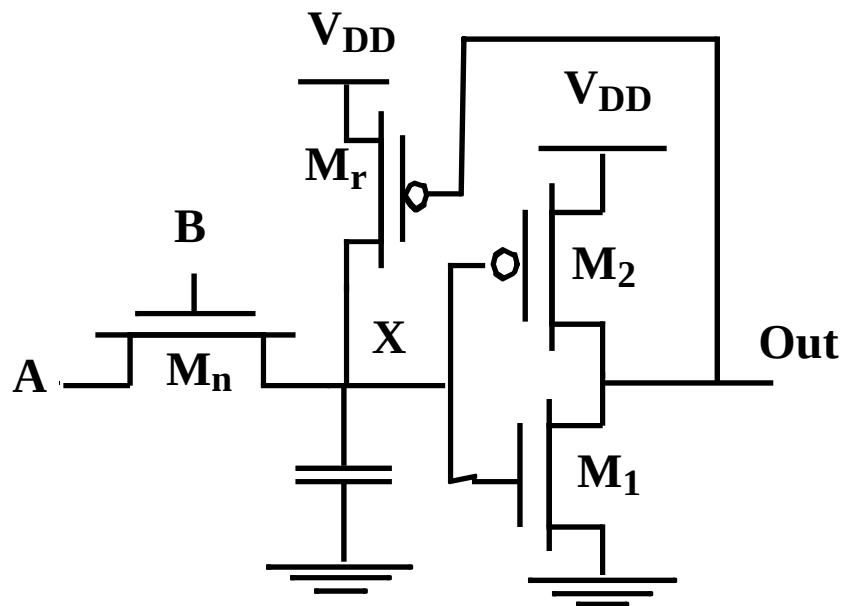
可以求出：

$$\frac{W_n / L_n}{W_p / L_p} \geq \frac{\mu_p(V_{DD} + V_{Tp})^2}{\mu_n(V_{DD} - V_{Tn})V_{DD} / 4} \quad \text{有比逻辑！}$$

这是个最坏情况近似，使 V_X 下拉到 $V_{DD}/4$ ，反相器早已经开始翻转，使 M_{BL} 关断。



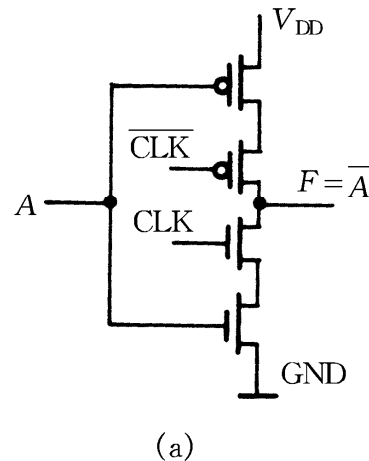
恢复晶体管的尺寸——仿真结果



- M_r 是电平恢复晶体管， M_n 尺寸固定为 $0.5/0.25\mu\text{m}$ 时，恢复晶体管的尺寸上限为 $1.5/0.25\mu\text{m}$ ，超过该值，结点X不能降低到反相器阈值电压以下，输出不能切换了。
- 传输晶体管下拉可能有多个晶体管串联的情况

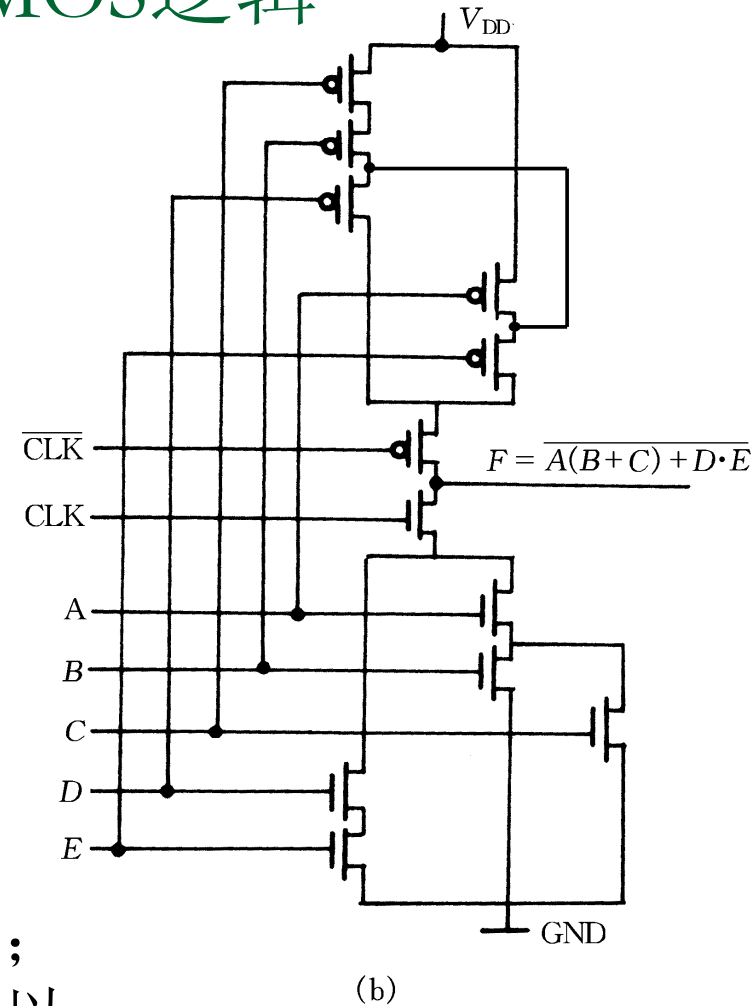


4.4 钟控CMOS逻辑—C²MOS逻辑



钟控CMOS门

(a)反相器; (b)复合门

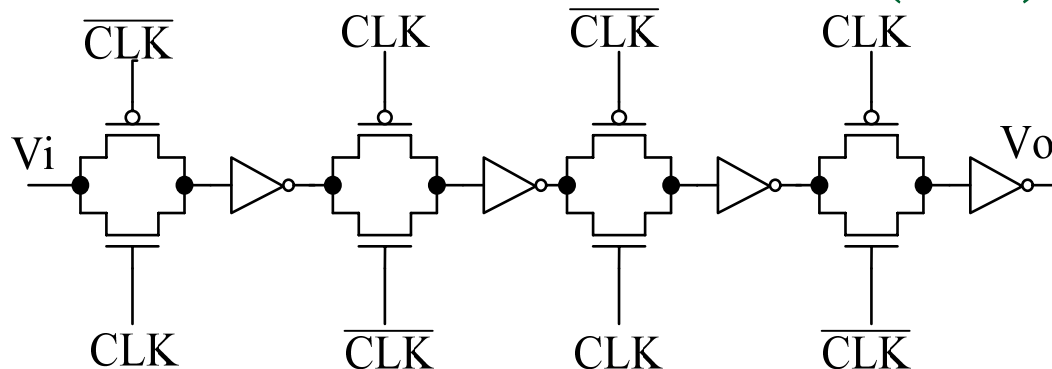


优点：容易实现同步逻辑；面积小；
缺点：信号保存在寄生电容上，所以
信号时钟频率不能太低； t_r 和 t_f 变大

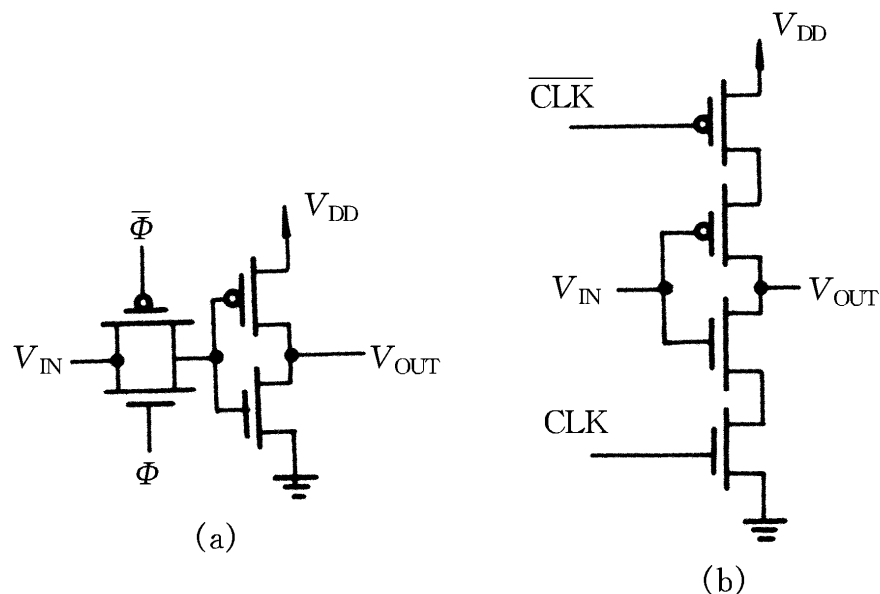
CLK高电平，输出有效逻辑；
CLK低电平，输出高阻态；



钟控CMOS逻辑—C²MOS逻辑(续1)



C²MOS逻辑应用——动态CMOS移位寄存器

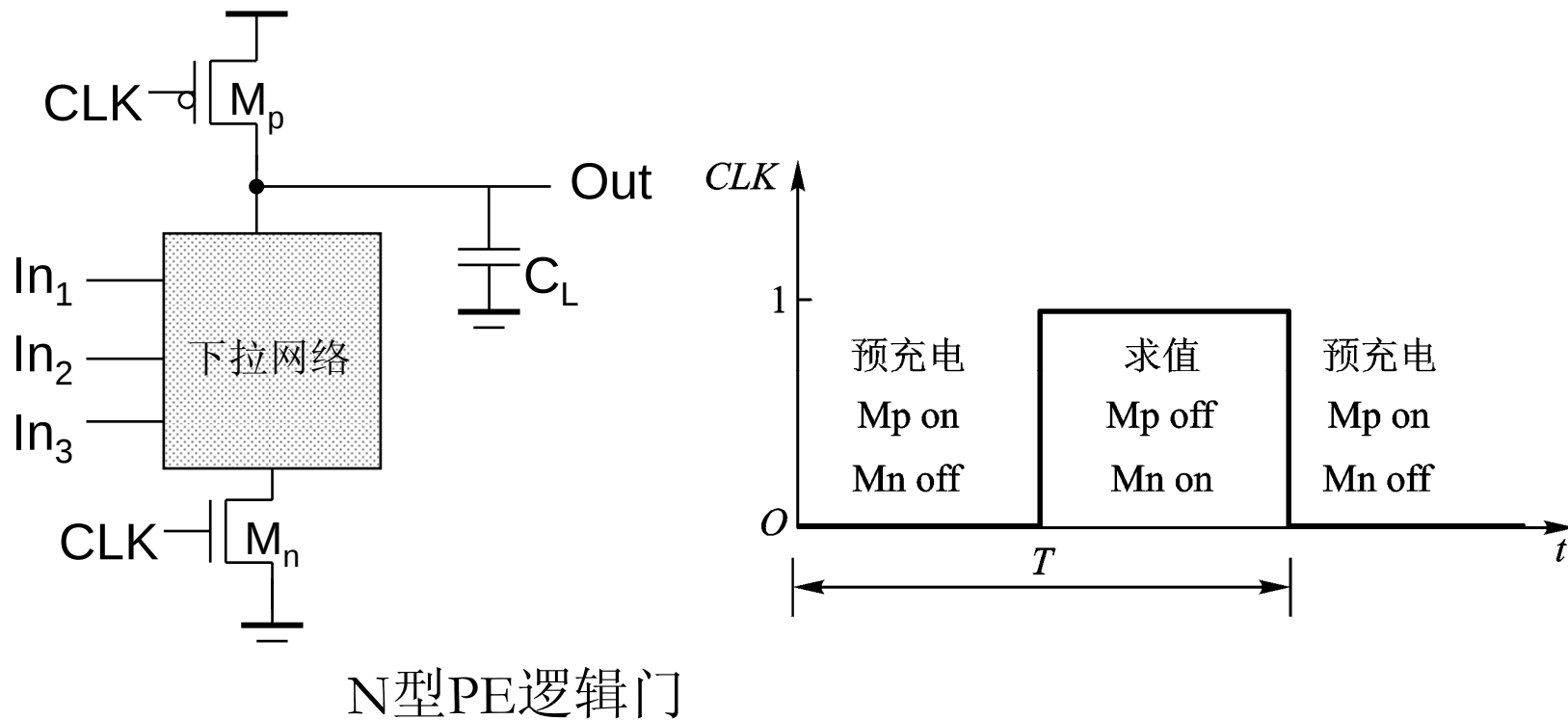


使用钟控CMOS逻辑，可以使版图更简单：
2个PMOS的源漏区可以合并，2个NMOS的源漏区可以合并，减少了连接点数目，使接触孔数目减少，减小了寄生电容和版图面积。

思考：钟控MOS管放在两端和中间有什么区别，哪一种更好？



4.5 动态CMOS逻辑—PE逻辑



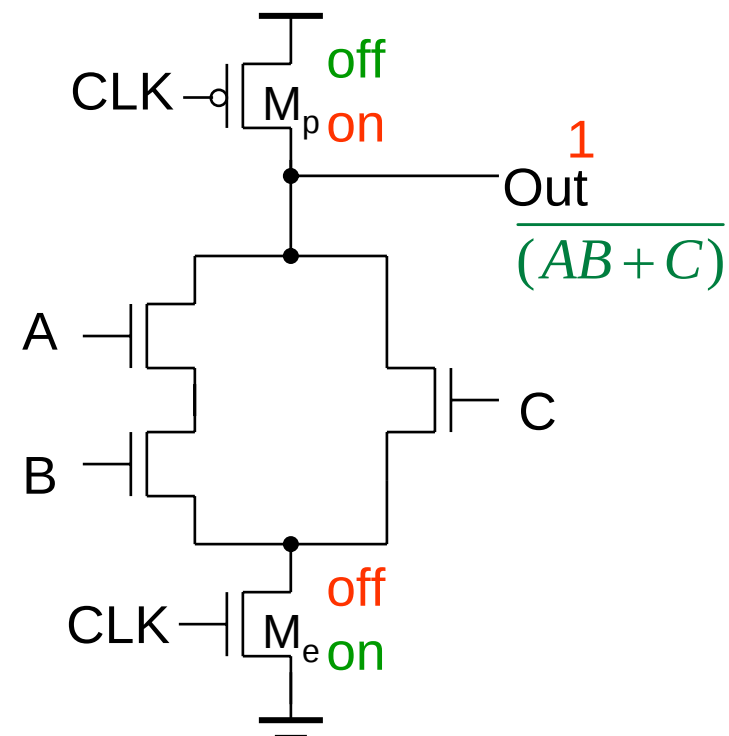
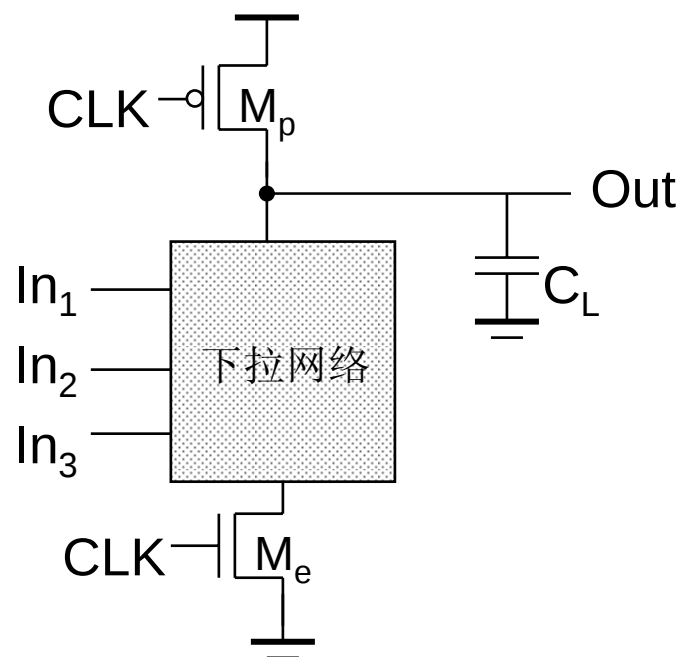
两相操作

Precharge (CLK = 0)

Evaluate (CLK = 1)



动态CMOS逻辑—PE逻辑



两相操作

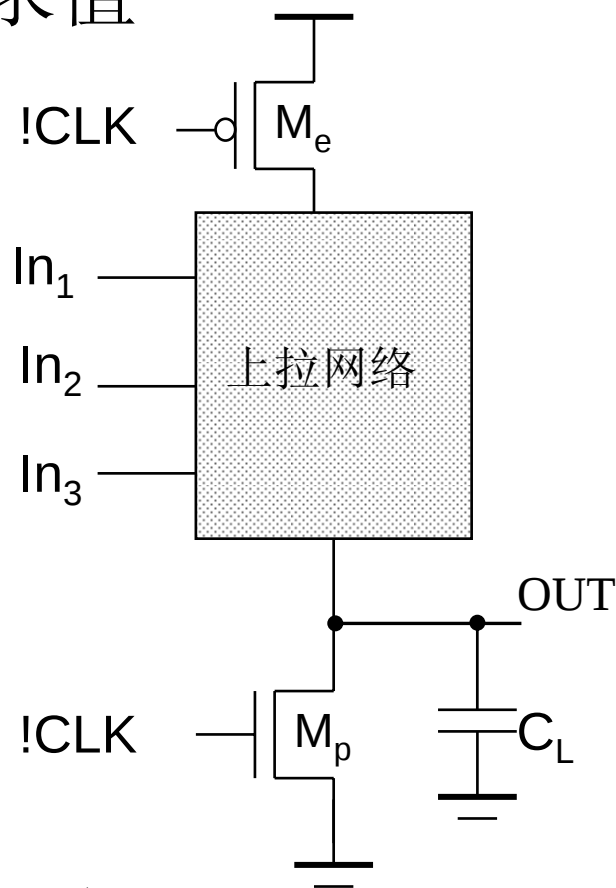
Precharge (CLK = 0)

Evaluate (CLK = 1)



动态CMOS逻辑—PE逻辑

■ 上拉网络求值



两相操作

Precharge (!CLK = 0)

Evaluate (!CLK = 1)

速度比上拉的NMOS
PE逻辑慢。

P型PE逻辑门



动态CMOS逻辑—PE逻辑

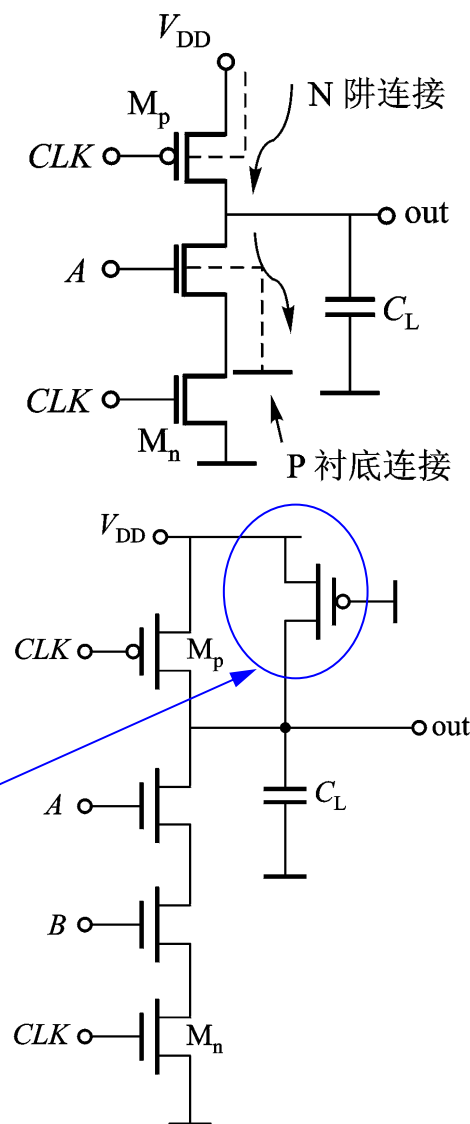
- PE逻辑优点：所需元件少，面积小；为无比电路，输出电压为全摆幅；输入端仅为一个NMOS或者一个PMOS，输入电容减少一半；速度比静态逻辑快；无短路功耗；无静态功耗；
- 缺点：
 - 上拉网络的PE逻辑上升时间增大，下拉逻辑的PE逻辑下降时间增大；
 - 所有输入只能在预充电阶段变化，在求值阶段输入要保持稳定；
 - 输入信号在求值阶段变化，可能会引起电荷再分布效应，使输出电压受到破坏；
 - 采用同一单相时钟的PE逻辑门之间不能直接级联；
 - 噪声容限小，下拉逻辑开关切换阈值为 V_{Tn} ，上拉逻辑开关切换阈值为 V_{Tp} ；
 - 功耗大：电荷不能保持，每个周期要从 V_{DD} 吸取电流；时钟电路功耗很大；电路翻转率高；



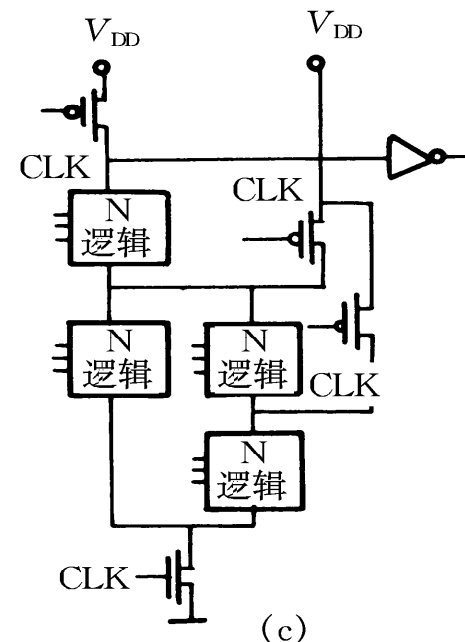
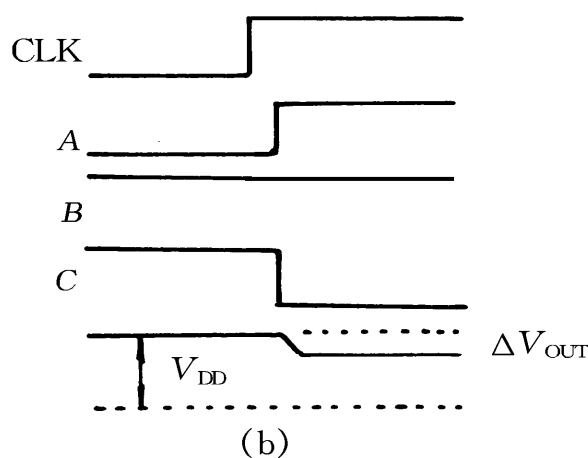
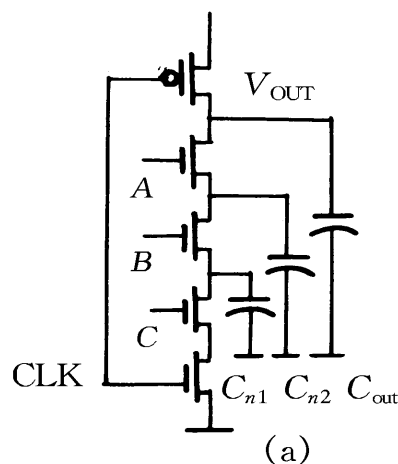
动态CMOS逻辑——电荷泄漏

- 求值阶段 $A=0$ ，输出寄生电容要维持高电平；
- 由于电荷泄露，限制了时钟的最低频率；
- 漏电流来源：PN结漏流、亚阈值电流；
- 采用弱上拉器件补偿漏流；

上拉PMOS晶体管的宽长比很小，不会与下拉晶体管相抗衡。但会使高速电路速度降低。



动态CMOS逻辑—电荷分享

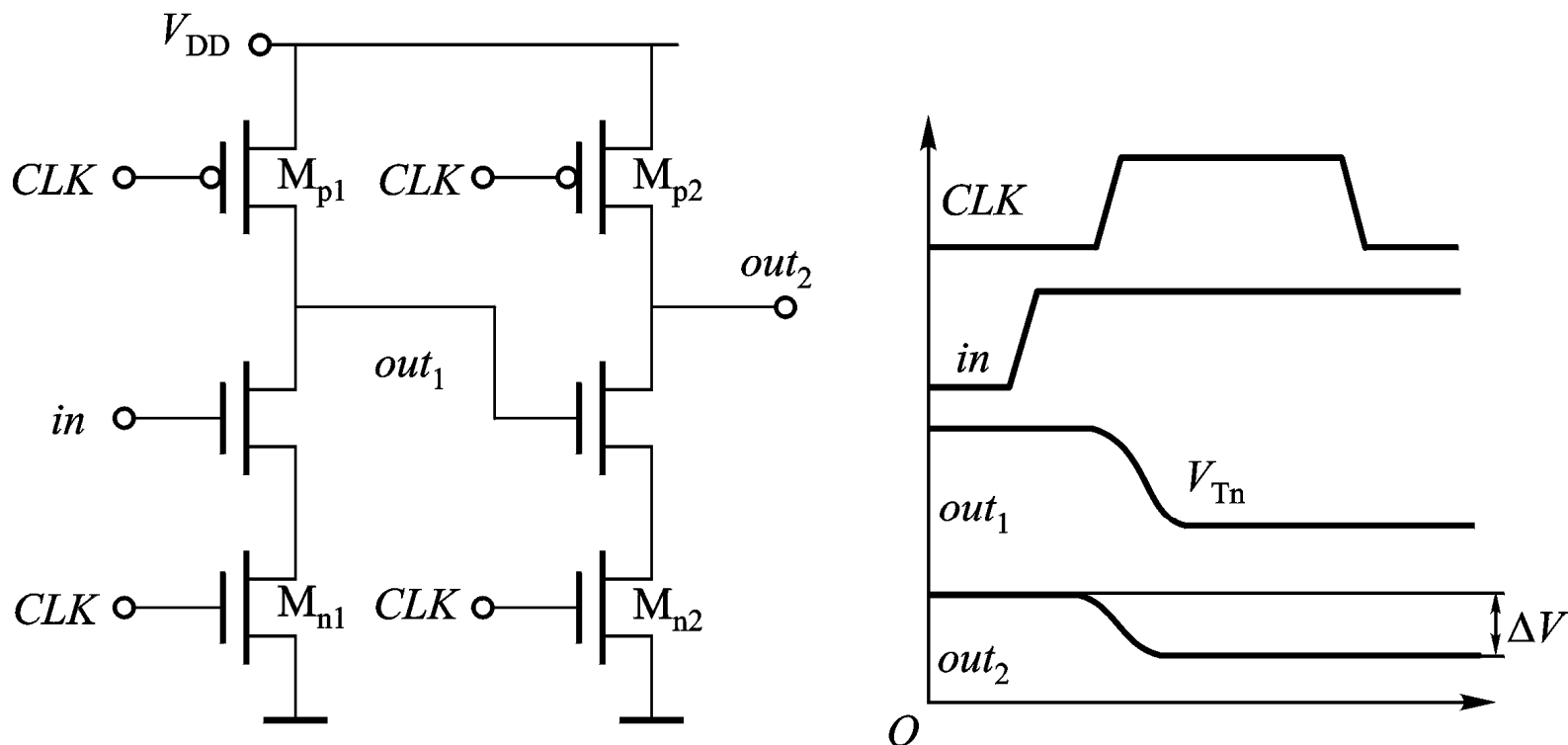


$$V_{out} = V_{DD} \frac{C_{out}}{C_{out} + C_{n1} + C_{n2}}$$

解决方法：采用非串联逻辑，如或非；减小结点寄生电容；增大输出电容(速度要求不高)；对内部结点进行单独充电，如图(c)，但这样会增加面积和降低速度。输入端只允许在预充电阶段变化，在求值阶段必须保持稳定。



动态CMOS逻辑—PE逻辑不能直接级联



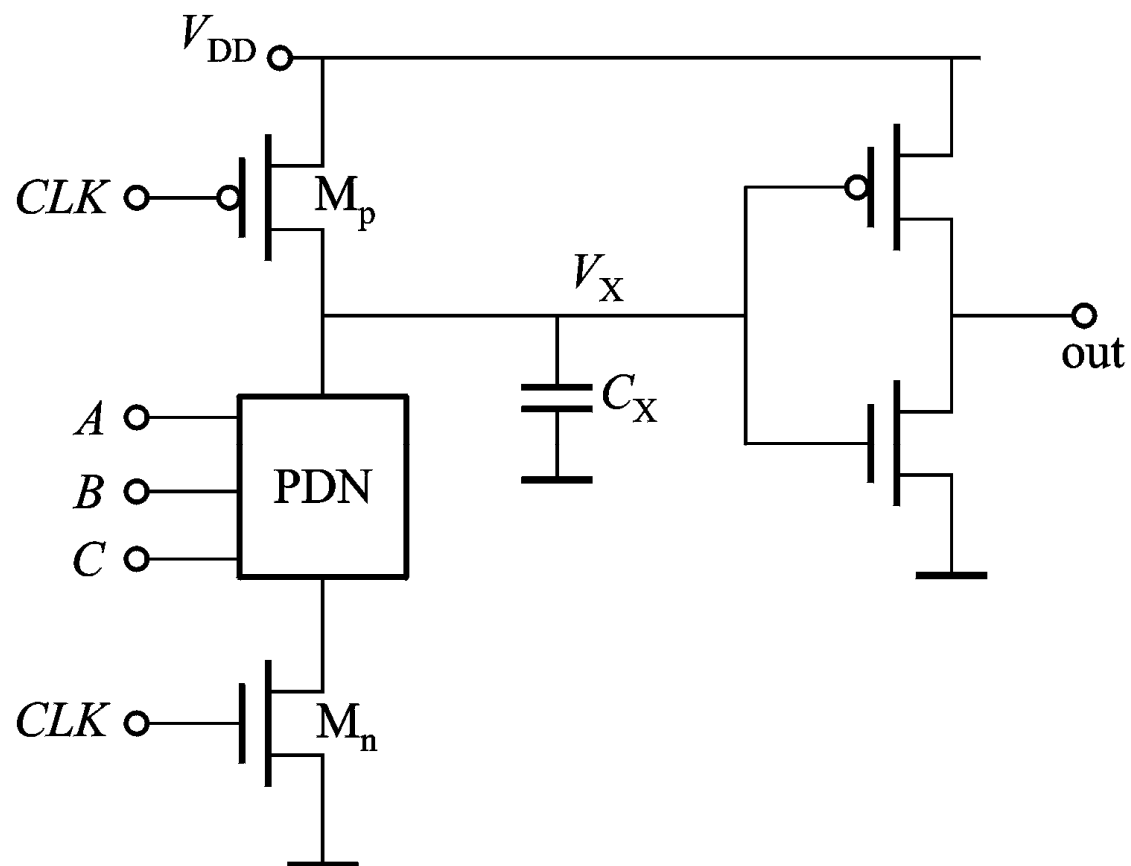
直接级联的动态**CMOS**产生错误逻辑

求值期间，电路的输出只能存在0到1的变化，不允许1到0的变化。

解决方法：1. 采用多米诺逻辑；2. 采用NP多米诺逻辑；3. 采用多相时钟，避免前级在放电延时期对下一级造成强迫放电。



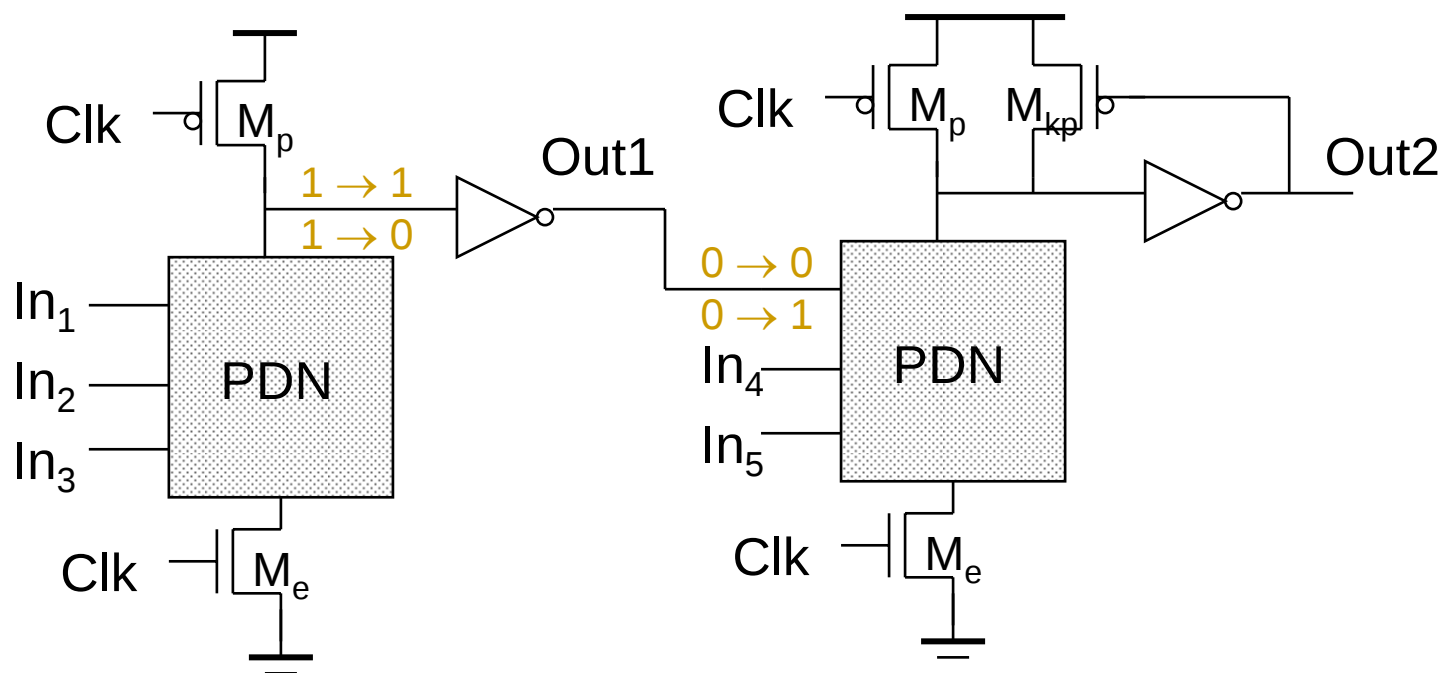
4.5.5 多米诺逻辑



缺点：1. 每一级门必须有一个反相缓冲器；2. 只能获得非倒相结构；3. 存在电荷共享效应；



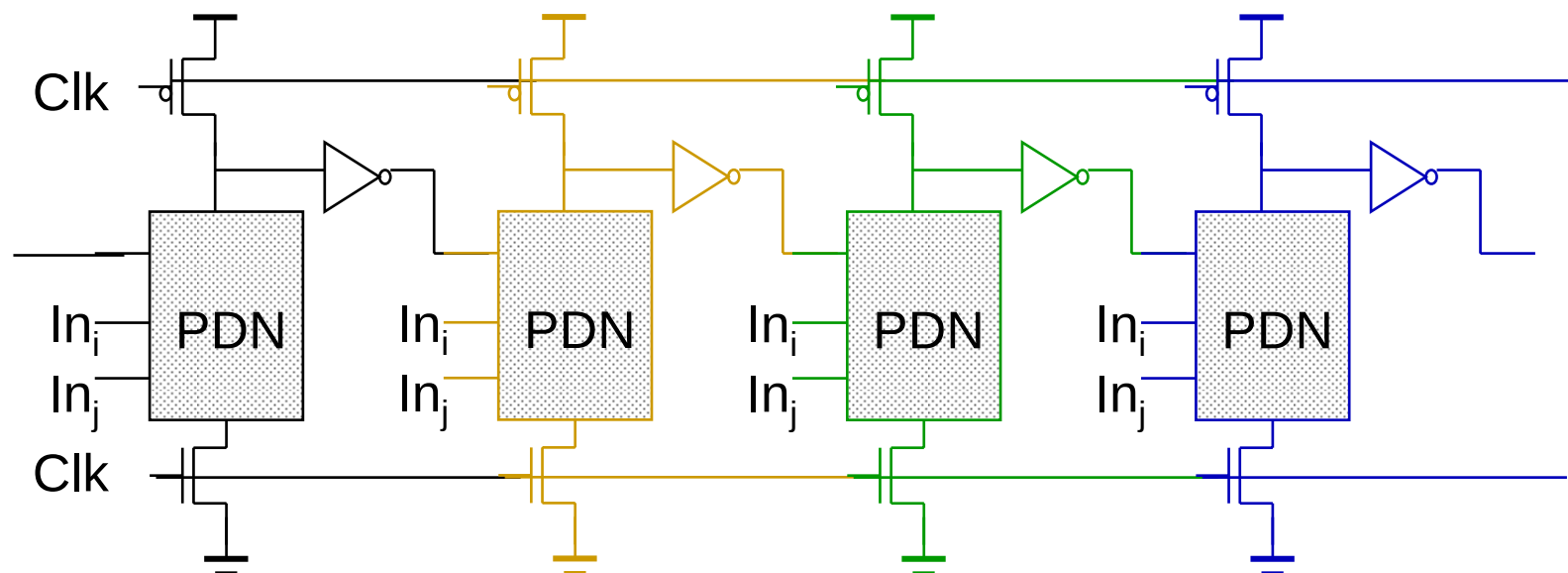
多米诺(Domino)逻辑



- 静态反相器保证动态逻辑所有输入初始都为0。
- 级联的动态门输入全部为0→1变化。
- 反相器还可以用来驱动电平恢复晶体管。



为什么叫多米诺?



象倒塌的多米诺骨牌

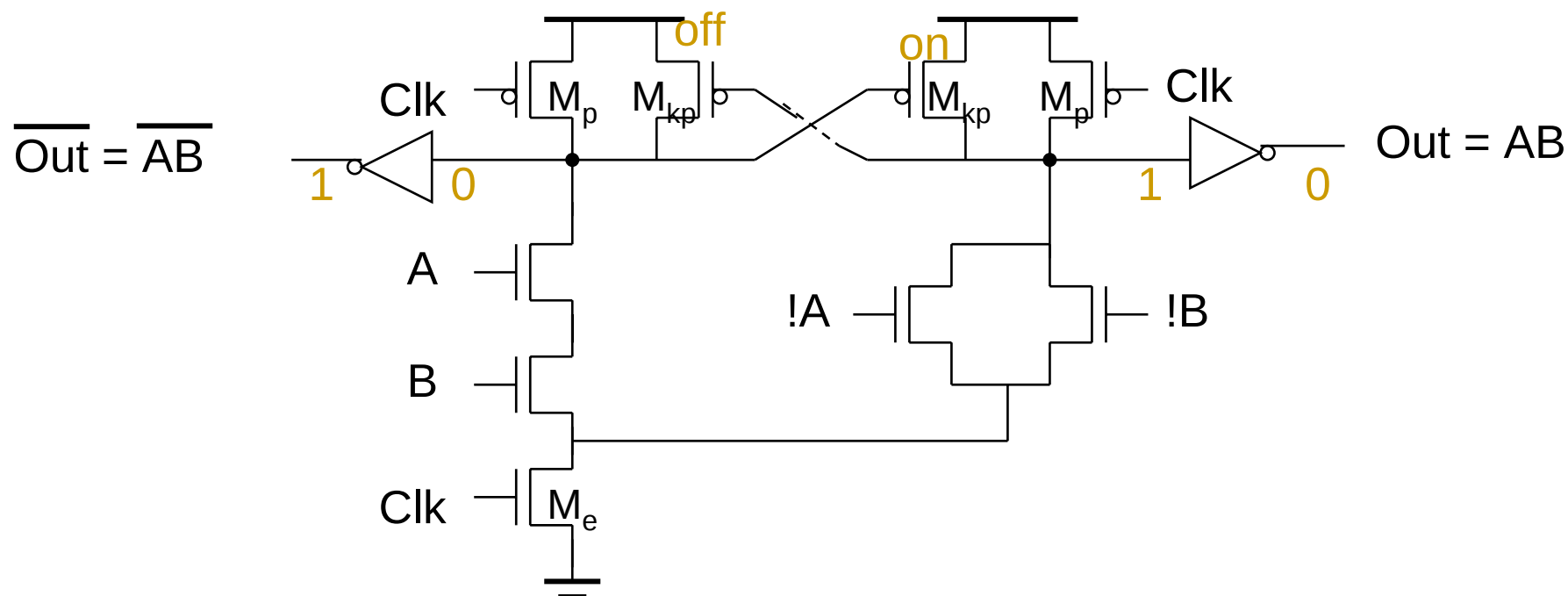


多米诺逻辑的特点

- 速度非常高
 - 静态反相器可以设计成非对称的，只要考虑L-H的跳变
 - 减少了输入电容——更小的逻辑努力
- 只能实现非反相逻辑——主要限制因素
- 非反相逻辑解决方法：
 - 逻辑变换(De Morgan定理)——不总是有效
 - 双轨多米诺(dual rail domino)



差分(Dual Rail) Domino



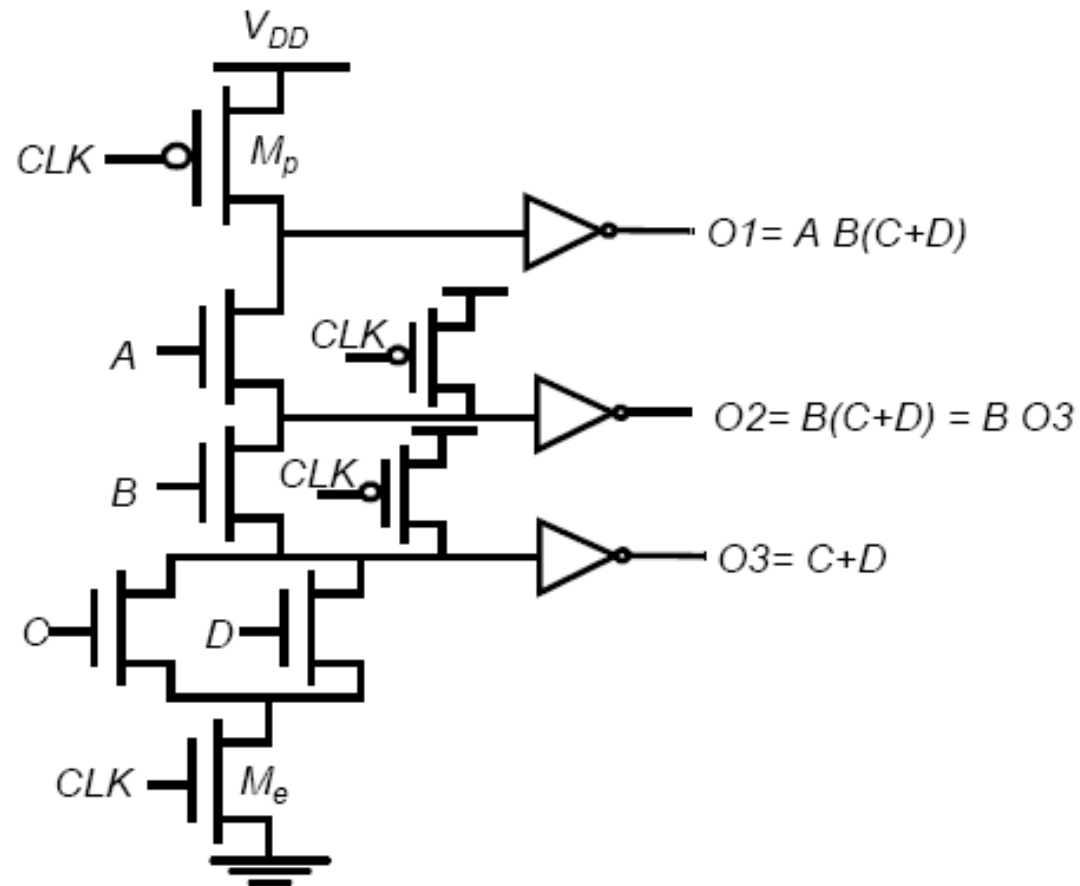
原理：两边同时预充电到1，只有一边产生跳变。

解决了非反相逻辑的问题，高性能电路。

缺点：增大了面积！功耗：始终存在跳变。



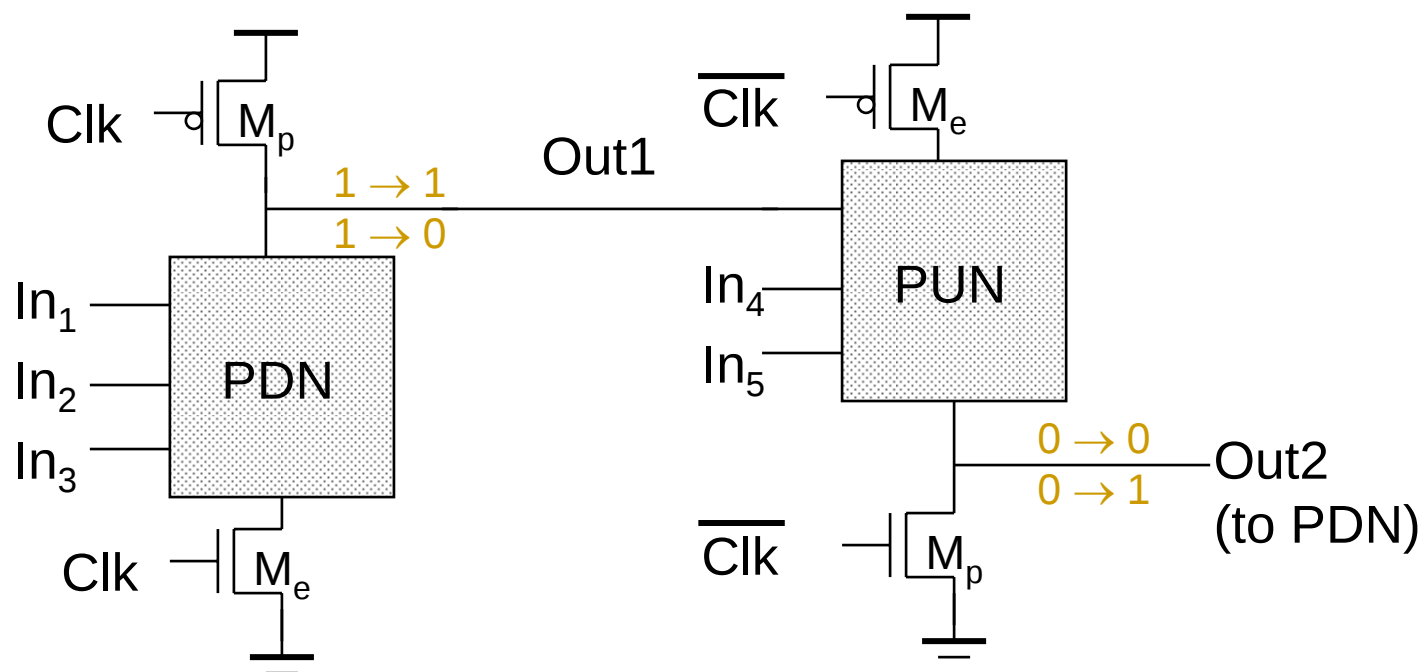
多输出多米诺



- 利用PDN的层次产生中间的输出。
- 中间结点也必须预充电。



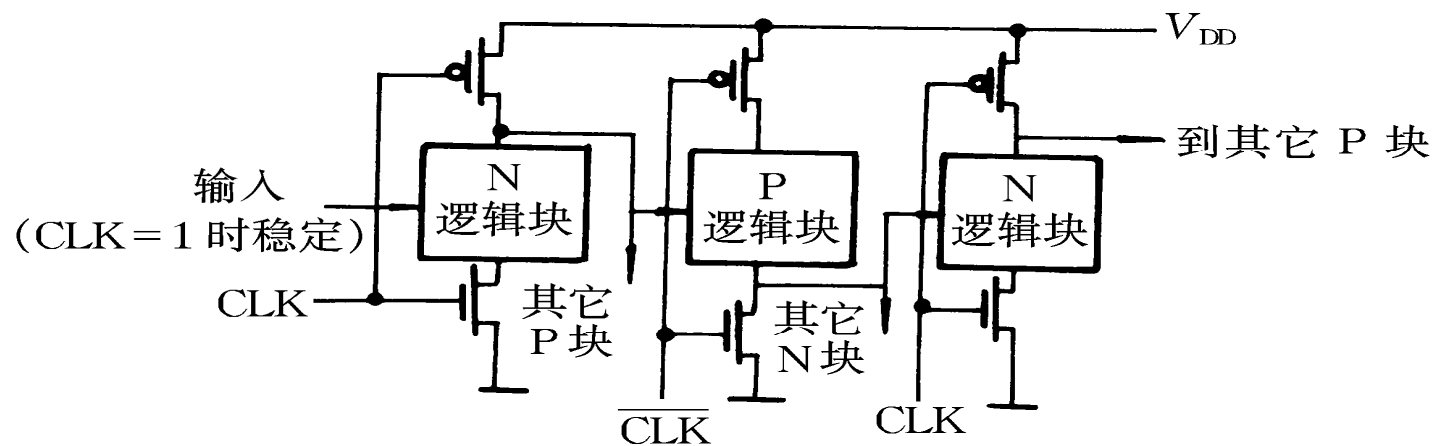
4.5.6 NP多米诺(domino)逻辑



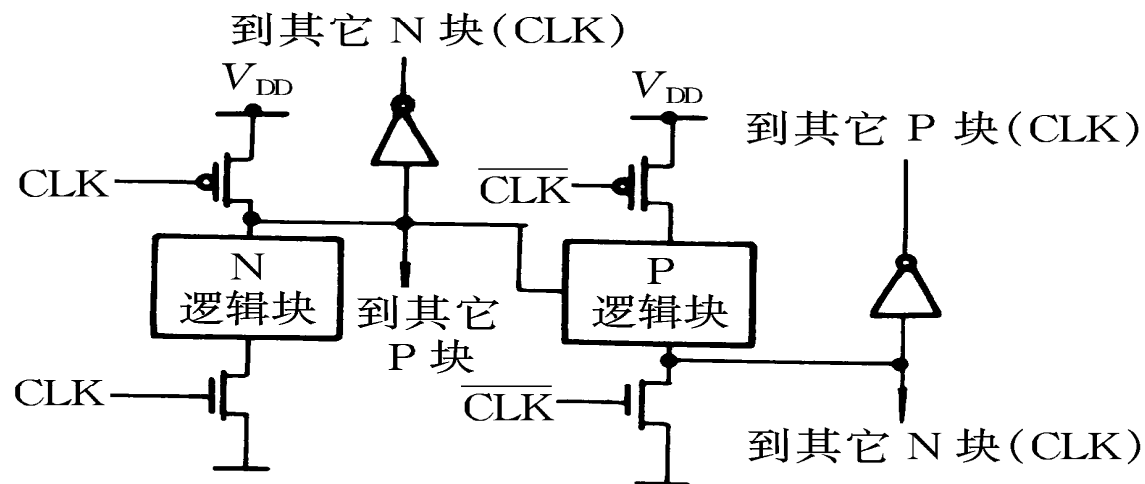
PDN的输入只允许 $0 \rightarrow 1$ 跳变
PUN的输入只允许 $1 \rightarrow 0$ 跳变



NP多米诺(domino)逻辑(拉链CMOS)



(a)



(b)

交替的N与P多米诺逻辑



结论：动态逻辑与静态逻辑对比

- 由于其高阻的本质，动态逻辑电路的设计很复杂，需要在电路级格外小心进行。
 - 难以实现设计自动化——综合、自动布局布线等这些基于静态CMOS标准单元的设计流程。设计效率低。
 - 动态逻辑的功耗通常更大。
 - 一点不比标准CMOS容易...
-
- 动态逻辑的主要优点是可以达到更高的速度性能。

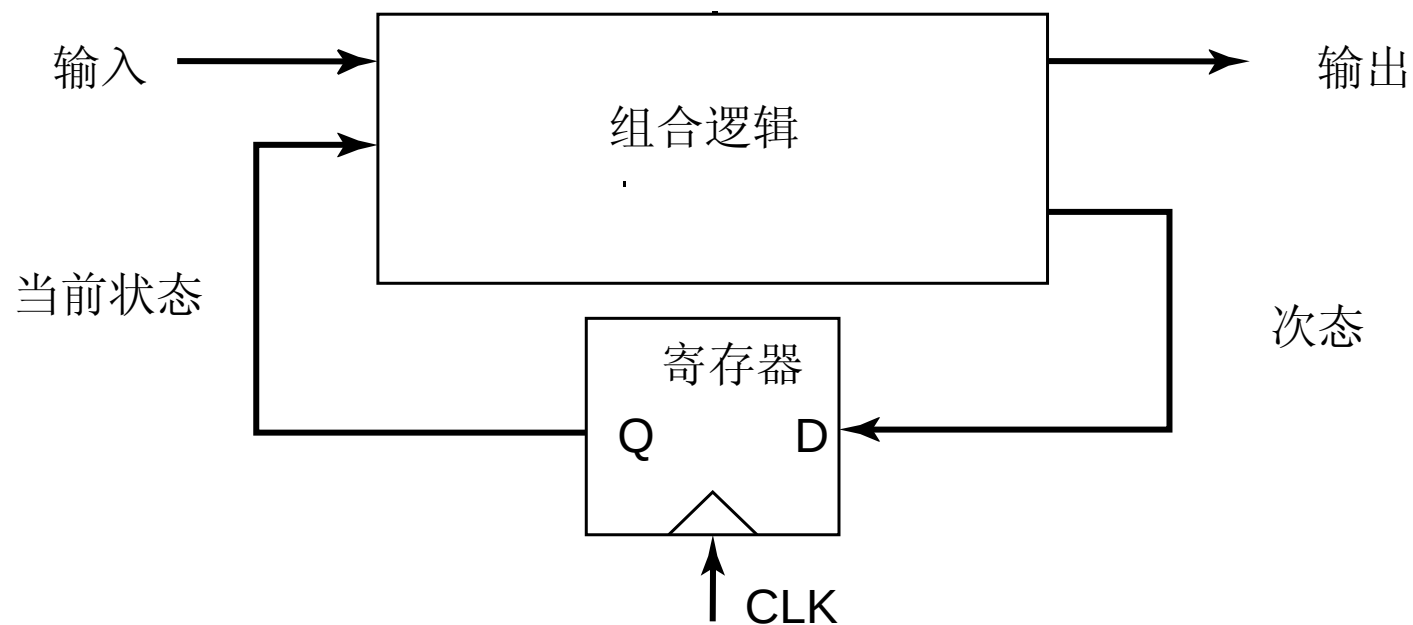


总结（组合逻辑电路）

- 静态互补CMOS结合对偶的PDN和PUN，任何时候只有其中一个导通的。
- CMOS门的性能与扇入密切相关，解决扇入问题的技术有改变尺寸、输入顺序重排以及结构划分。速度与扇出呈线性关系，大扇出时需要额外的缓冲器。
- 有比逻辑只有一个上拉器件，减小了面积和复杂性，其代价是静态功耗和响应不对称。设计晶体管尺寸非常重要，主要电路有伪NMOS和DCVSL。
- 传输管逻辑实现某些逻辑功能非常简单，如XOR。要避免长开关级联，其延时与串联的器件数目成平方关系。
- 动态逻辑基于电荷存储在电容结点及对该结点有条件放电。这要求动态逻辑工作分为预充电和求值两个阶段。它利用噪声容限换取性能，对漏电、电荷分享及时钟馈通等很敏感，串联使用时可能引起问题，要小心处理。
- 逻辑网络的功耗与网络的开关活动性有关。



CMOS寄存器——时序逻辑



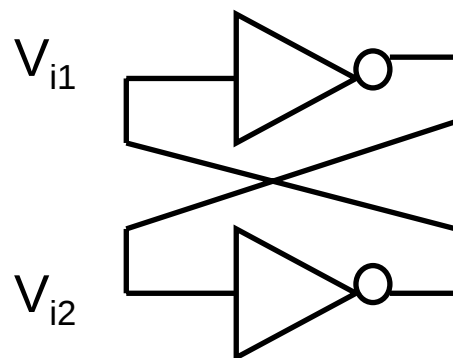
2两种存储机制

- 正反馈——静态
- 基于电荷存储——动态



CMOS时序电路

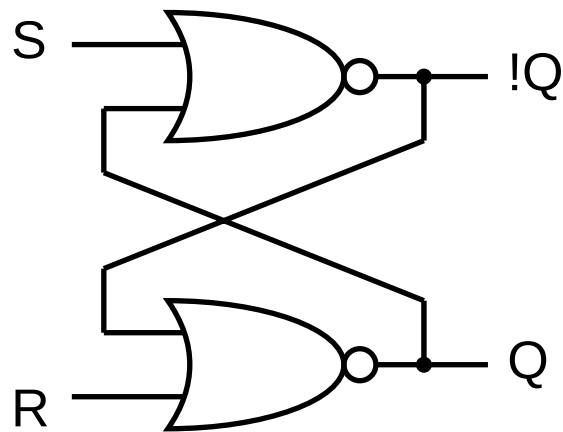
■ 双稳电路



可以用来构成存储单元(锁存器, 触发器), SRAM



RS锁存器(Latch)

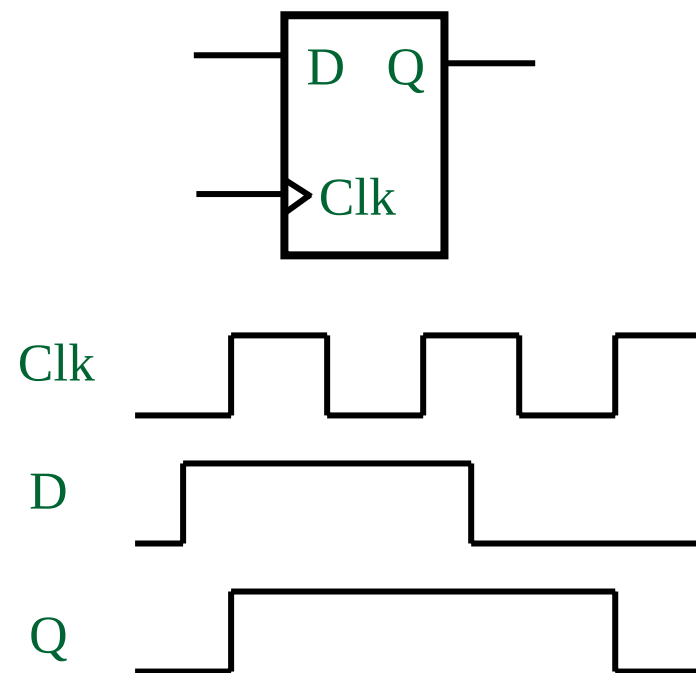
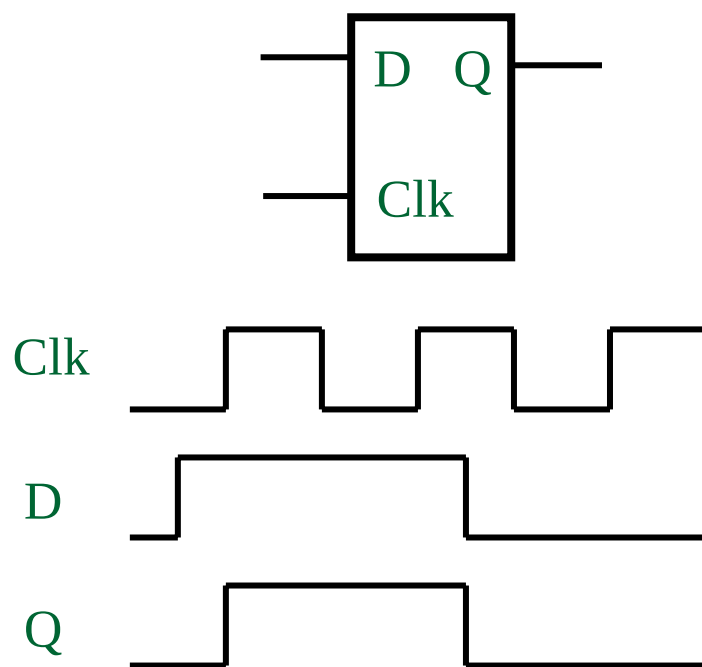


S	R	Q	!Q	
0	0	Q	!Q	保存
1	0	1	0	置位
0	1	0	1	复位
1	1	0	0	禁止



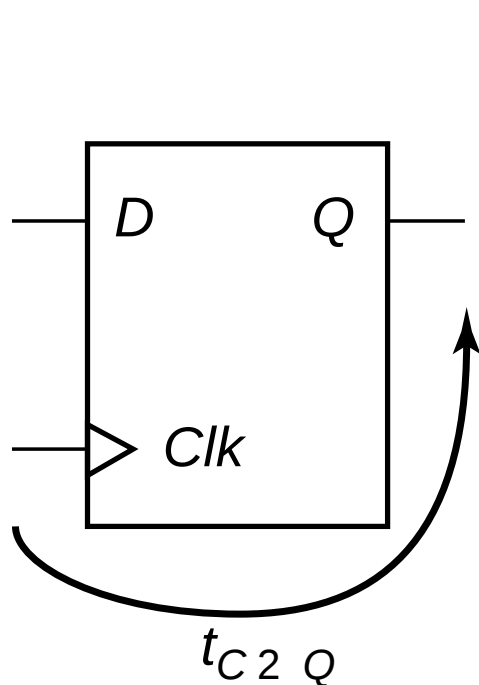
锁存器(Latch)和触发器(Flip Flop)

- Latch是电平敏感
- Flip Flop是边沿敏感

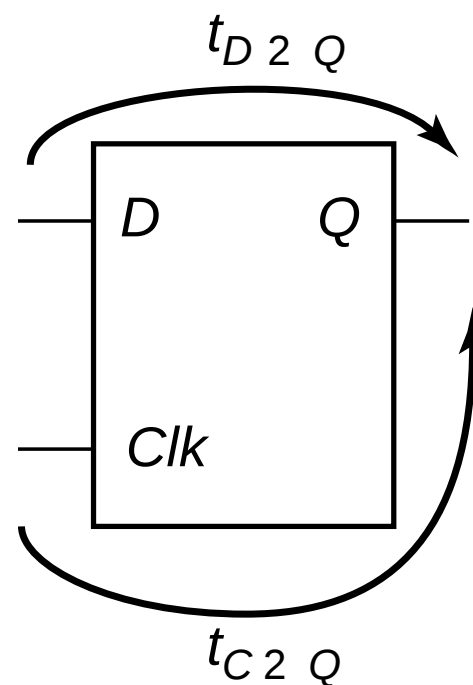


锁存器(Latch)和触发器(Flip Flop)

■ 时间特性



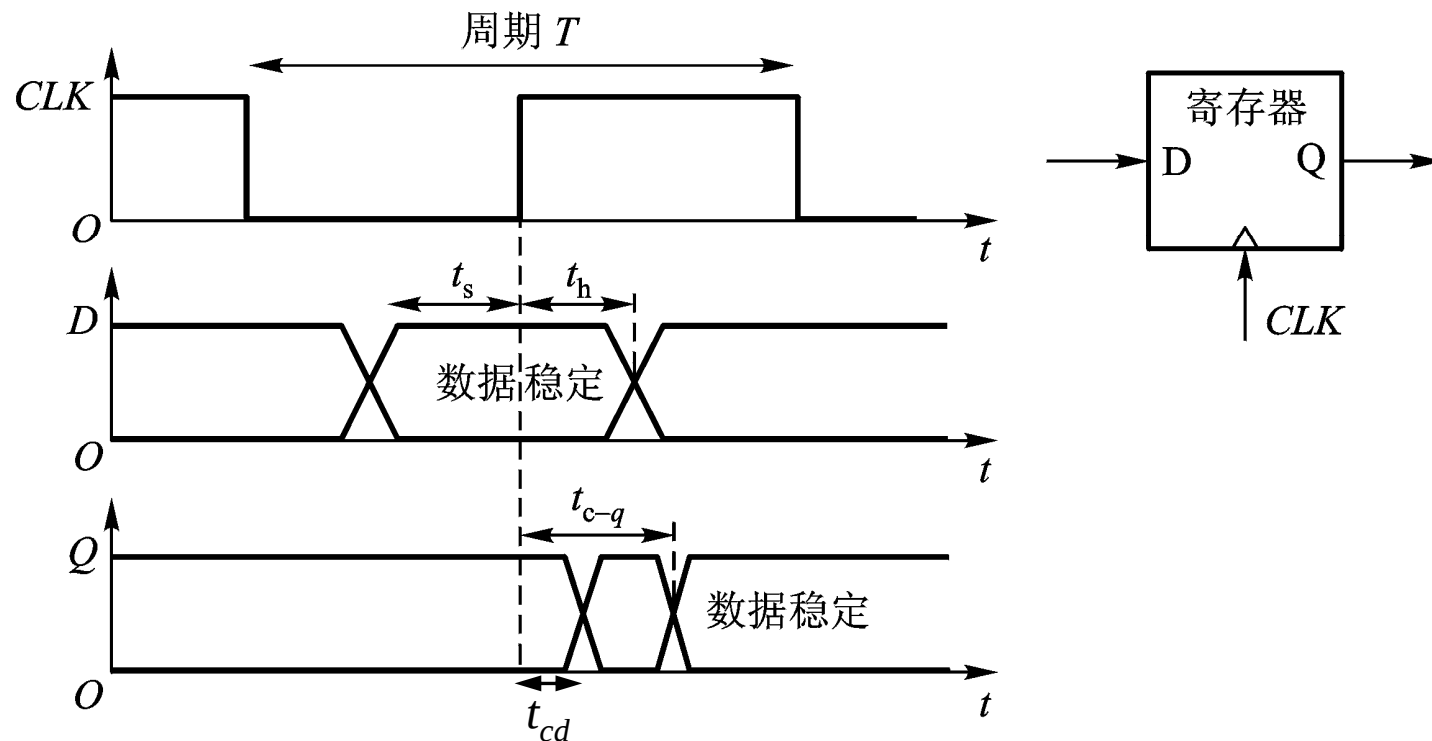
触发器



锁存器



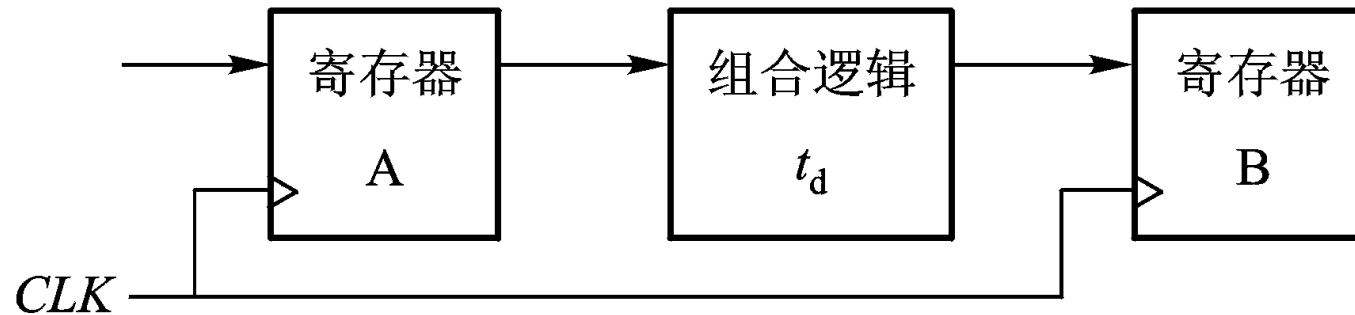
时序电路的时间参数



- t_s = 建立时间: 在时钟上升沿之前数据必须稳定的时间
- t_h = 保持时间: 在时钟上升沿之后数据保持稳定的时间
- t_{c-q} = 最坏情况的传输延时(相对于时钟上升沿)
- t_{cd} = 污染时间(最小传输延时)



系统时序

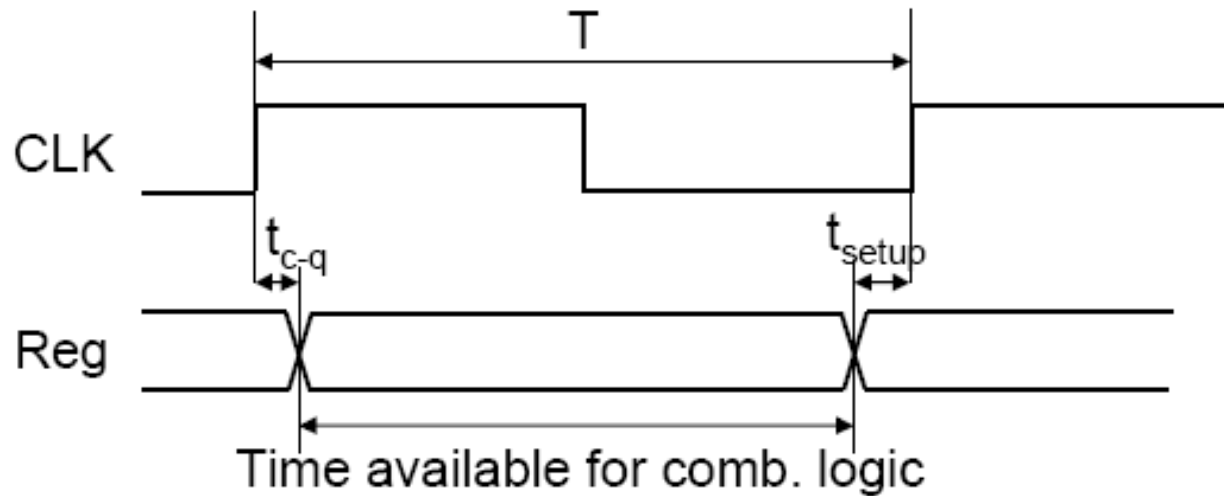


- 建立时间的约束: $T \geq t_{c-q} + t_d + t_s$
- 保持时间约束: $t_h \leq t_{cdreg} + t_{cdlog}$
- 时钟信号非理想的影响



最小时钟周期（系统时钟的最高频率）

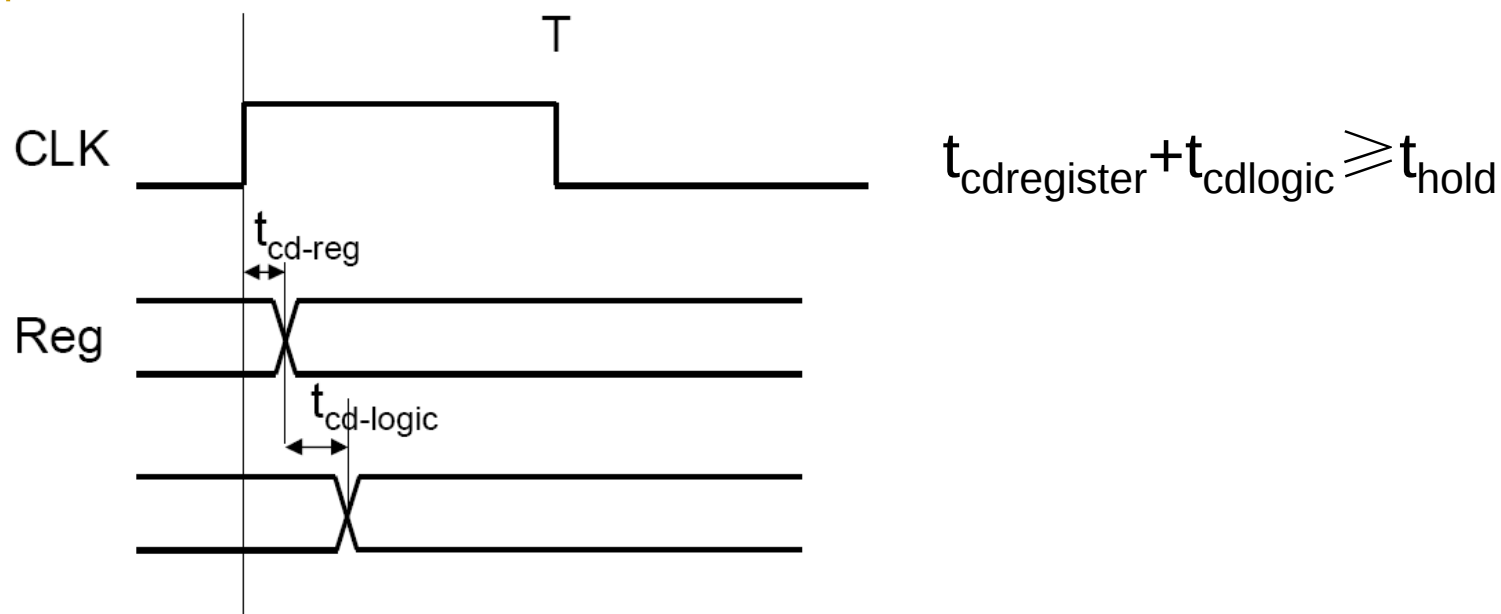
■ $T \geq t_{c-q} + t_{plogic} + t_{setup}$



- 该时序条件不满足称为“建立时间非法(setup time violation)”。
- 注意：没有考虑时钟偏移。所有寄存器在同一个时刻被时钟触发。
- 寄存器时序参数直接影响时序电路的时钟速度。



保持时间违背



- 寄存器和组合逻辑产生的最小延时要比保持时间大。
- 该约束保证寄存器的输入数据在时钟沿之后维持足够长时间，不会因新进入的数据而改变寄存器值。
- 违反该时序条件称为保持时间违背。

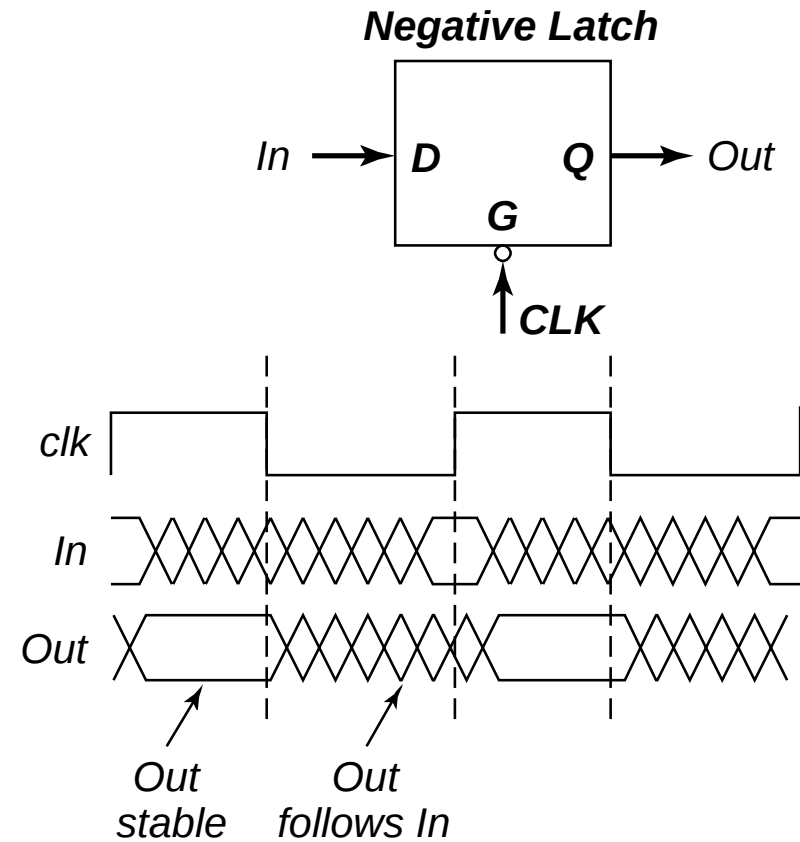
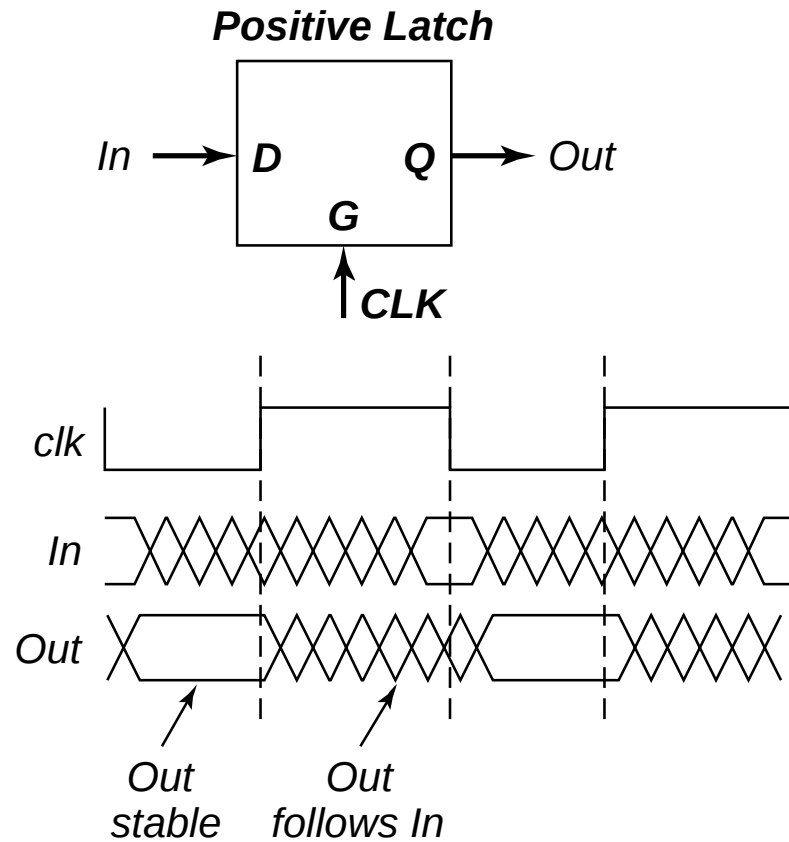


存储单元分类

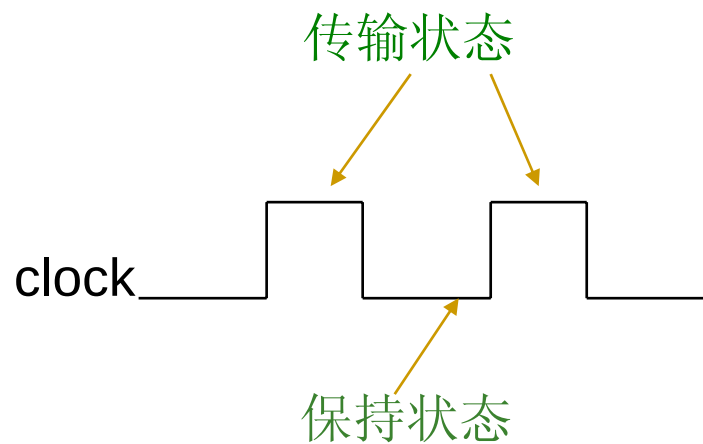
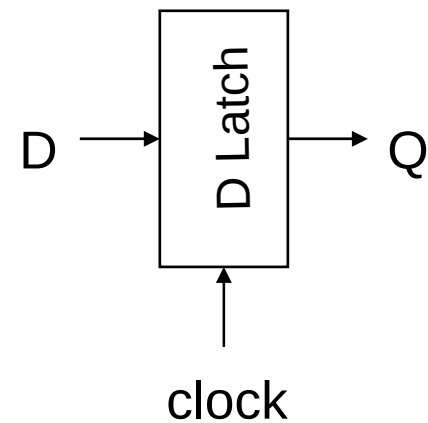
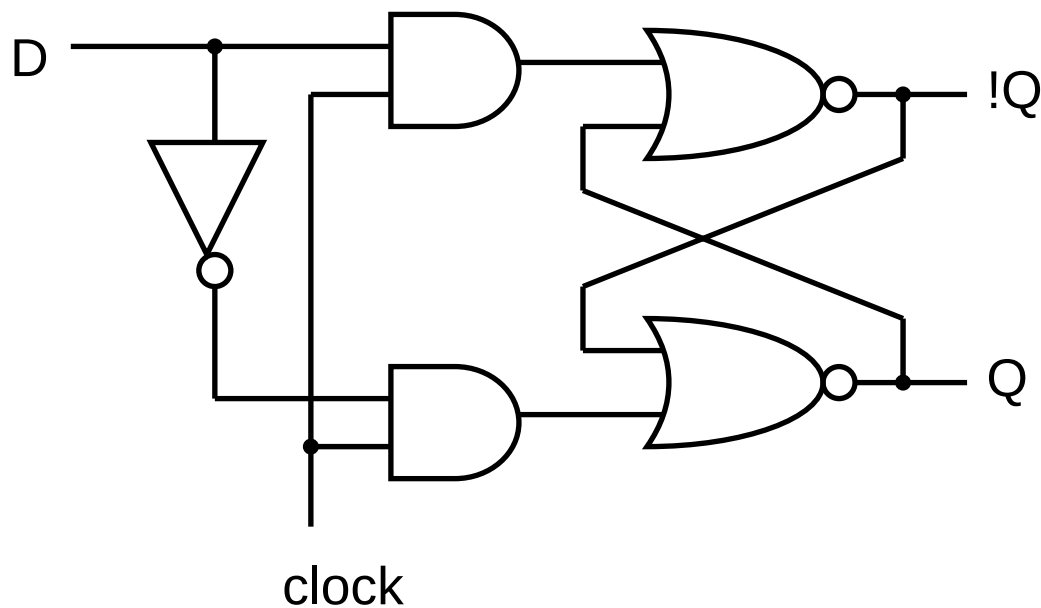
- 前台存储器和后台存储器
 - 前台：嵌在逻辑中的存储器，单个寄存器或寄存器
 - 后台：大量集中使用的存储器，使用阵列结构，RAM、ROM等。
- 静态存储器和动态存储器
 - 静态：利用正反馈或再生原理构成，低速应用和门控时钟应用。
 - 动态：利用寄生电容存储电荷，保存时间短
- 锁存器和寄存器
 - 锁存器：电平敏感电路，构成边沿触发寄存器的主要部件；
 - 寄存器：边沿触发电路，公开文献中是触发器的同义词



正锁存器和负锁存器

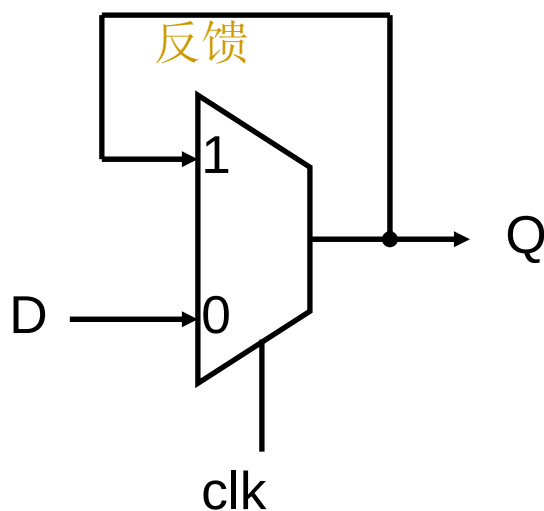


带时钟信号的D锁存器



基于二选一电路的D锁存器

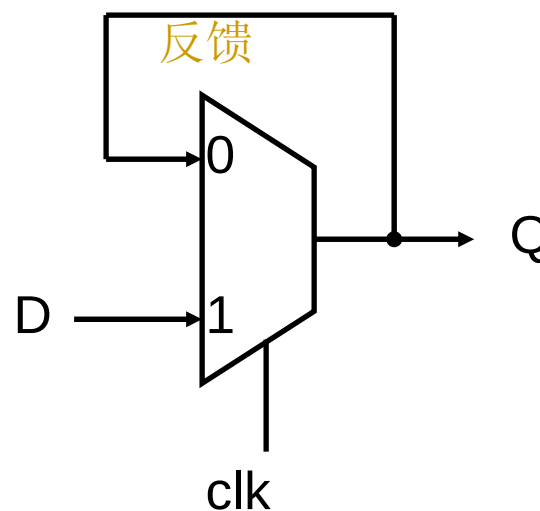
- 将反馈环路断开实现输入采样



负时钟Latch

$$Q = \text{clk} \& Q \mid !\text{clk} \& D$$

clk为低时输出等于输入



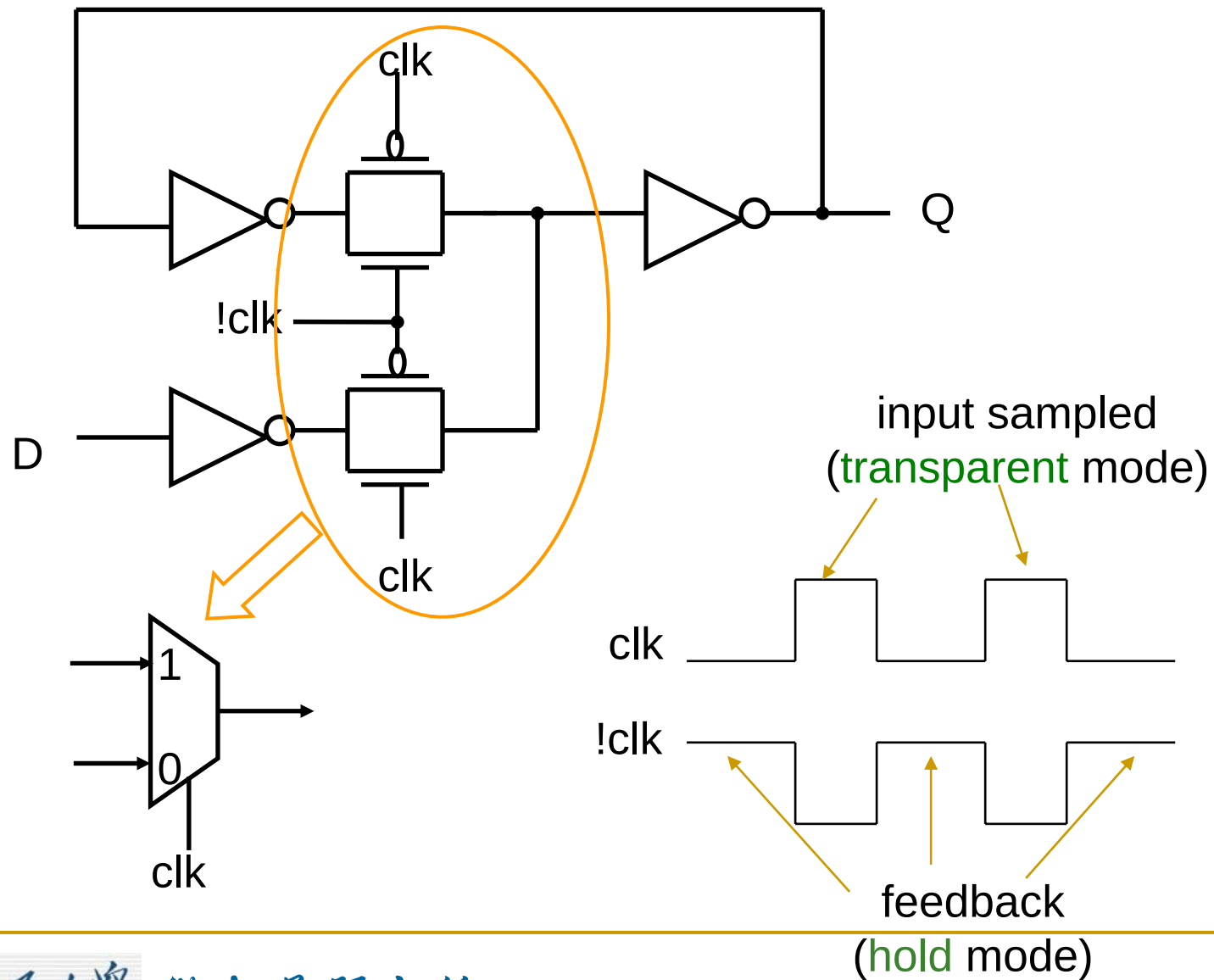
正时钟Latch

$$Q = !\text{clk} \& Q \mid \text{clk} \& D$$

clk为高时输出等于输入

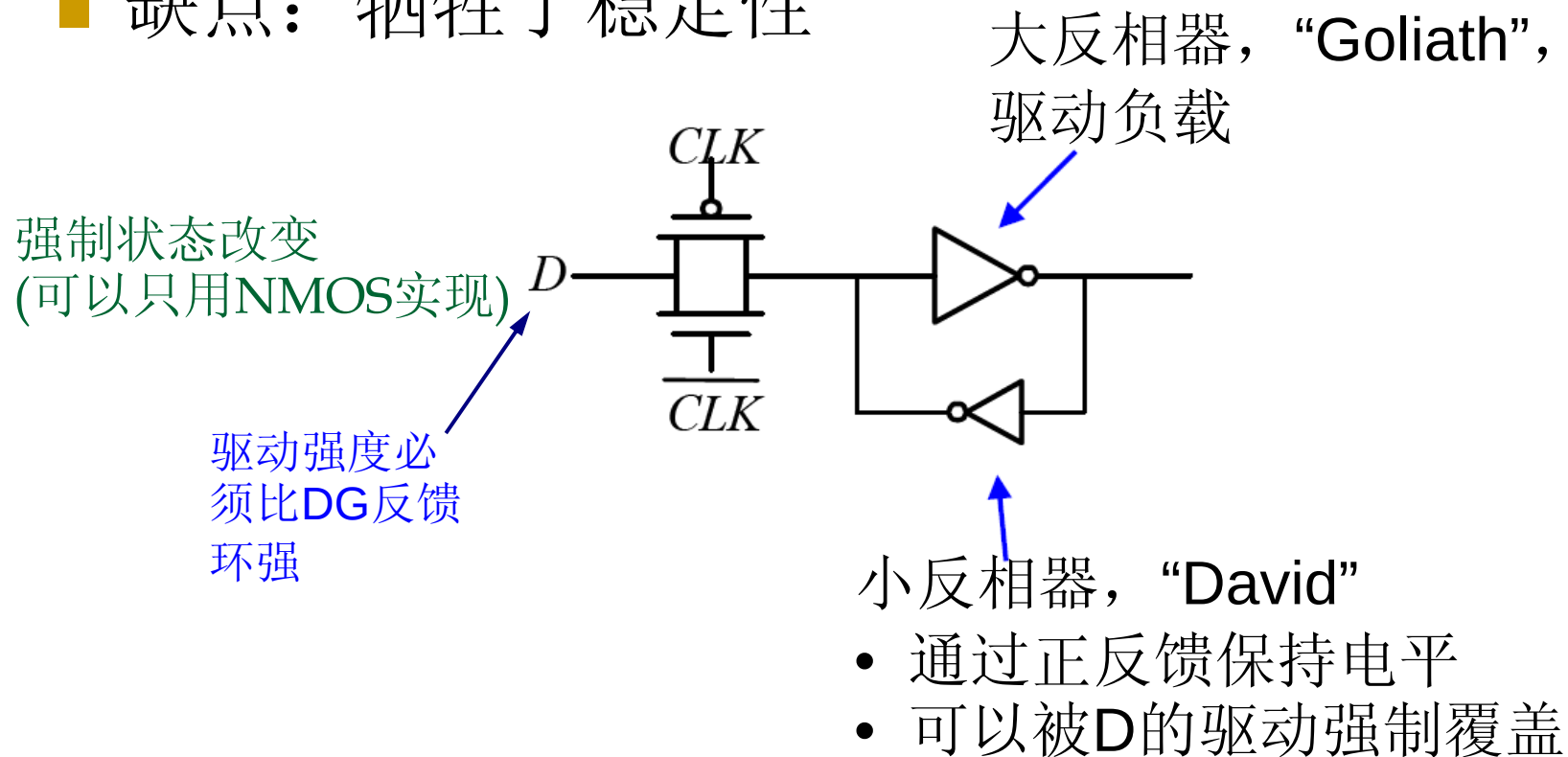


D锁存器电路(传输门实现二选一)



“Jamb”锁存器

- 优点：时钟负载减半
- 缺点：牺牲了稳定性

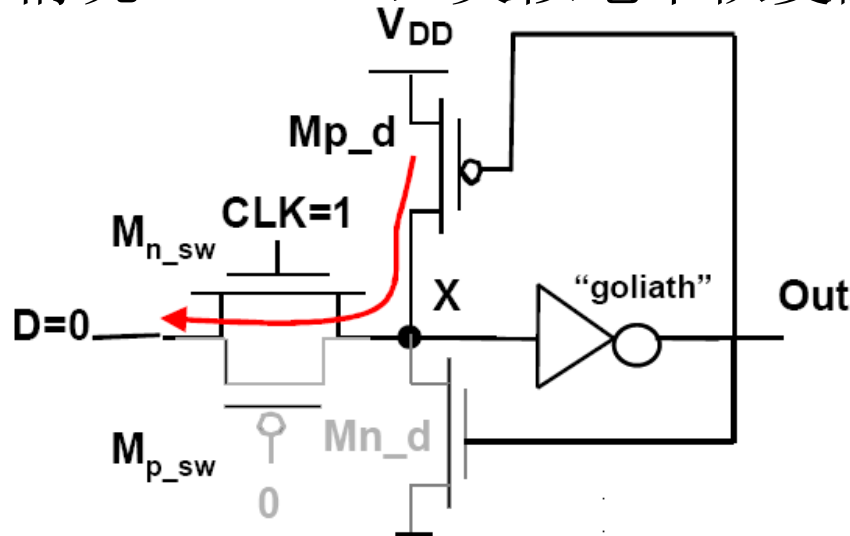


- 晶体管尺寸类似电平恢复晶体管



David Goliath锁存器晶体管尺寸

- 情况1: $D=0$, 类似电平恢复静态的下拉



Mn_sw处于线性区
Mp_d处于饱和区

$$\beta_n \left((V_{DD} - V_{Tn})V_X - \frac{V_X^2}{2} \right) + \beta_p (-V_{DD} - V_{Tp})^2 = 0$$

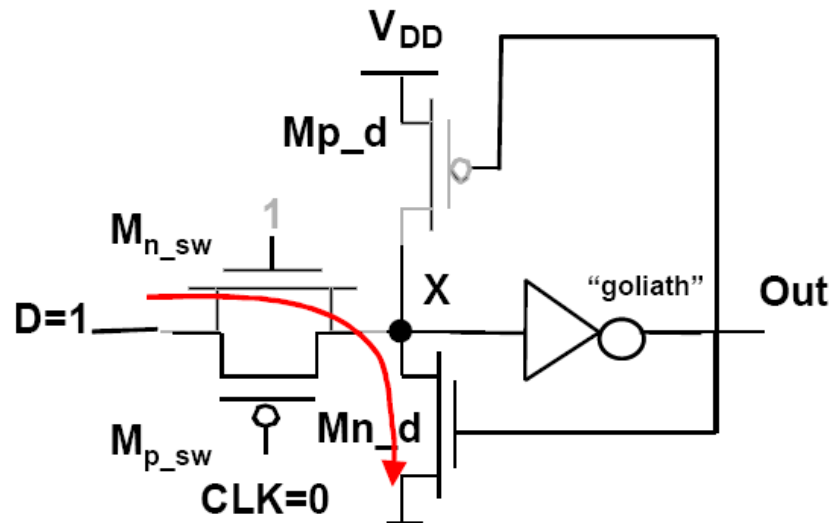
假如忽略二次项, $V_X \ll V_{DD} - V_T$

$$\begin{aligned} M_{n_sw} &\longrightarrow \frac{W_n}{L} = \frac{\mu_p}{\mu_n} \frac{(V_{DD} + V_{Tp})^2}{(V_{DD} - V_{Tn})V_{DD}/4} \\ M_{p_d} &\longrightarrow \end{aligned} \quad ; \text{ 假设 } V_X = V_{DD}/4$$



David Goliath锁存器晶体管尺寸

- 情况2: D=1, 上拉



Mp_sw处于线性区
Mn_d处于速度饱和区

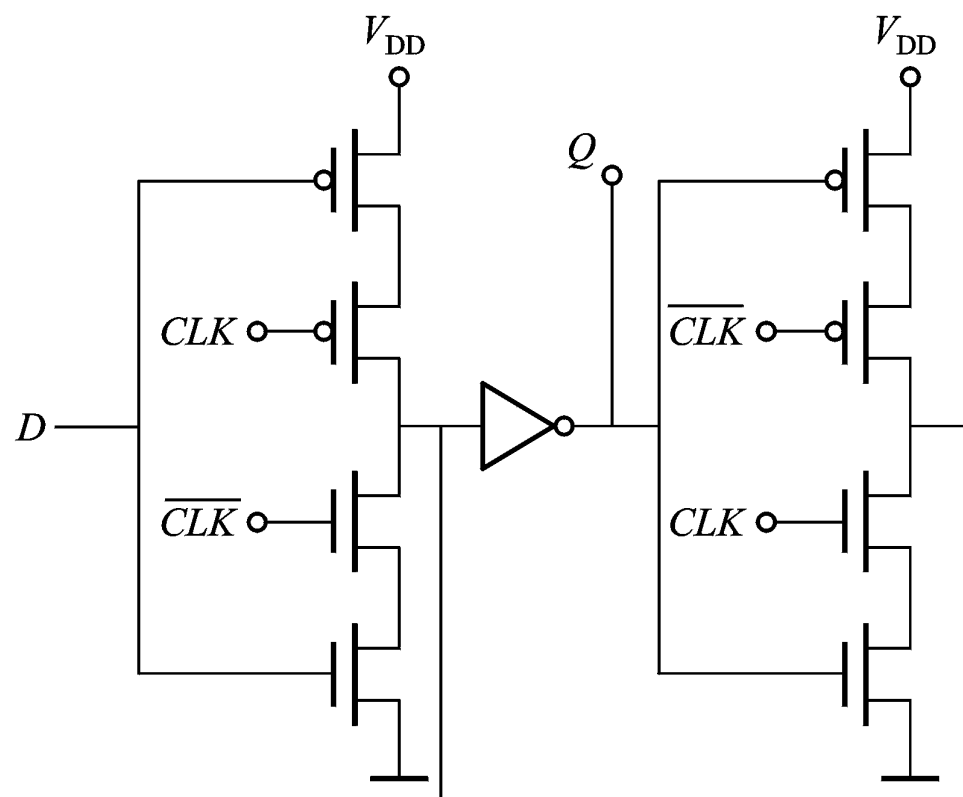
$$\beta_p \left((-V_{DD} - V_{Tp})(-V_{DD} + V_X) - \frac{(-V_{DD} + V_X)^2}{2} \right) + \beta_n (V_{DD} - V_{Tn})^2 = 0$$

假如忽略二次项, $V_{DD} - V_X \ll V_{DD} - V_T$

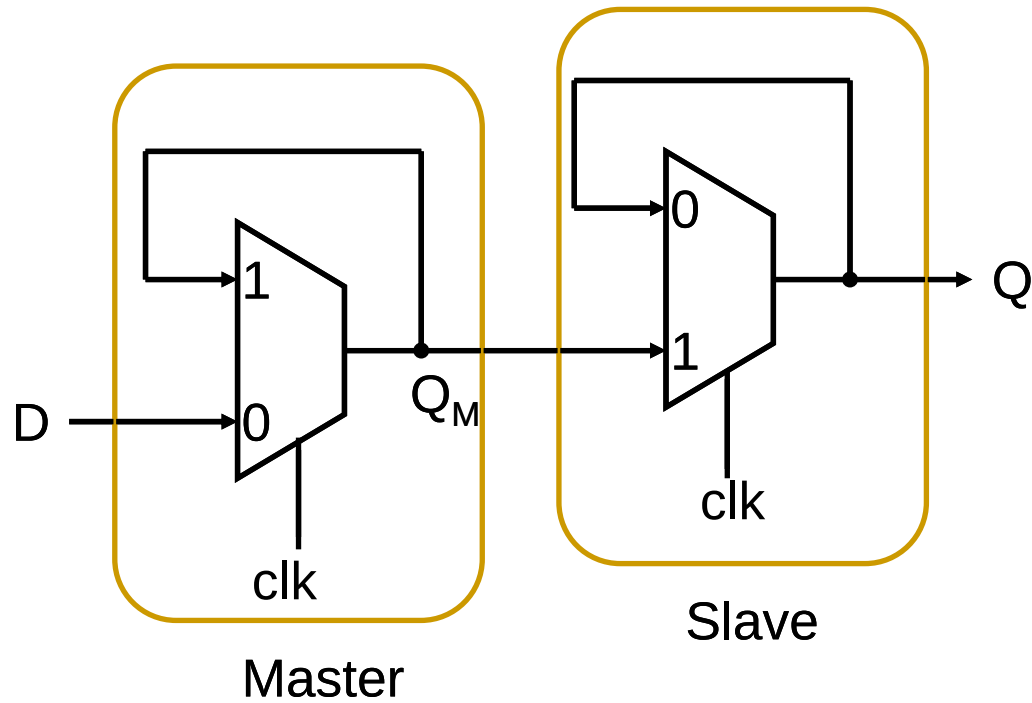
$$\begin{aligned} M_{p_sw} &\longrightarrow \frac{W_p}{L_p} = \frac{\mu_n}{\mu_p} \frac{(V_{DD} - V_{Tn})^2}{(V_{DD} + V_{Tp})V_{DD}/4} ; \text{ 假设 } V_X = 3V_{DD}/4 \\ M_{n_d} &\longrightarrow \end{aligned}$$



基于C²MOS的D锁存器——动态锁存器



主从边沿触发寄存器

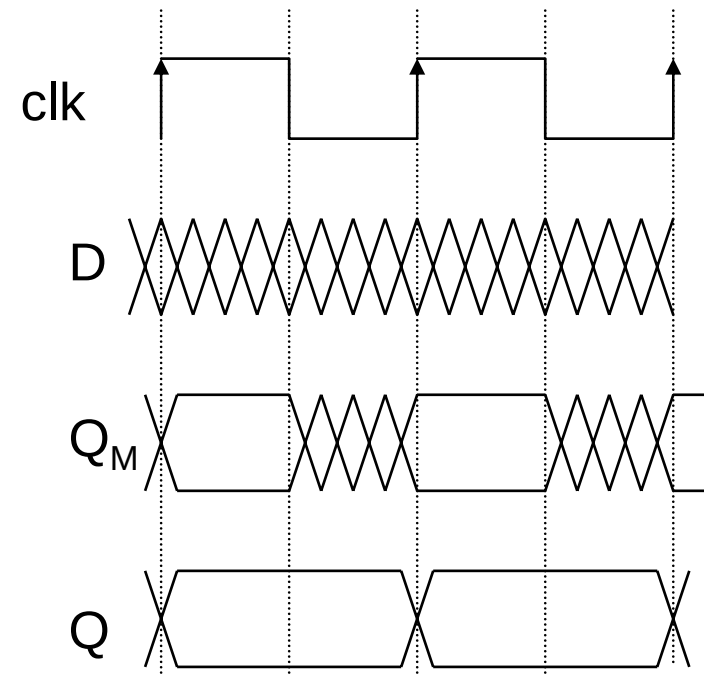
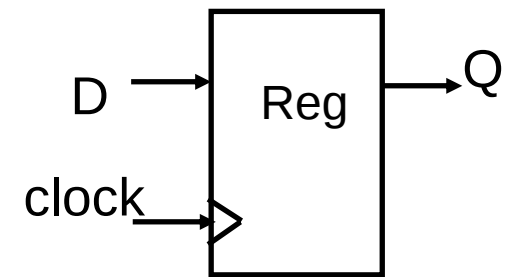


clk = 0 transparent

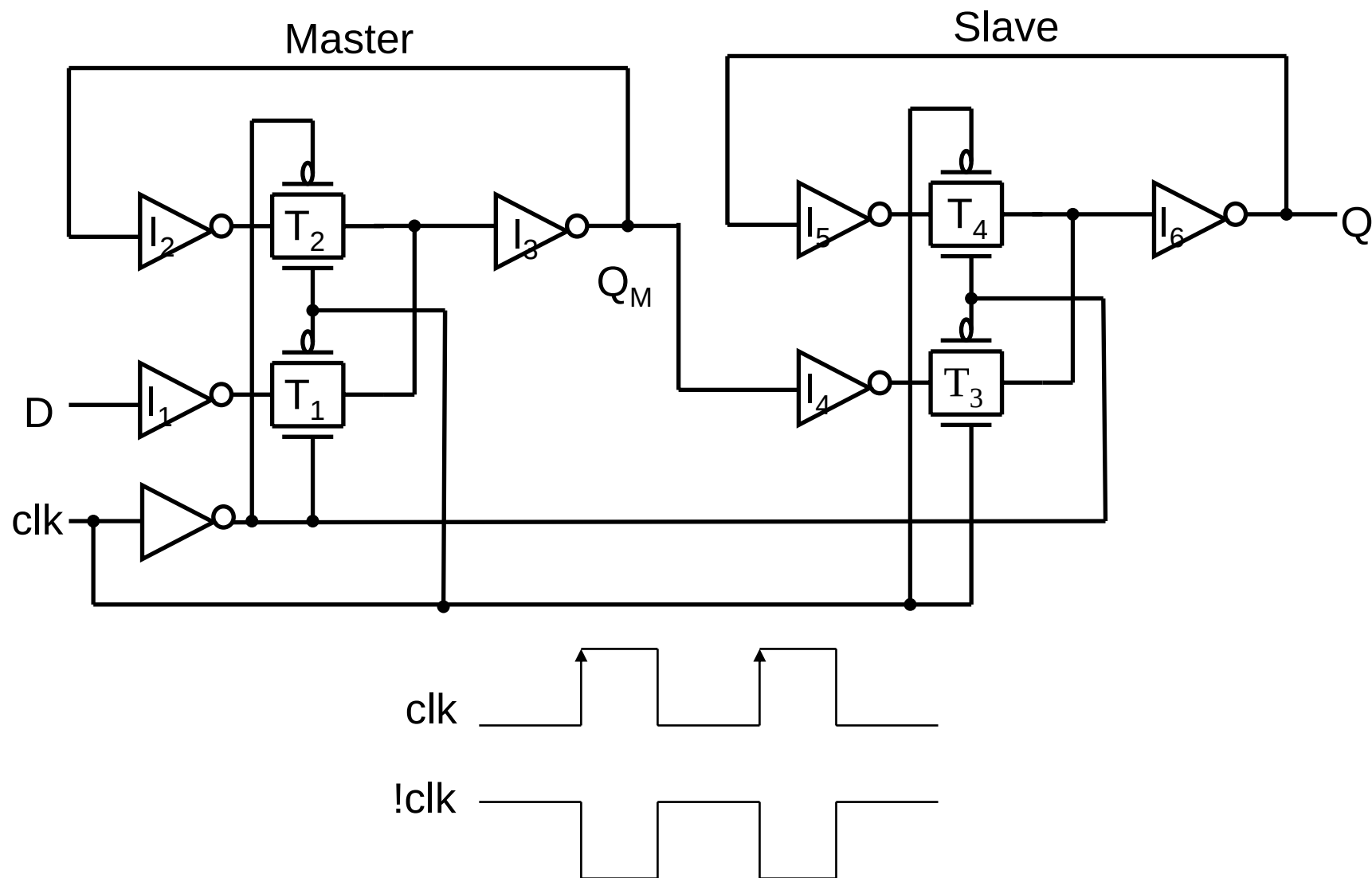
hold

clk = 0→1 hold

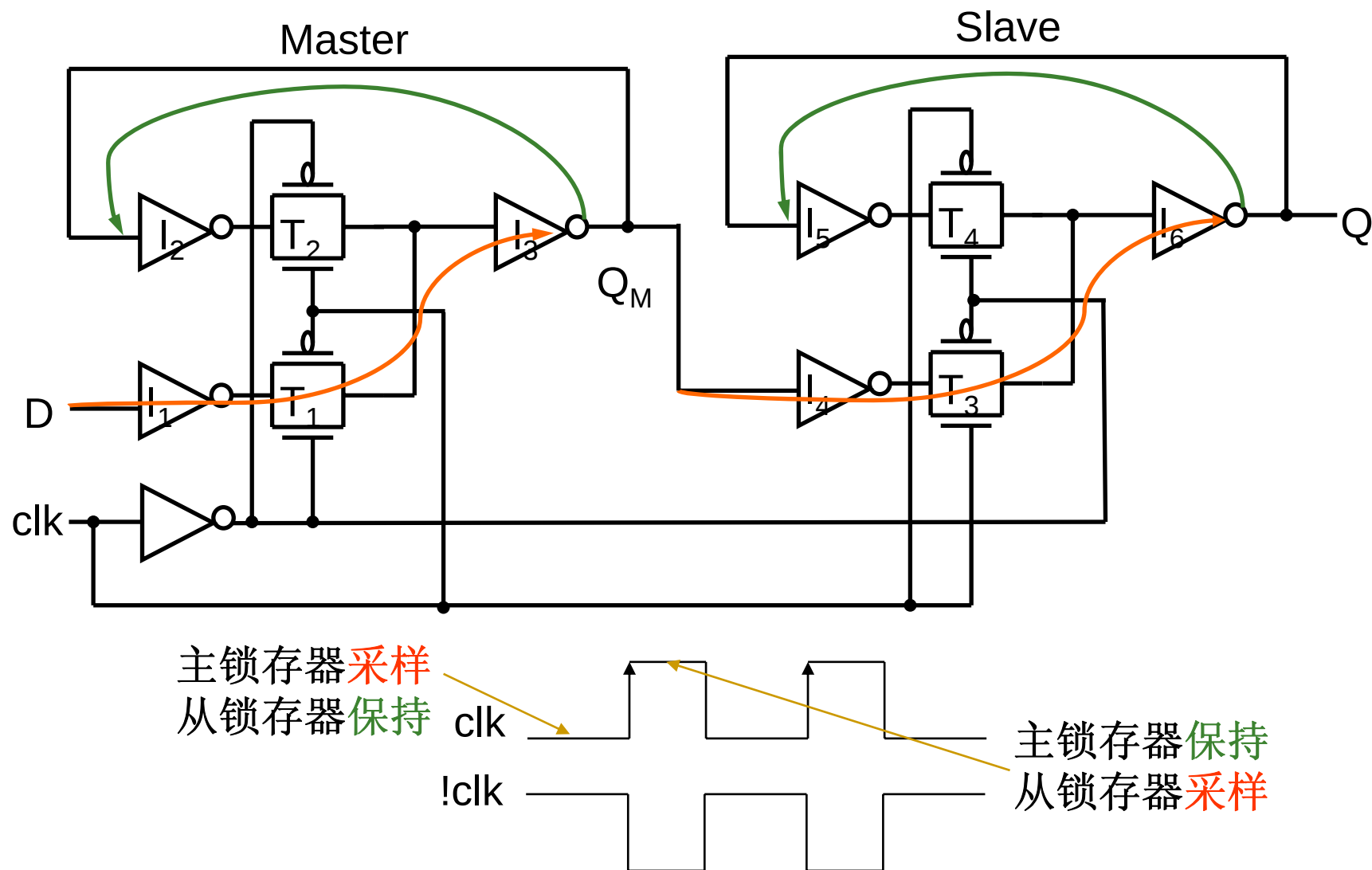
transparent



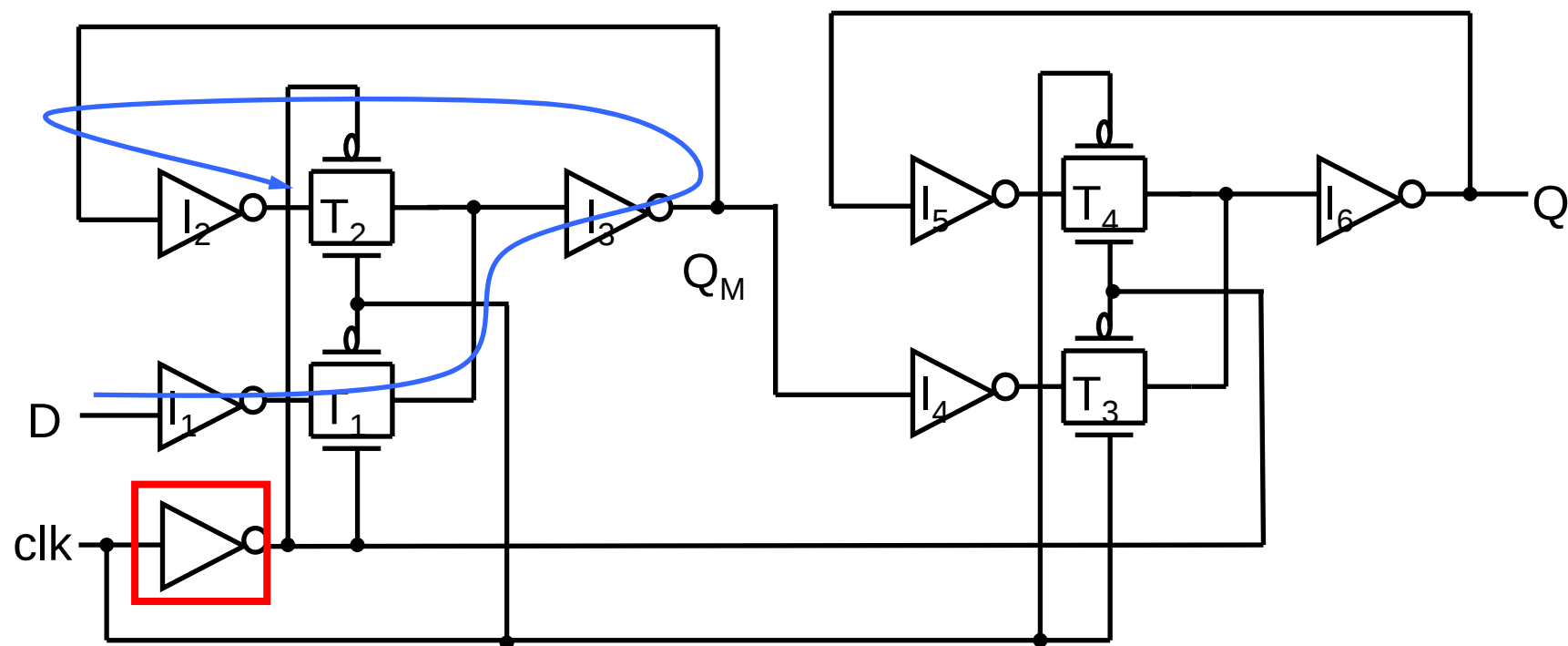
主从寄存器电路实现



主从寄存器电路实现



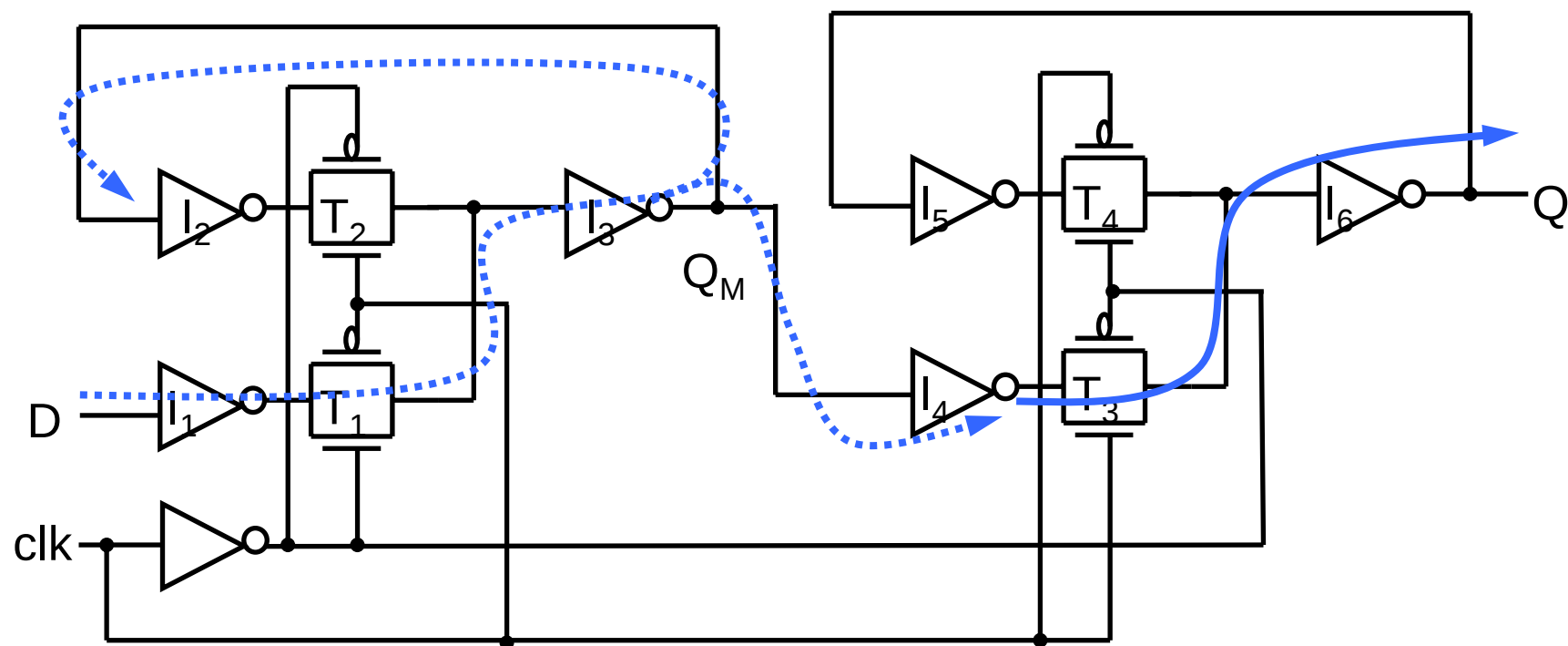
建立时间



- 在clk上升沿前，D需要稳定多少时间使得QM采样到的值是正确的。
- D需要通过I1、T1、I3、I2
- $t_{\text{setup}} = 3t_{\text{p_inv}} + t_{\text{pd_tx}} - t_{\text{pd_inv}} = 2t_{\text{p_inv}} + t_{\text{pd_tx}}$ (书上没考虑时钟反相器延时)



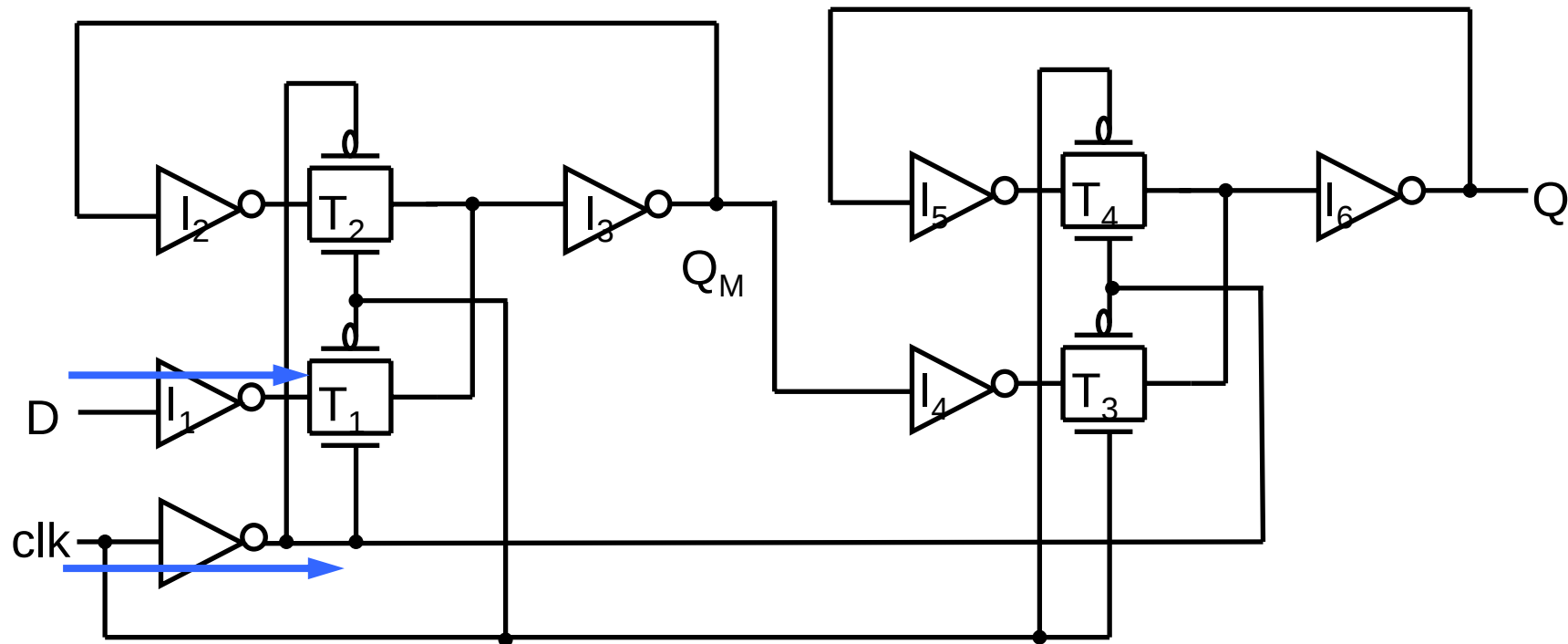
传输延时



- I₂、I₃满足建立时间，所以I₄在clk的上升沿前就稳定了。
- 传输延时为信号通过T₃、I₆的时间
- $t_{c-q} = t_{pd_inv} + t_{pd_tx}$



保持时间



- D 在 clk 上升沿后必须稳定
- D 和 clk 都经过一个反相器后到达 T_1 ，所以输入的变化不会比 clk 更快到达 T_1 ，保持时间为0。
- $t_{hold}=0$



主从寄存器时间特性

- 假设反相器和传输门延迟分别为 t_{pd_inv} 和 t_{pd_tx} ,
- **Set-up 时间** – 建立时间, 信号D在clk上升沿之前必须稳定的时间(考虑时钟反相器)

$$2 * t_{pd_inv} + t_{pd_tx}$$

- **传输延迟** – 从 I_4out 到达Q的时间;

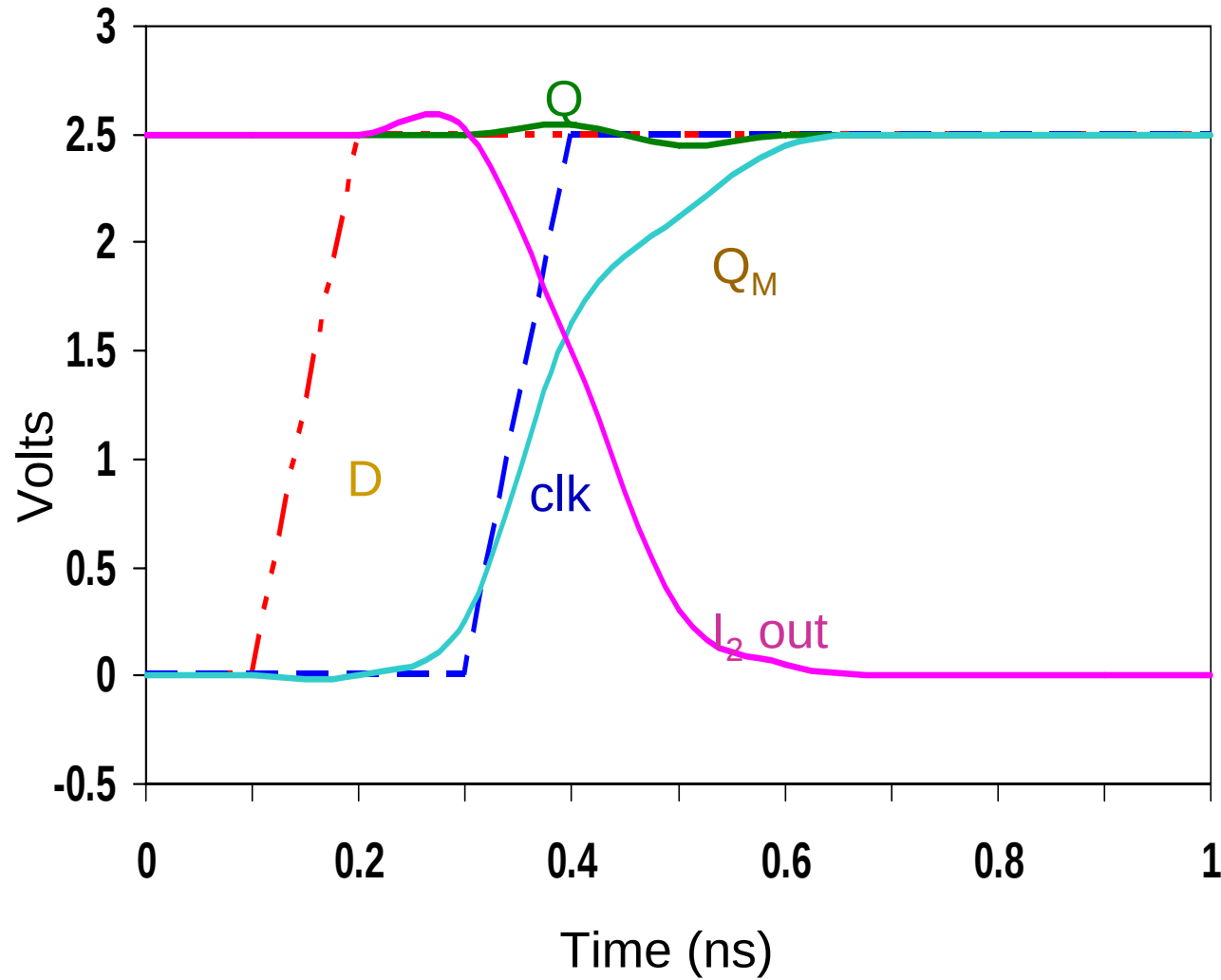
$$t_{pd_inv} + t_{pd_tx}$$

- **Hold时间** – 保持时间, 信号D在clk上升沿之后必须保持稳定的时间-

zero



Set-up 时间——SPICE仿真结果

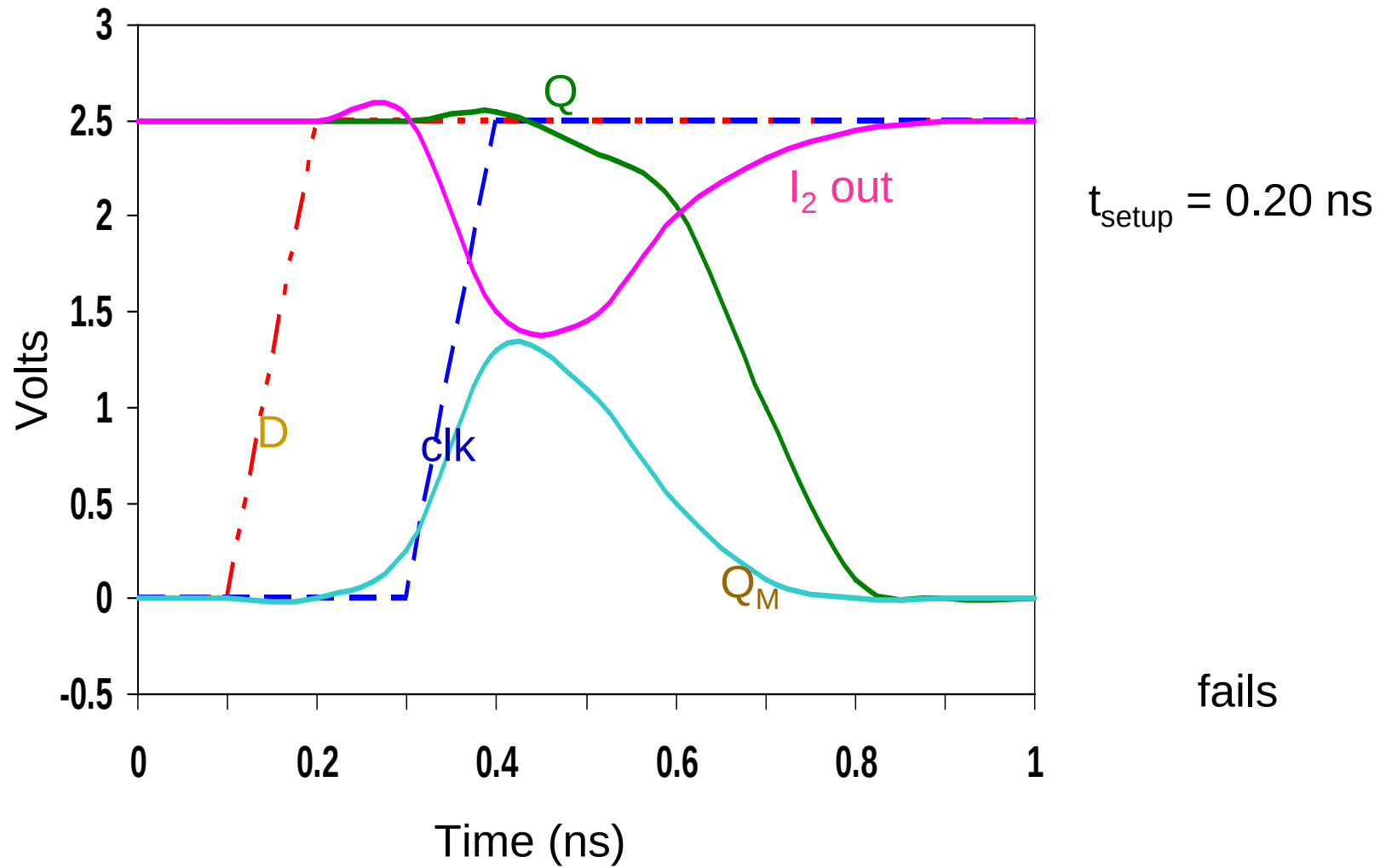


$t_{\text{setup}} = 0.21 \text{ ns}$

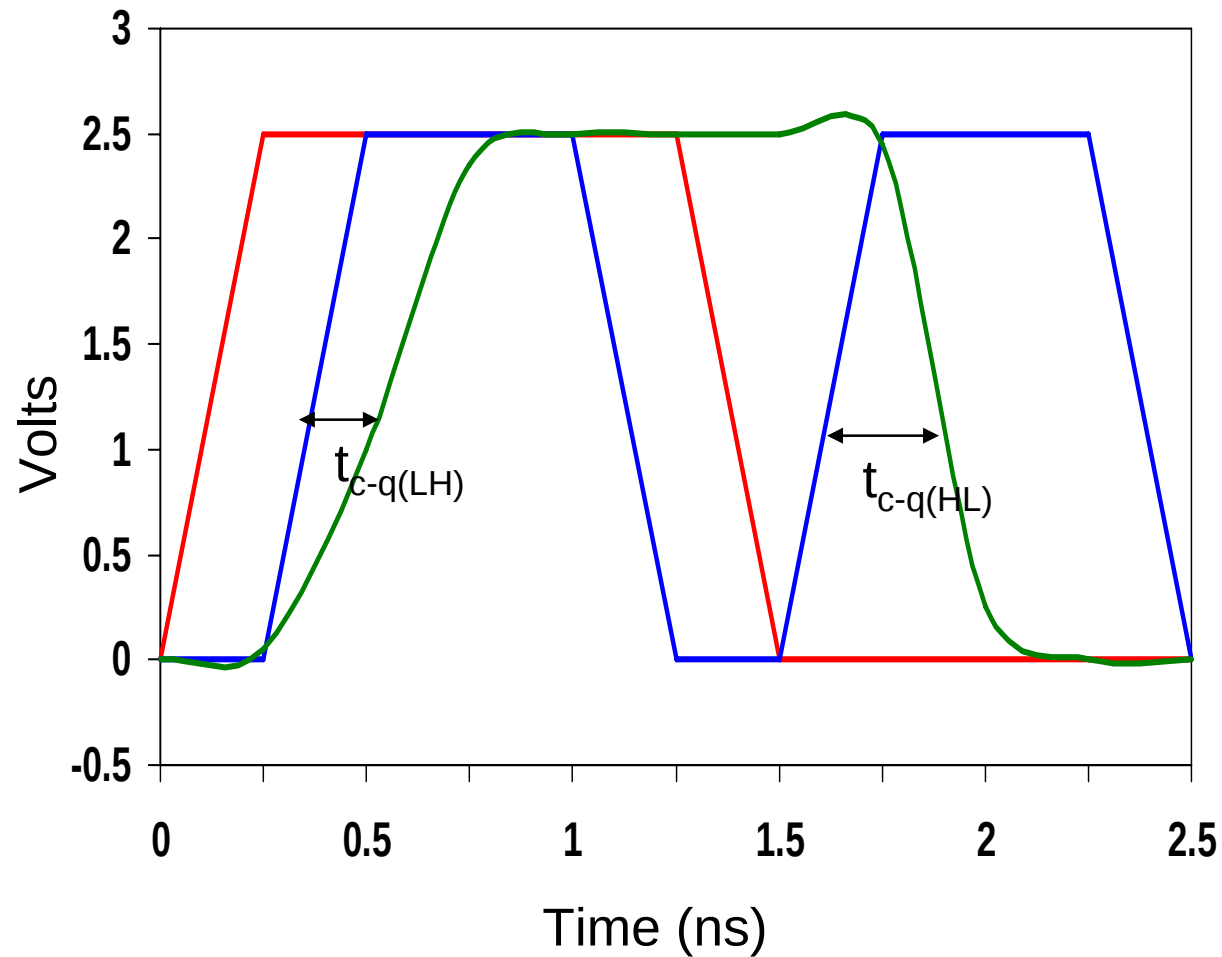
works correctly



Set-up 时间——SPICE仿真结果



传输延迟——SPICE仿真结果

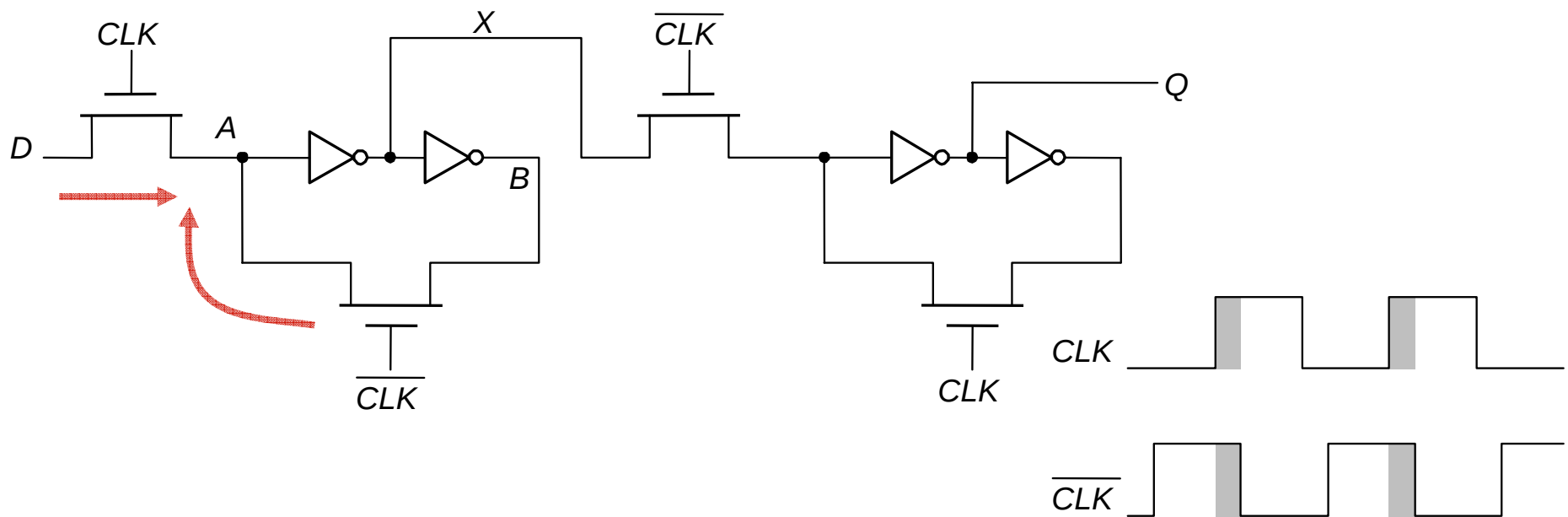


$$t_{c-q(LH)} = 160 \text{ psec}$$

$$t_{c-q(HL)} = 180 \text{ psec}$$



避免时钟交叠——基于传输管的正从边沿触发器

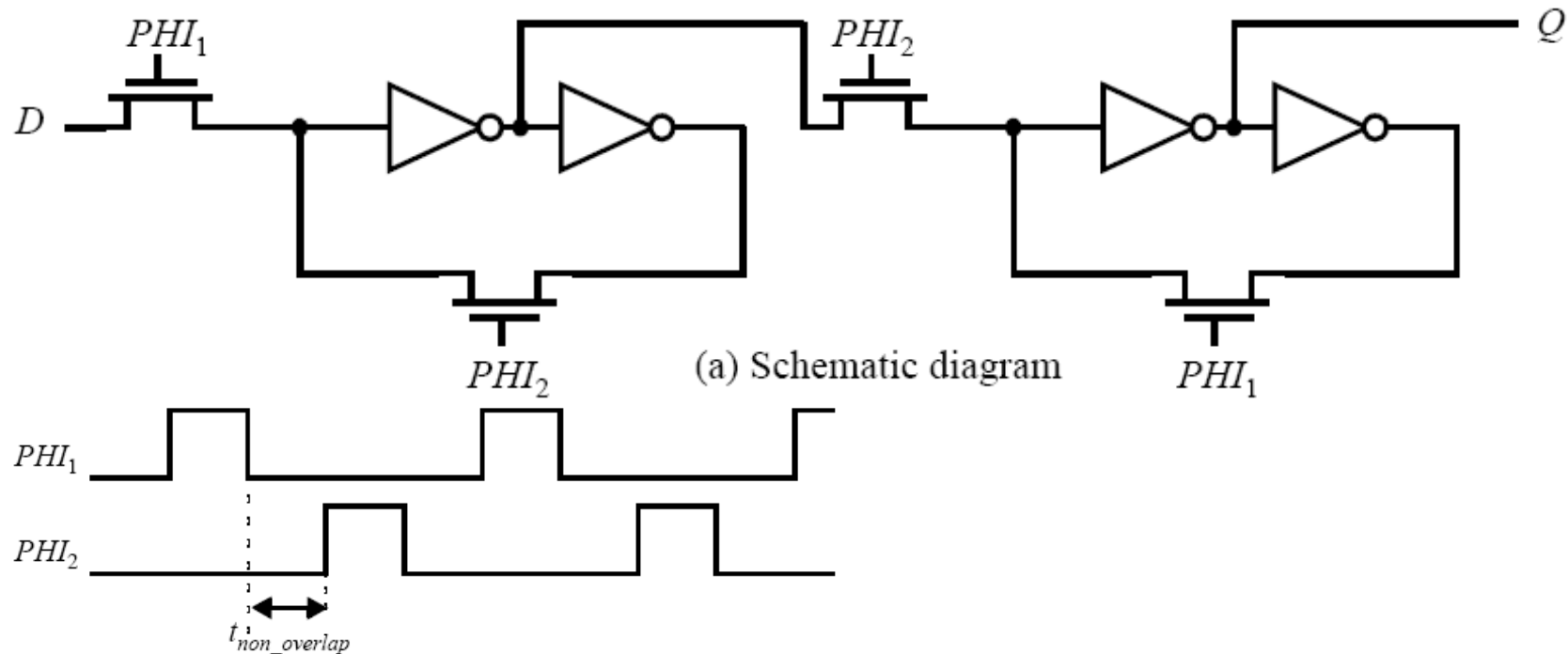


交叠时钟导致两个问题：

- 在1-1交叠时，两个锁存器都是透明的，造成负沿触发的寄存器在上升沿改变数据。这被称为“竞争(race)”情况。
- 在1-1交叠时，A点同时被D和B点驱动，造成A的状态不确定。



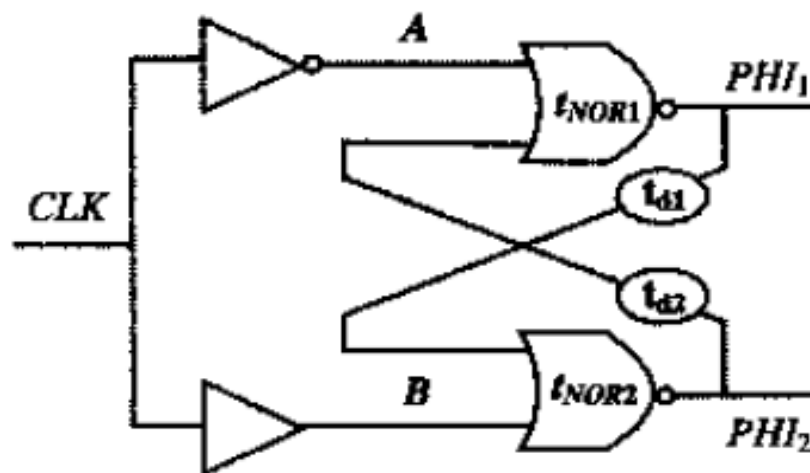
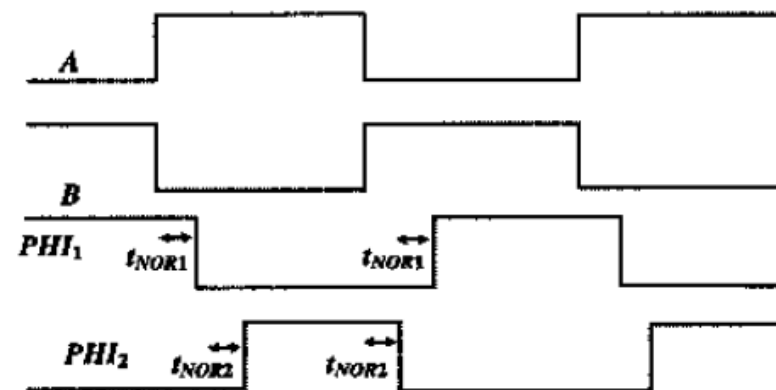
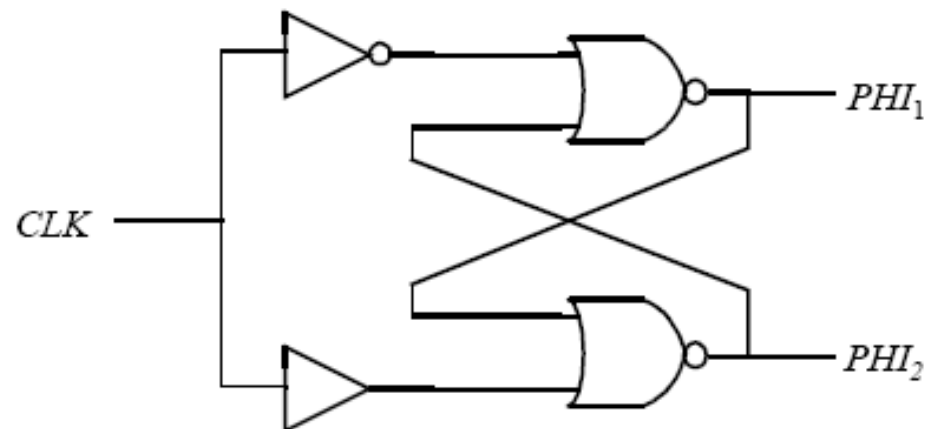
解决方法：使用不交叠时钟



- 在时钟0-0交叠期间，信号保存是动态的→伪静态锁存器。
- 如何产生不交叠时钟？如何保证整个时钟树是不交叠的？

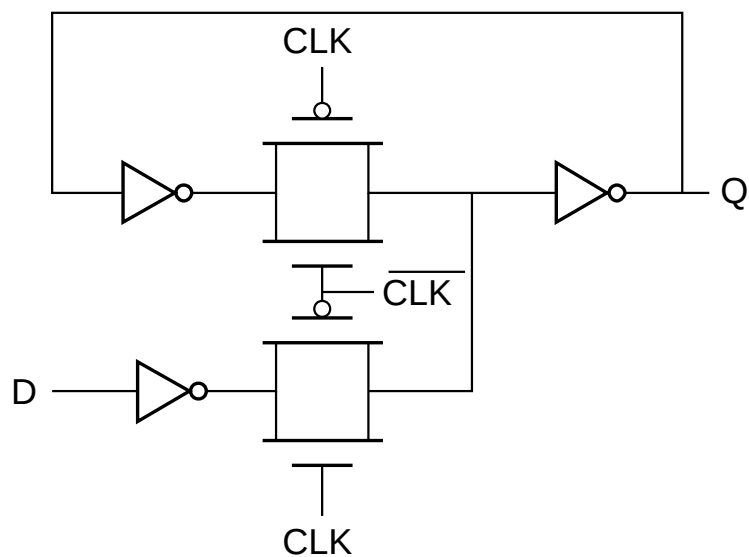


产生两相不交叠时钟

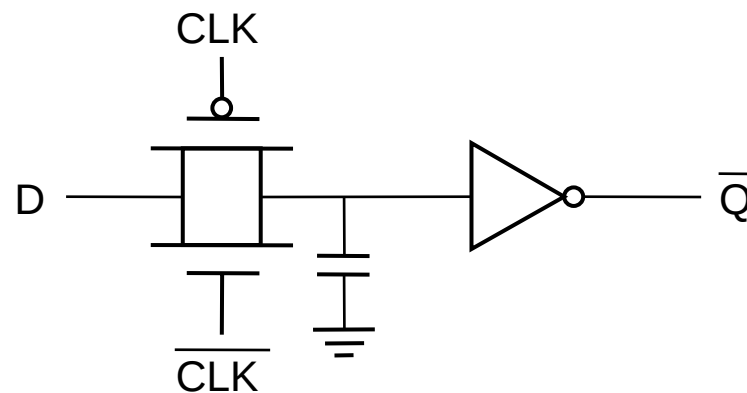


存储机制

静态



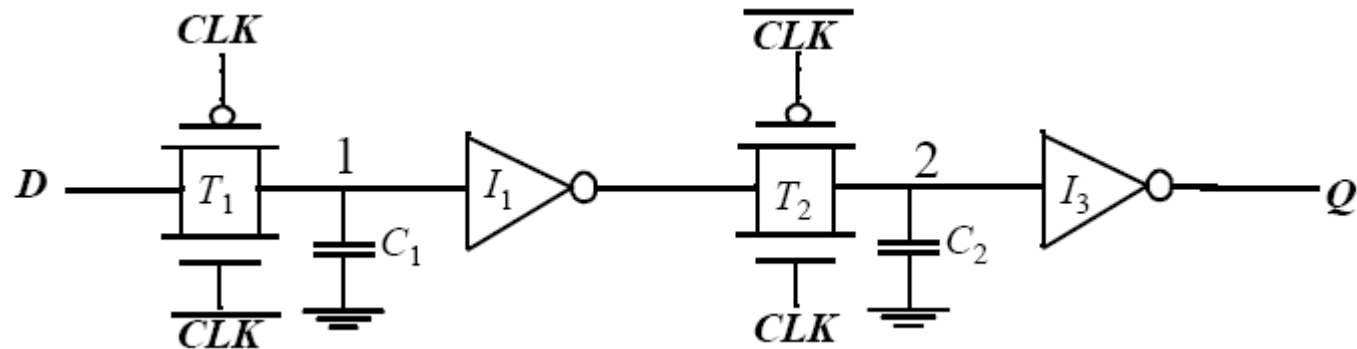
动态 (基于电荷)



没有反馈回路，靠结点寄生电容保存数据，存在刷新问题



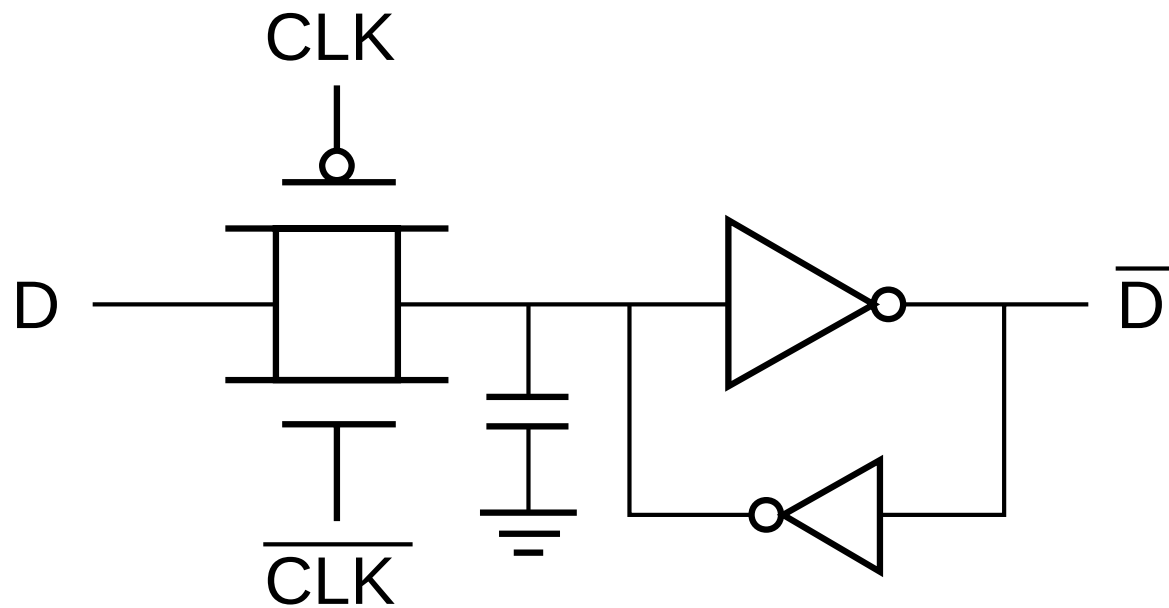
动态传输门沿触发寄存器



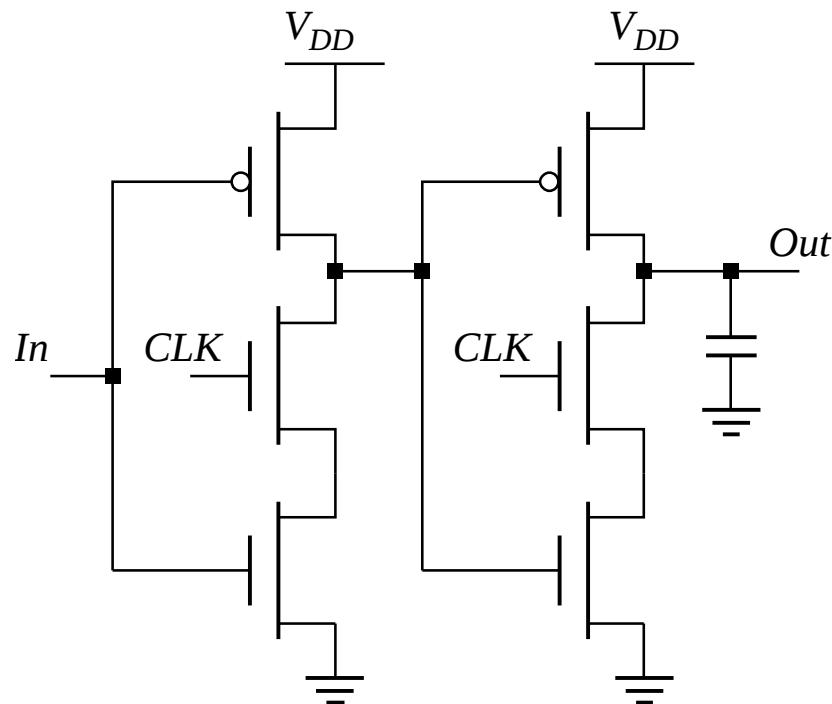
- 信息存储基于电容，需要定时“刷新”，时钟信号不能关掉。
- 对时钟交叠敏感
- 在复杂性、功耗、性能方面表现优异
- 可靠性有问题：噪声容限、电源电压波动等。



使一个动态锁存器成为伪静态

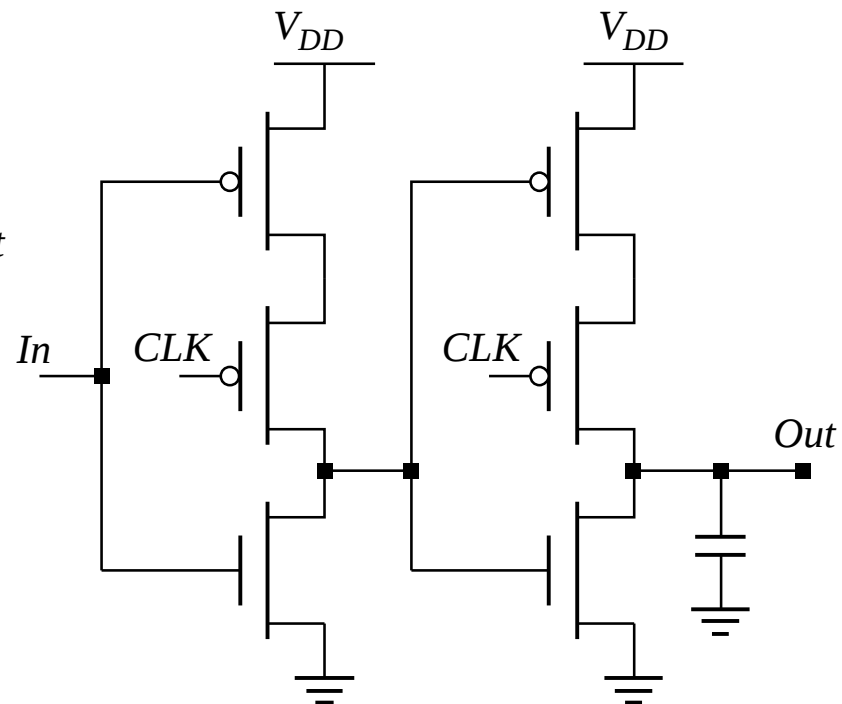


TSPC(True Single Phase Clocked Register)



Positive latch

(transparent when CLK= 1)



Negative latch

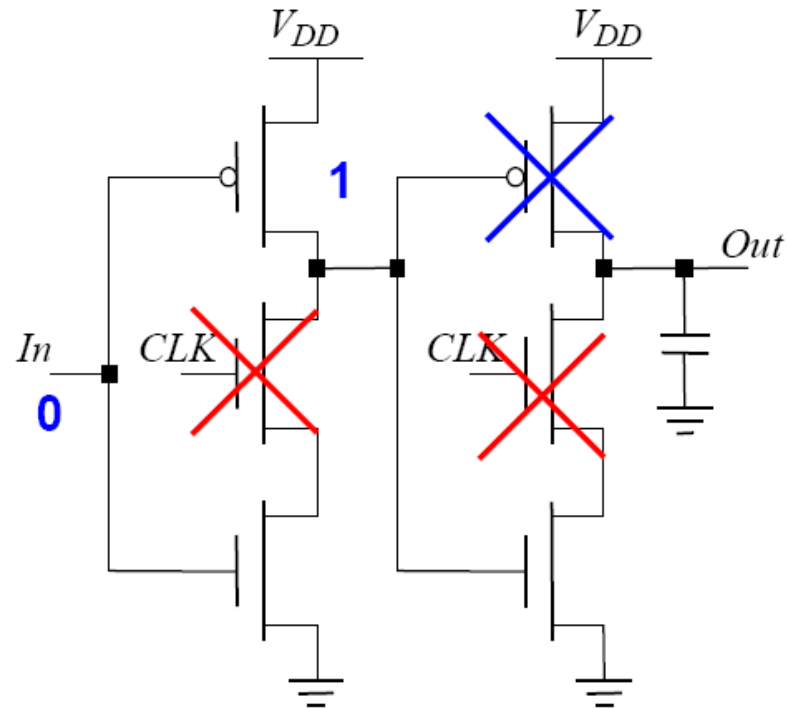
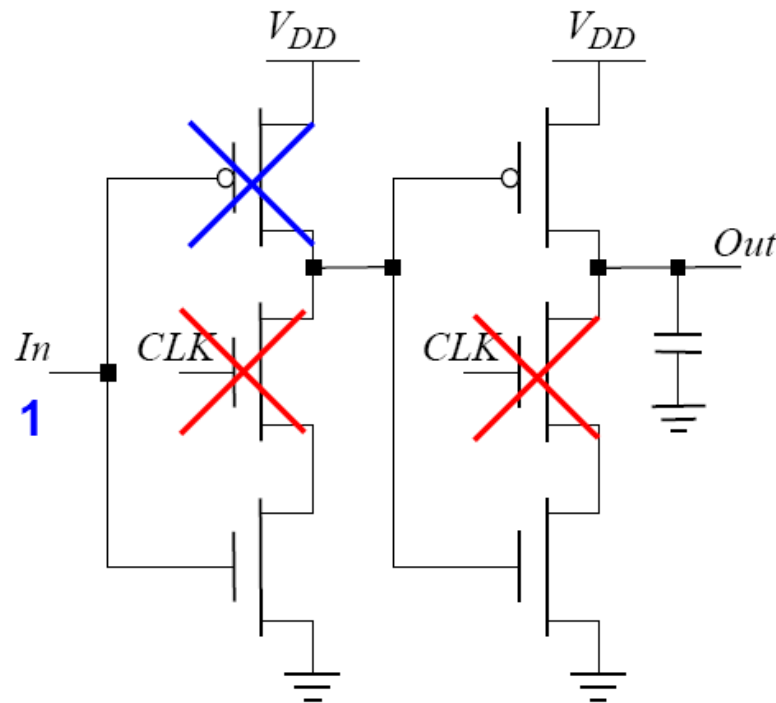
(transparent when CLK= 0)

只有一个时钟信号，所以不存在时钟交叠，时钟布线容易！

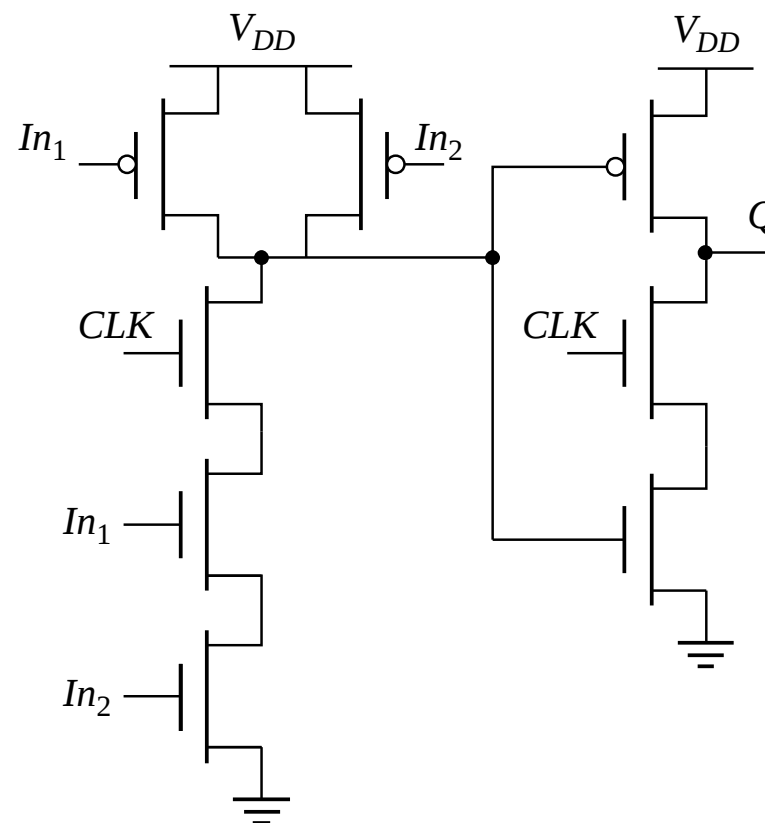
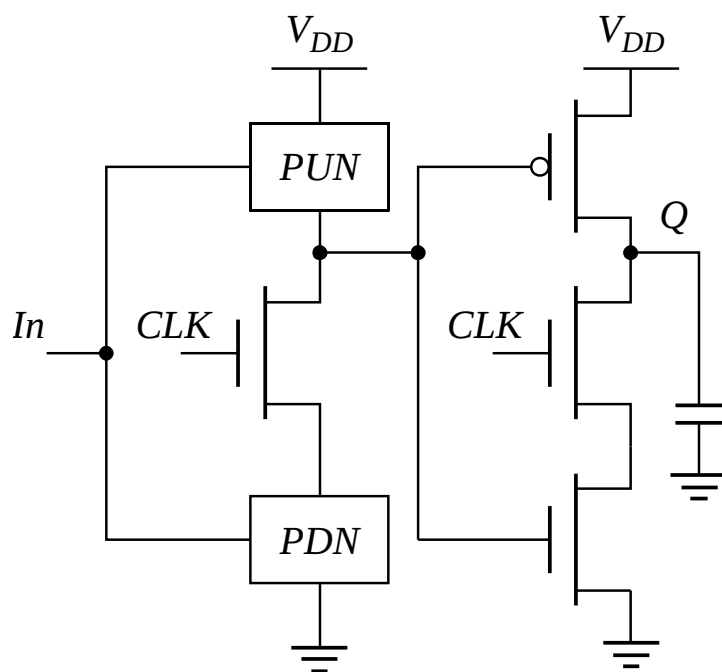


TSPC工作原理

- $CLK=1$ 时，两个反相器，锁存器透明；
- $CLK=0$



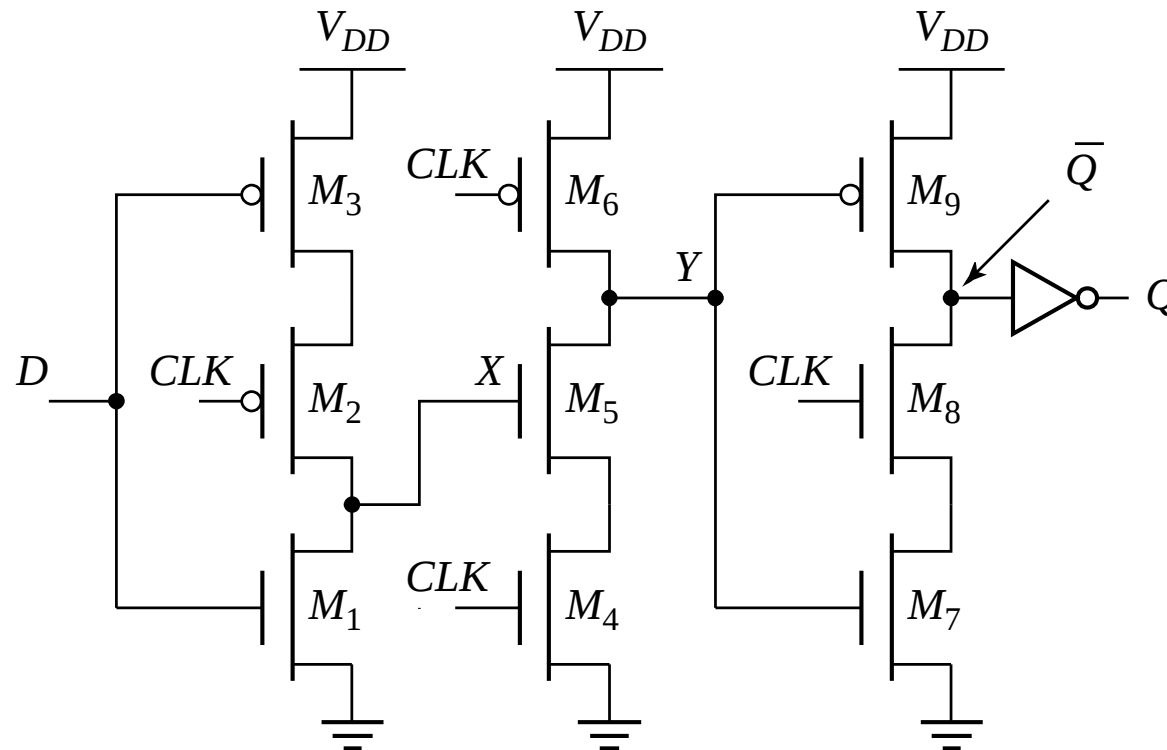
在TSPC中嵌入逻辑



例：AND锁存器



TSPC沿触发寄存器



工作原理：CLK=0时，X采样D输入，Y预充电，Q维持稳定状态

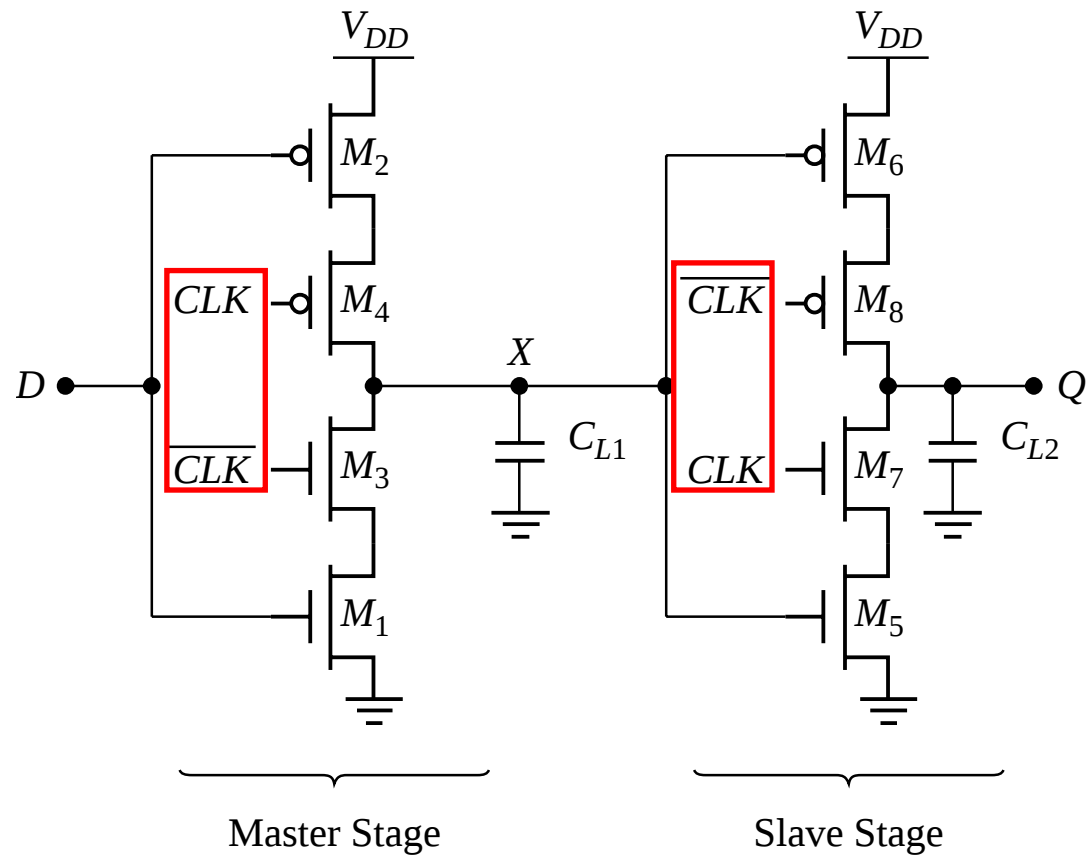
CLK=1时，Y求值，反相器M7~9导通，输出到Q

建立时间：D到X的一个反相器延时；传输延时：X到Q的延时，3个反相器延时；

保持时间：时钟高电平期间，D不能改变，影响X对Y的求值，所以保持时间为一个反相器延时；



C²MOS寄存器



“Keepers” can be added to make circuit pseudo-static

时钟信号上升下降足够快时，C²MOS寄存器对时钟交叠不敏感！

