

西安交通大学

VLSI设计基础

电信学院微电子学系

程 军

Email: jcheng@mail.xjtu.edu.cn

参考书目：

■ 教材：

- 陈贵灿等《大规模集成电路设计》高等教育出版社，2005年7月；

■ 参考书：

- Behzad Razavi著，陈贵灿等译，《模拟CMOS集成电路设计》，西安交大出版社，2003年2月
- John P. Uyemura著，周润德译，《超大规模集成电路与系统导论》，电子工业出版社，2004年1月
- Jan M. Rabaey著，周润德等译，《数字集成电路—电路、系统与设计》，电子工业出版社，2004年10月
- Sung-Mo Kang等著，王志功等译，《CMOS数字集成电路——分析与设计(第三版)》，电子工业出版社，2005年1月



本课程实验所用软件

- 模拟电路仿真器：
 - SPICE(Simulation Program with Integrated Circuit Emphasis)
 - PSpice
 - Hspice



课程要求和内容

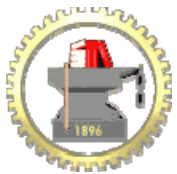
- 初步了解CMOS集成电路的一些基本概念：EDA、IC设计方法学、DSM/VDSM和SOC；
- 了解CMOS集成电路的基本制造工艺、工艺流程，初步掌握CMOS集成电路的版图知识；
- 掌握集成电路设计的一些基本EDA知识，SPICE仿真器的使用；
- 掌握CMOS基本模拟电路的结构和原理，能够设计简单的CMOS模拟集成电路；
- 掌握CMOS基本逻辑电路的结构和原理，能设计简单的CMOS数字电路；
- 了解复杂CMOS数字系统的模块电路，包括加法器、乘法器、寄存器、计数器电路等；



课程要求和内容(续)

- 周学时4，总计48学时；
- 实验学时8，模拟电路设计；数字电路设计；
- 平时成绩占15%(作业，课程实验)；
- 期末成绩占总成绩的85%；
- 答疑时间另行安排、通知。





西安交通大学

第一章 集成电路设计概论

主要内容

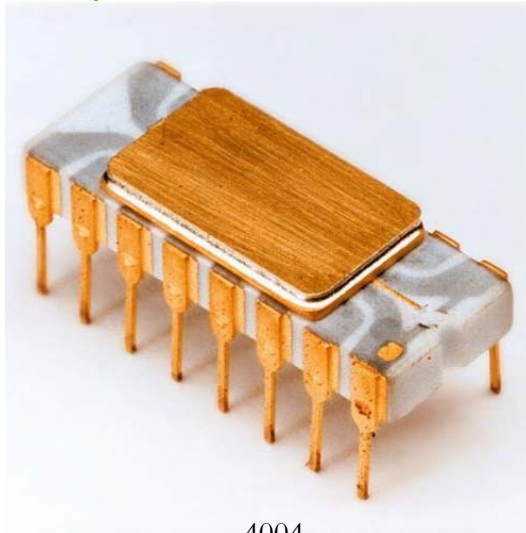
- 集成电路(IC)发展
 - 发展历史
 - 特点
 - 发展规律—摩尔定律
- IC的分类
- IC设计要求
- EDA技术的发展
- VLSI设计方法学——IC的层次化、结构化设计概念；
- 深亚微米和纳米工艺对EDA技术的挑战；



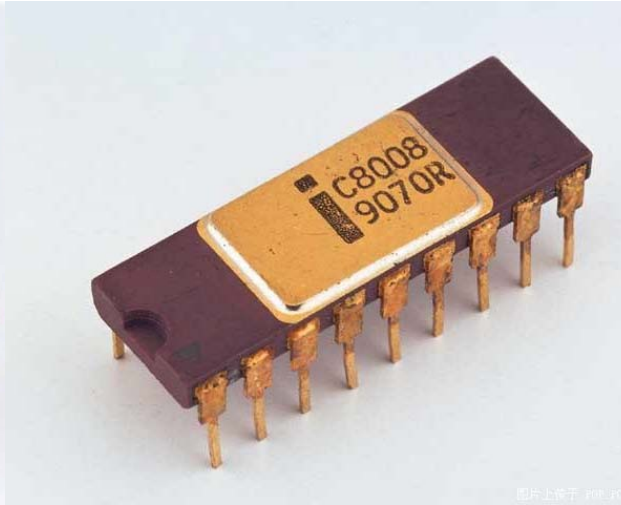
1.1 集成电路（IC）的发展

- Integrated Circuit的缩写；
- 集成电路是指通过一系列工艺，在单片半导体材料上（硅或者砷化镓）加工出许多元器件（有源和无源的），这些元器件按照一定要求连接起来，作为一个不可分割的整体执行某一特定的功能；
- 集成电路是电路的单芯片实现；
- 集成电路是微电子技术的核心；





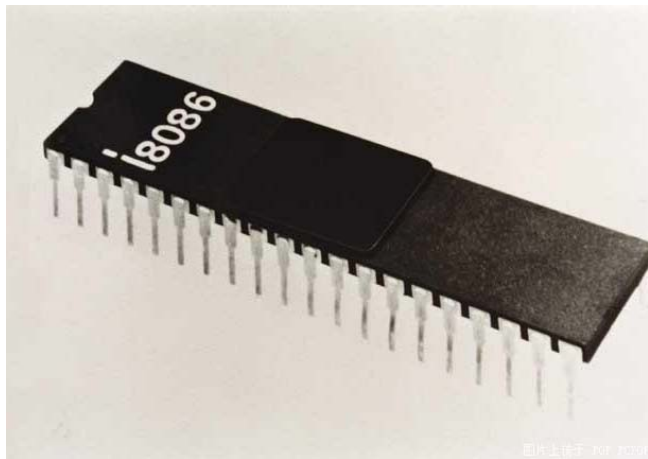
4004



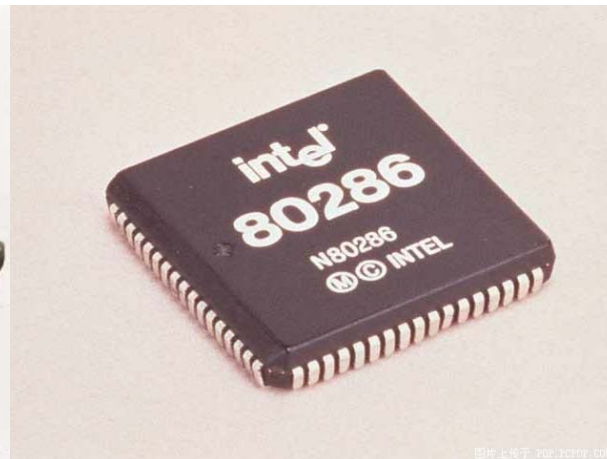
8008



8080



8086

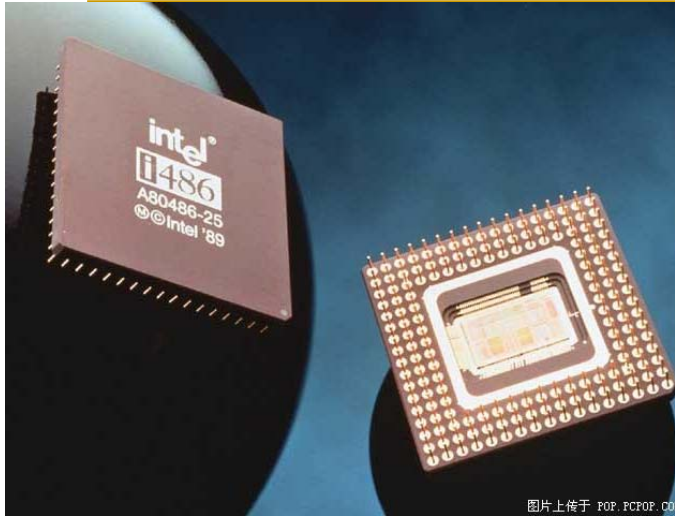


80286



80386





80486



pentium



Pentium pro



Pentium II



Pentium III



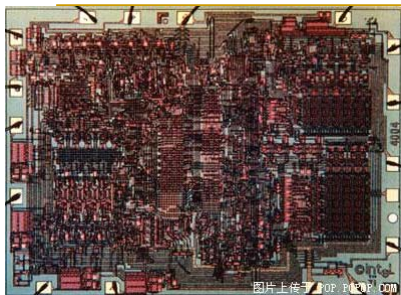
Pentium IV



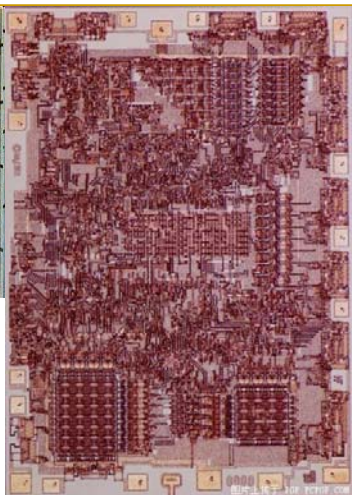
安腾 (Itanium)

Chap1 P.11

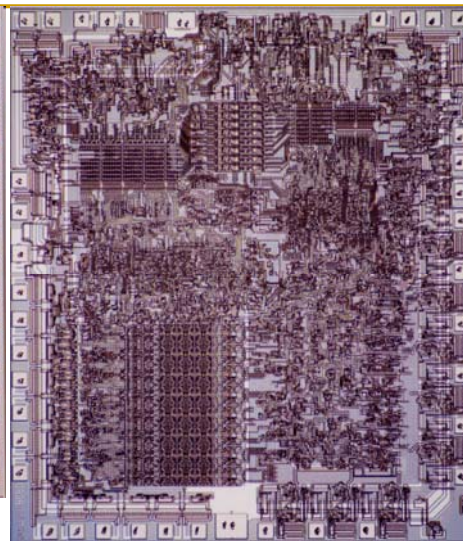




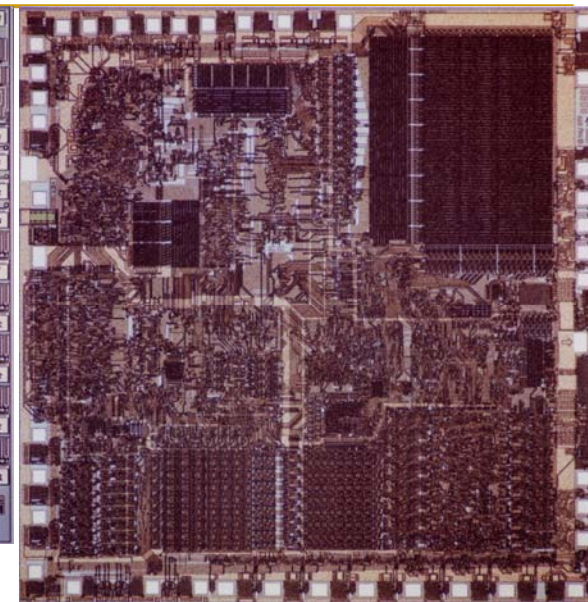
4004



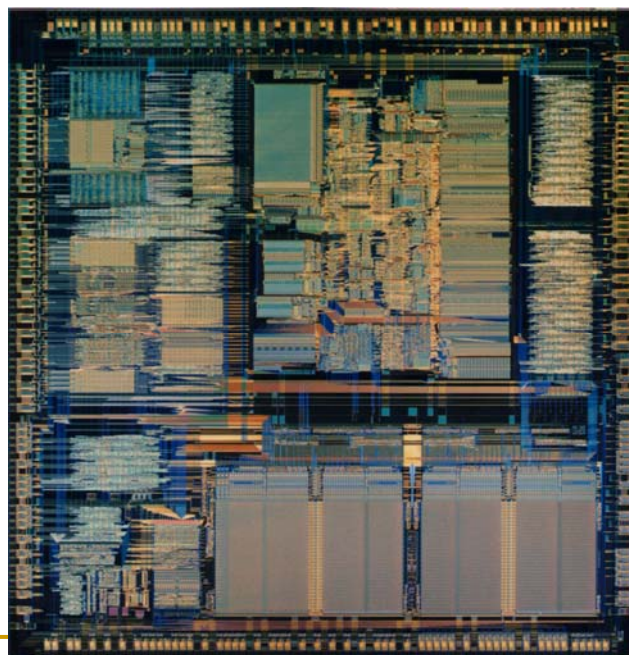
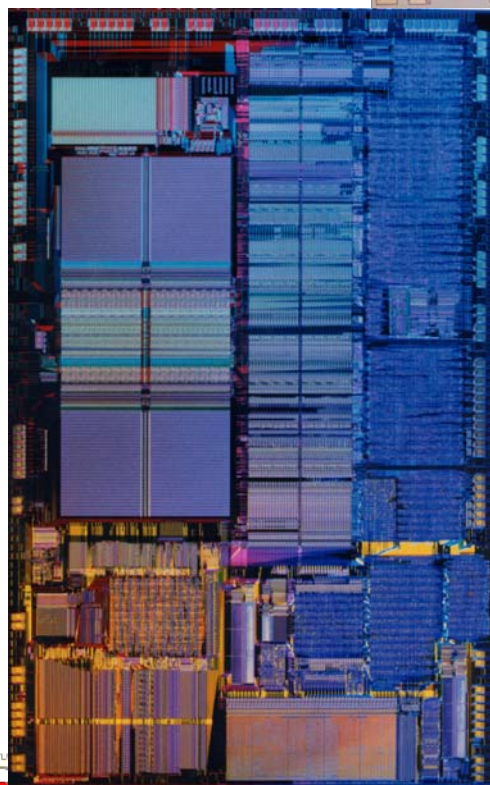
8008



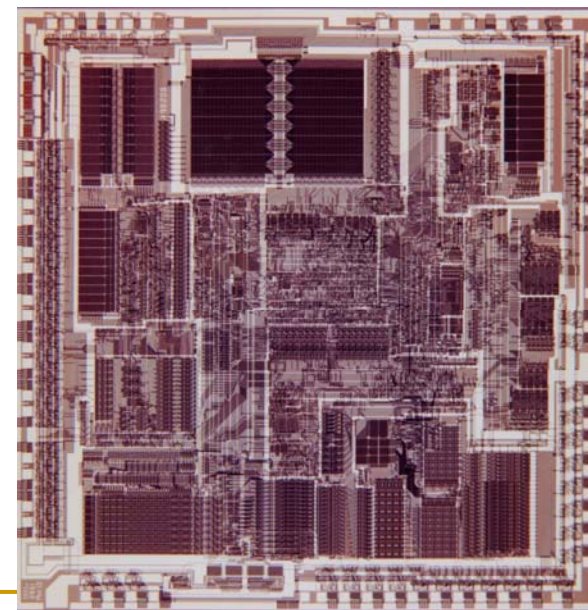
8080



8086

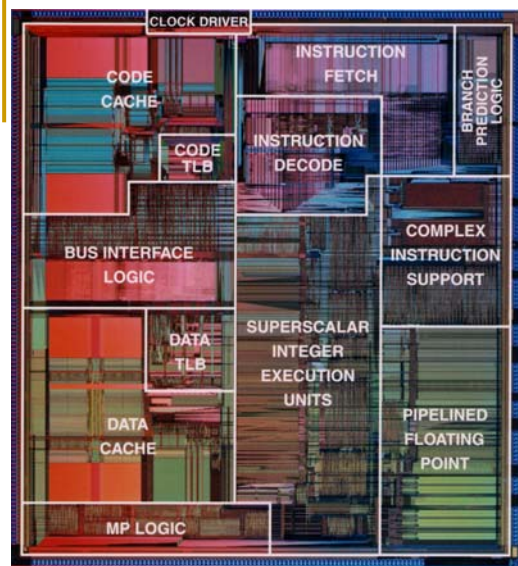


386

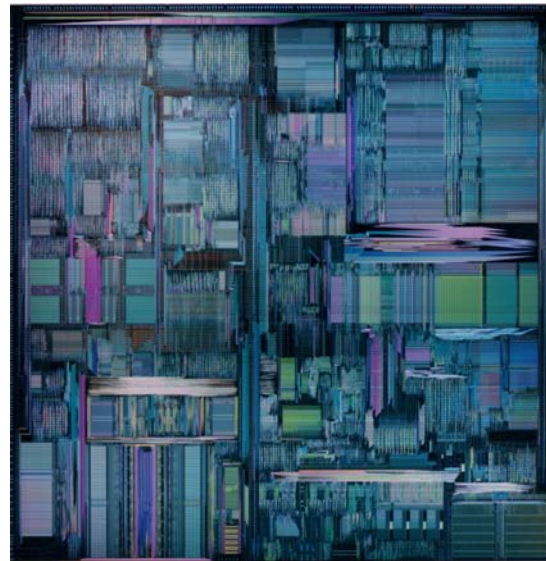


286

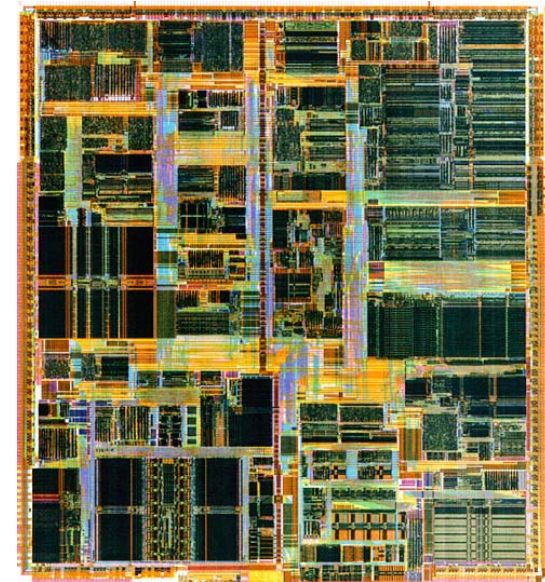




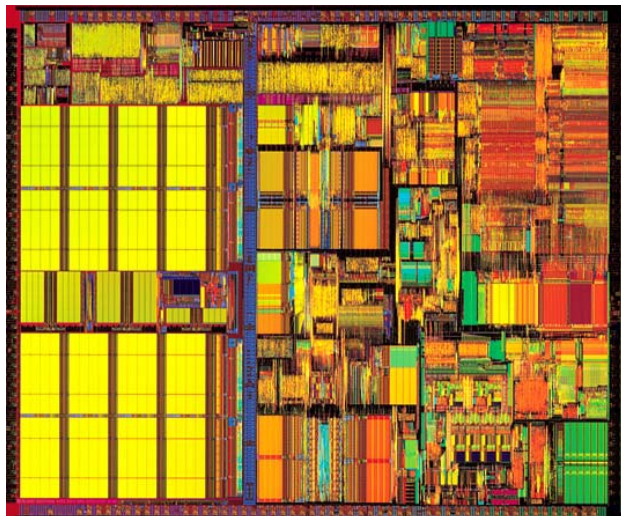
pentium



Pentium pro



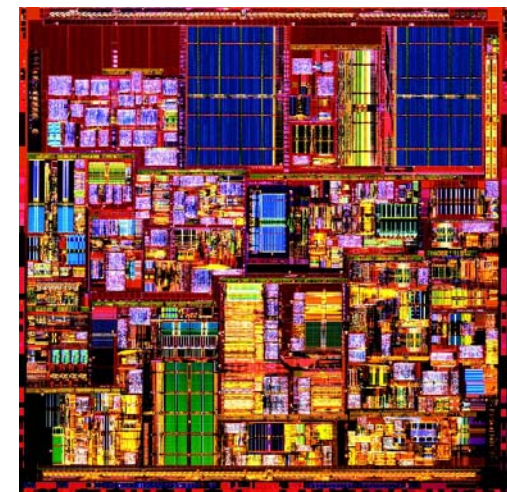
Pentium II



Pentium III



Pentium IV Willamette



Pentium IV northwood



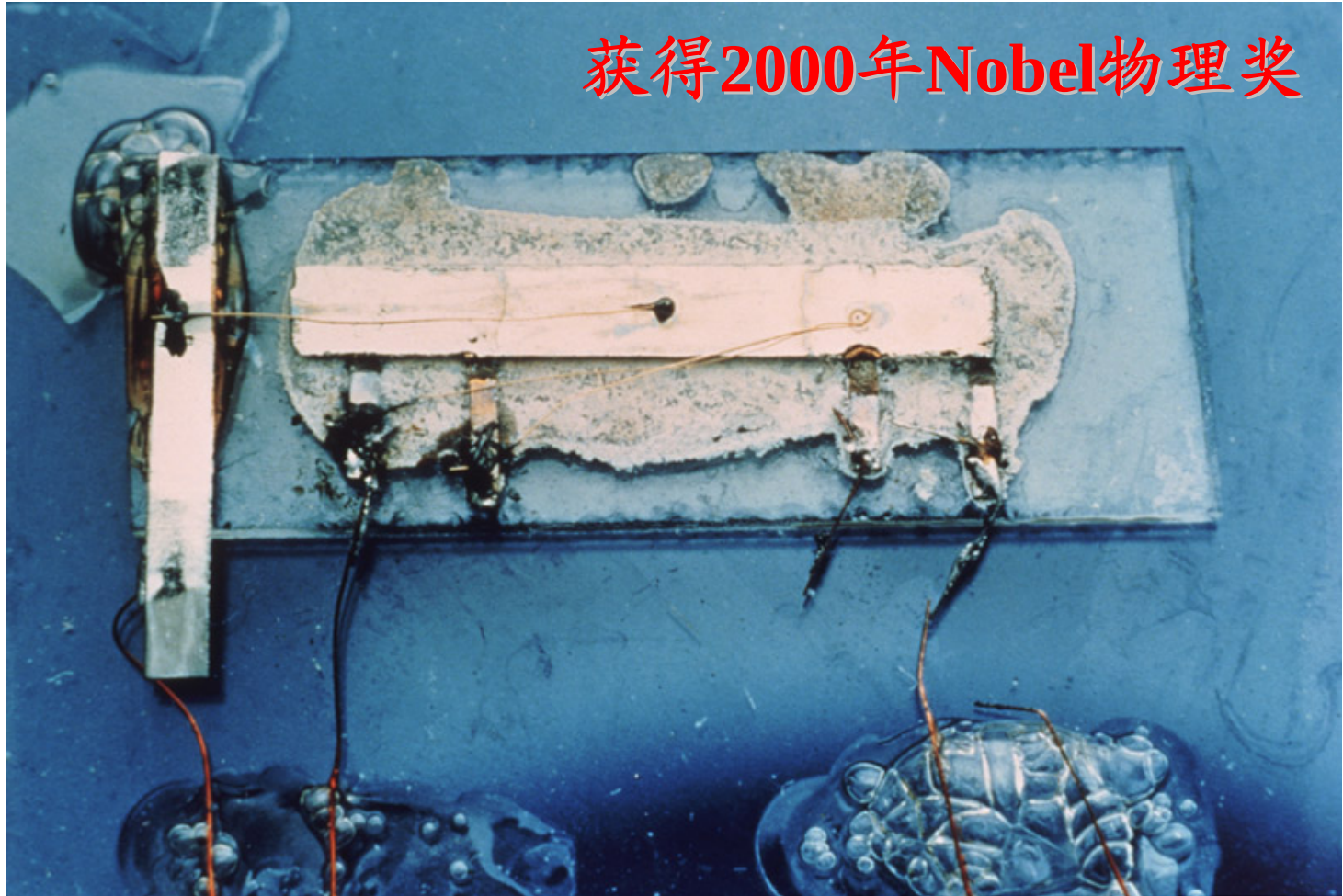
集成电路的发明

- 1952年5月，英国科学家 G. W. A. Dummer第一次提出了集成电路的设想。
- 1958年以德克萨斯仪器公司（TI）的科学家基尔比(Clair Kilby)为首的研究小组研制出了世界上第一块集成电路，并于1959年公布了该结果。



集成电路的发明

获得2000年Nobel物理奖



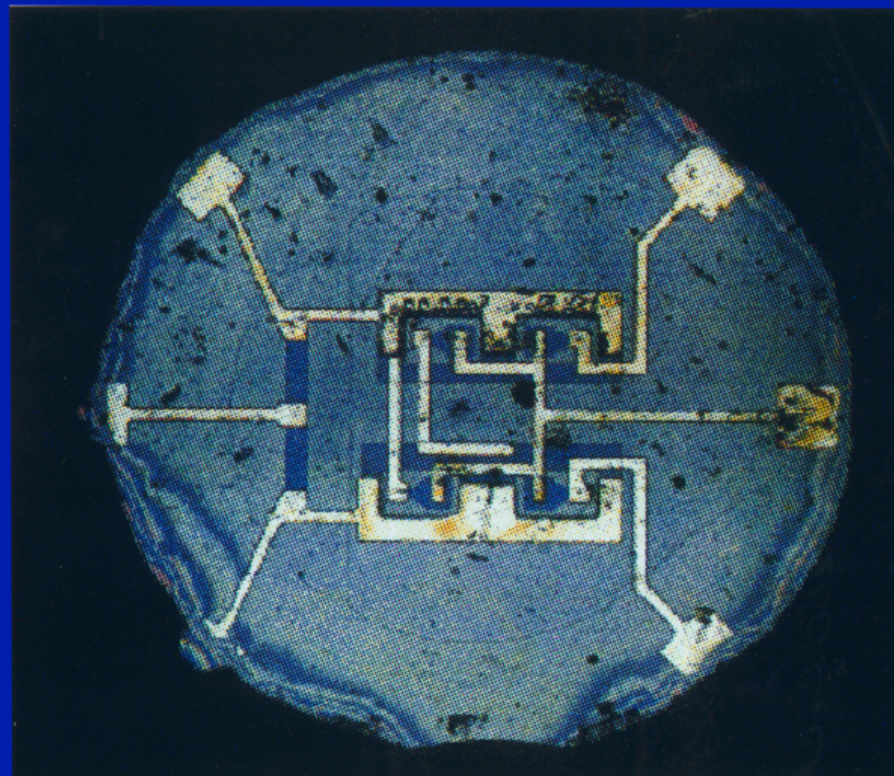
1958年世界上第一块集成电路：锗衬底上形成台面双极晶体管和电阻，总共12个器件，用超声焊接引线将器件连起来。



西安交通大学微电子学系

Noyce 发明的第一块单片集成电路

FIRST MONOLITHIC IC BY R. N. NOYCE
(US Patent 2,981,877 filed July 1959, granted 1961)



集成电路发展史上的几个里程碑

- 1962年Wanlass、C. T. Sah——CMOS技术现在集成电路产业中占95%以上；
- 1967年Kahng、S. Sze等 ——浮栅晶体管；
- 1968年Dennard——单晶体管DRAM；
- 1971年Intel公司生产出第一个微处理器芯片4004——计算机的心脏；
 - 目前全世界微机总量约6亿台，在美国每年由计算机完成的工作量超过4000亿人年工作量。美国欧特泰克公司认为：微处理器、宽频道连接和智能软件将是21世纪改变人类社会的三大技术创新



集成电路的发展

集成电路经历了从小规模集成（**SSI**）、中规模集成（**MSI**）、大规模集成（**LSI**）和超大规模集成电路(**VLSI**)、而达到目前的特大规模集成电路(**ULSI**)时代，目前集成电路的规模已经进入吉规模（**GSI**）时代。

	SSI	MSI	LSI	VLSI	ULSI	GSI
元件数	$<10^2$	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$	$>10^9$
门数	<10	$10 \sim 10^2$	$10^2 \sim 10^4$	$10^4 \sim 10^6$	$10^6 \sim 10^8$	$>10^8$



集成电路的发展水平的标志

- IC加工工艺的特征尺寸(MOS晶体管的最小栅长、最小金属线宽)
- 集成度（元件/芯片）
- 生产IC所用的硅片的直径
- 芯片的速度(时钟频率)
- 电源电压(V_{DD})



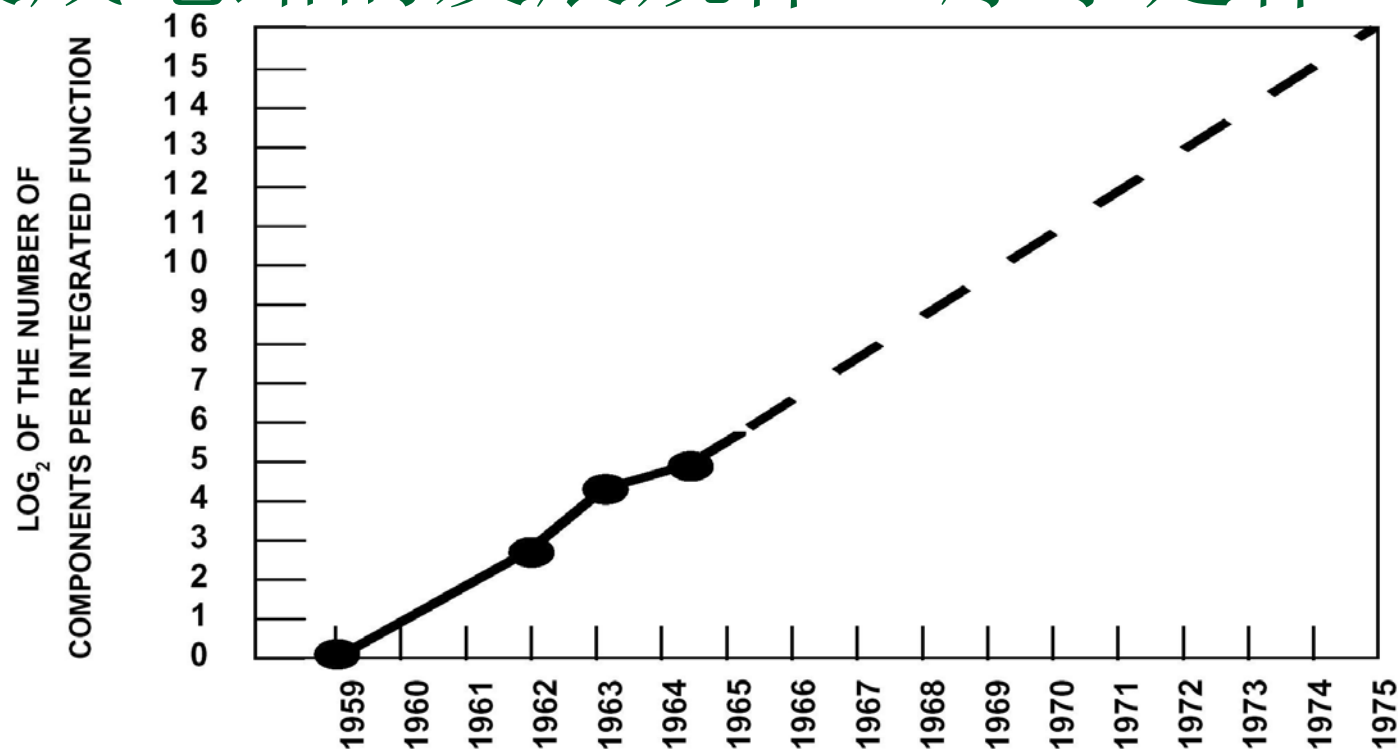
集成电路的发展特点

九十年代以来，集成电路工艺发展非常迅速，已从亚微米(0.5到1微米)进入到深亚微米(小于0.5微米)，进而进入到超深亚微米(小于0.25微米，目前已经到了65~45纳米)。其主要特点：

- 特征尺寸越来越小(最小的MOS管栅长或者连线宽度)
- 芯片尺寸越来越大(die size)
- 单片上的晶体管数越来越多
- 时钟速度越来越快
- 电源电压越来越低
- 布线层数越来越多
- I/O引脚越来越多



集成电路的发展规律—摩尔定律



Electronics, April 19, 1965.

- 1965年，Gordon Moore注意到单芯片上集成的晶体管数目每18到24个月翻一番；于是他预测半导体技术的效力(effectiveness)将每隔18个月翻一番。



集成电路的发展规律—摩尔定律

■ Moore's Law:

- --- Min. transistor feature size decreases by 0.7X every three years

- --- True for at least 30 years!

■ 后人对摩尔定律加以扩展，即集成电路的发展：

- 工艺每2~3年升级一代；

 - 特征尺寸：**0.7x**，意味集成度**x2**。

 - 速度：**2x**

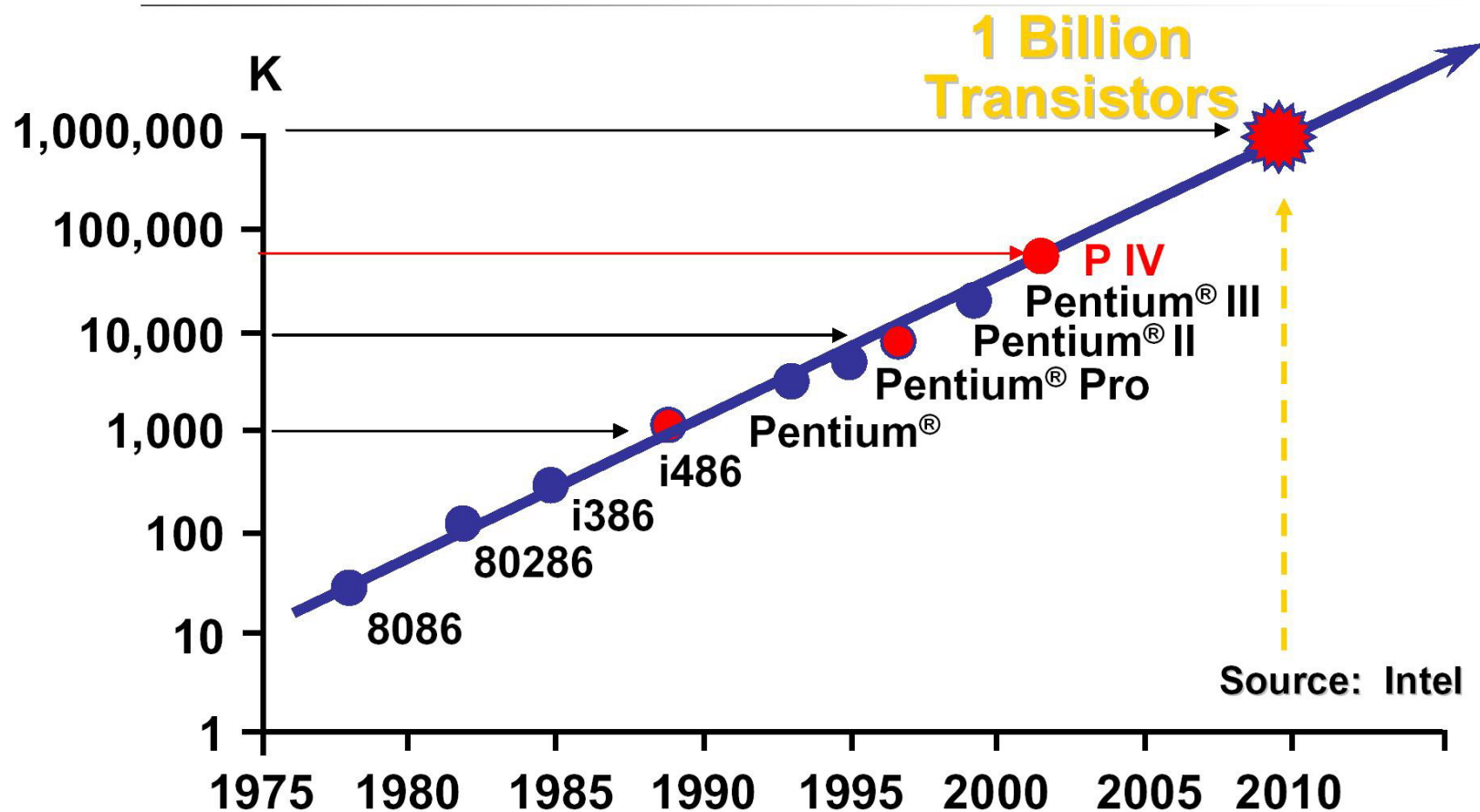
- 集成度每三年翻二番；

- 成本：单位功能成本0.7x/年，单位面积成本~\$4/cm²

- 逻辑电路（以CPU为代表）的工作频率提高约30%。

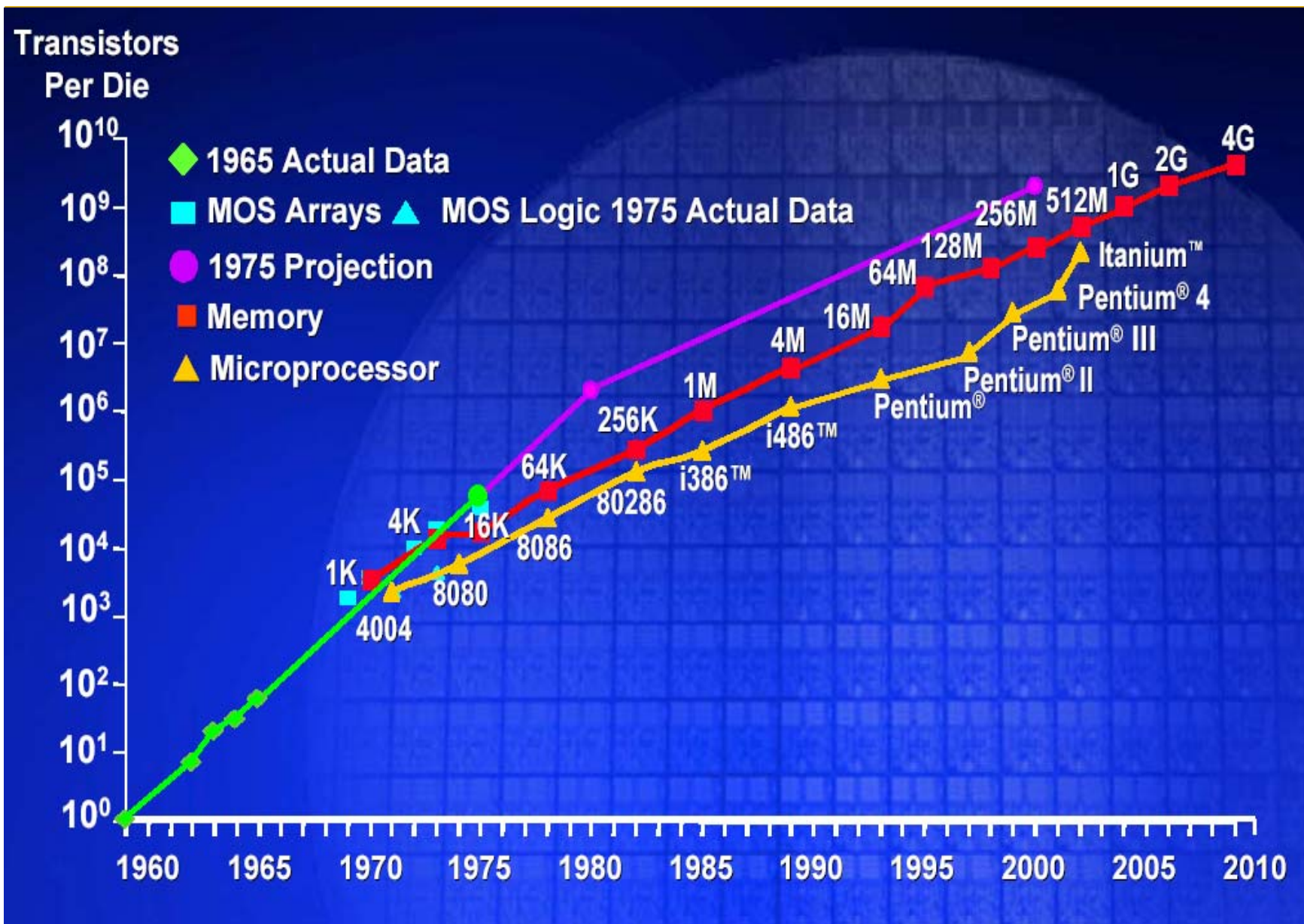


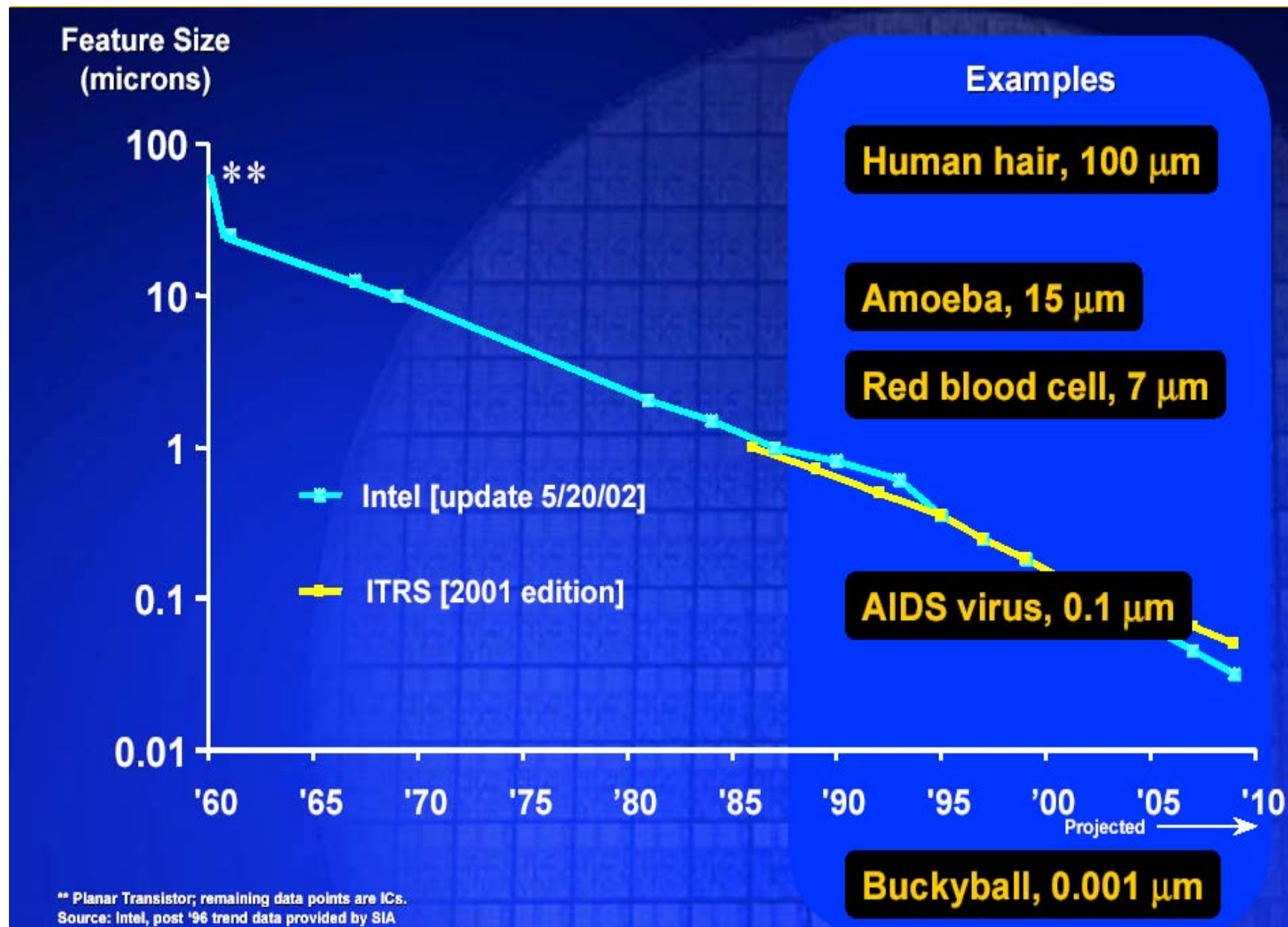
摩尔定律—Intel公司CPU发展



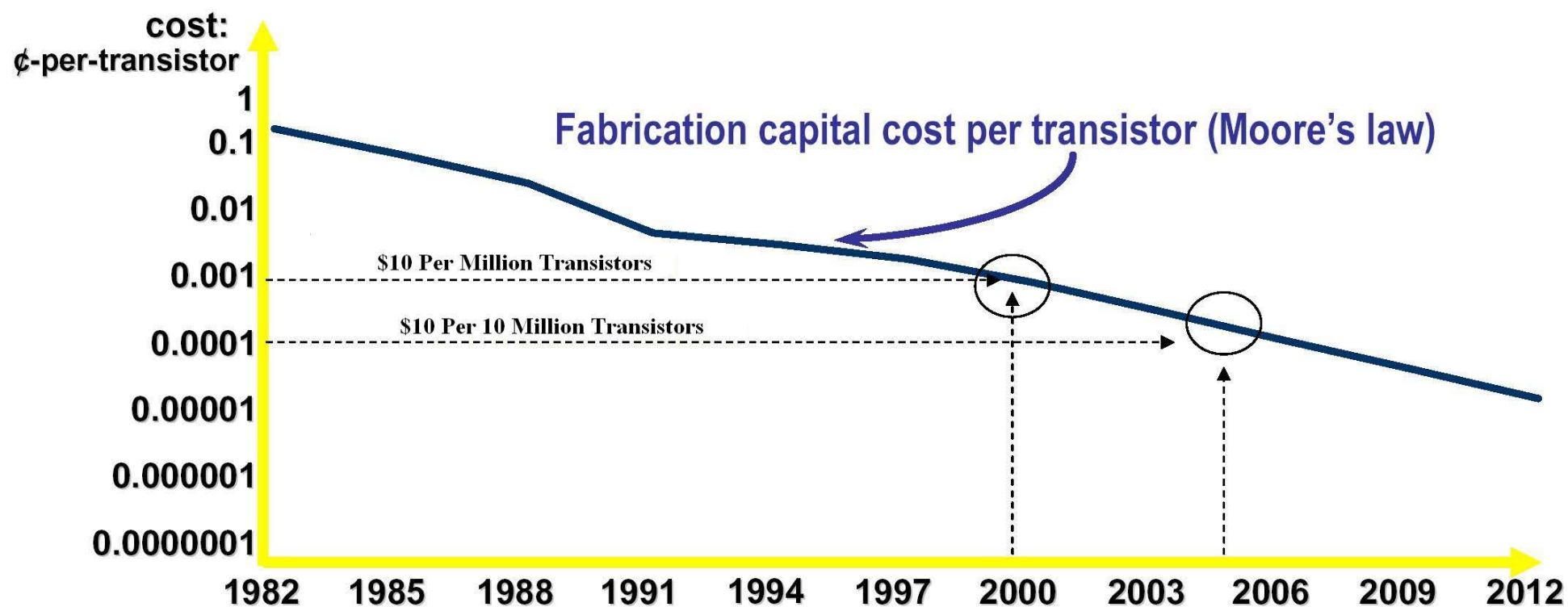
先进CPU上集成的晶体管数目每两年翻一倍！



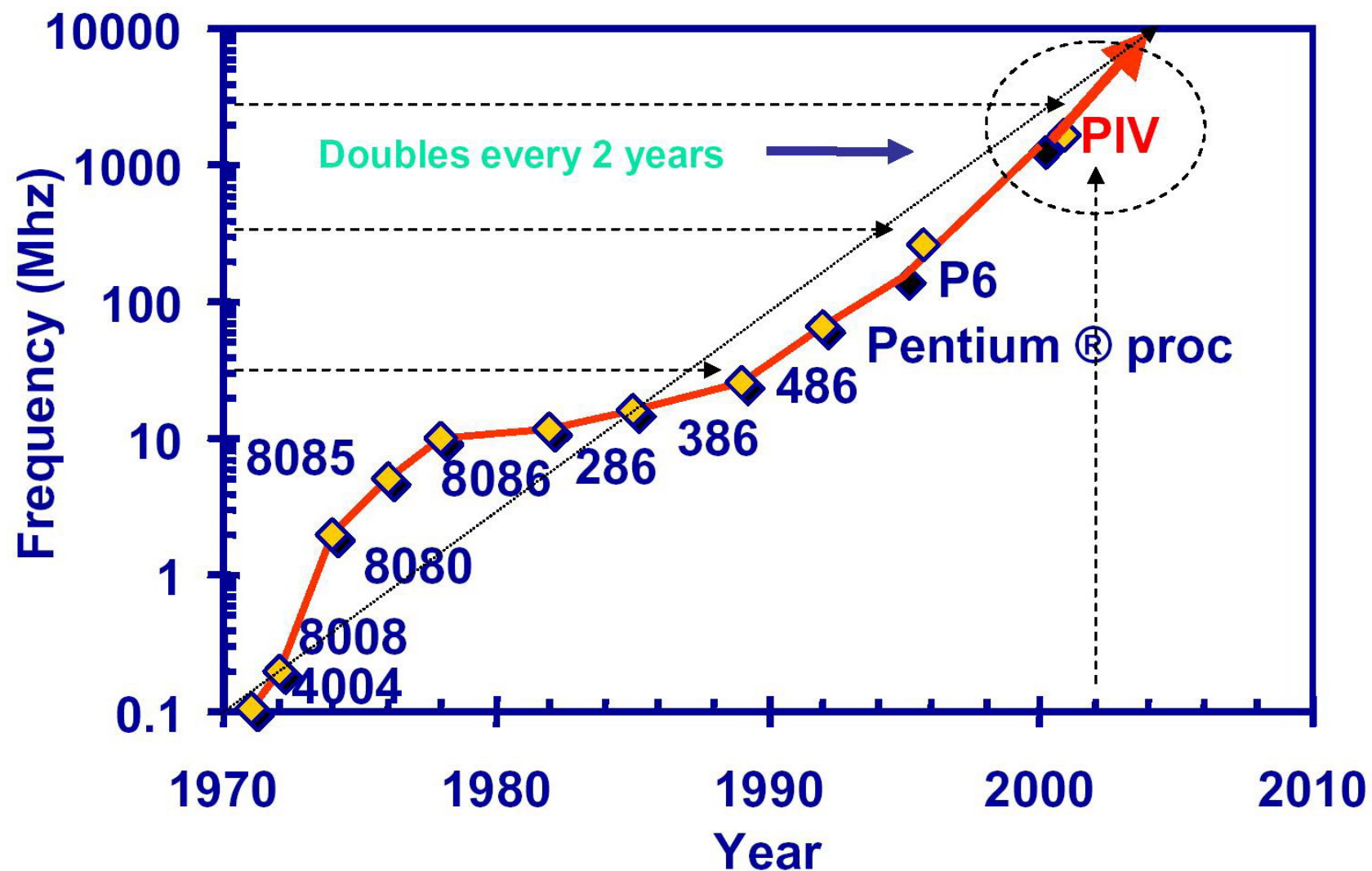




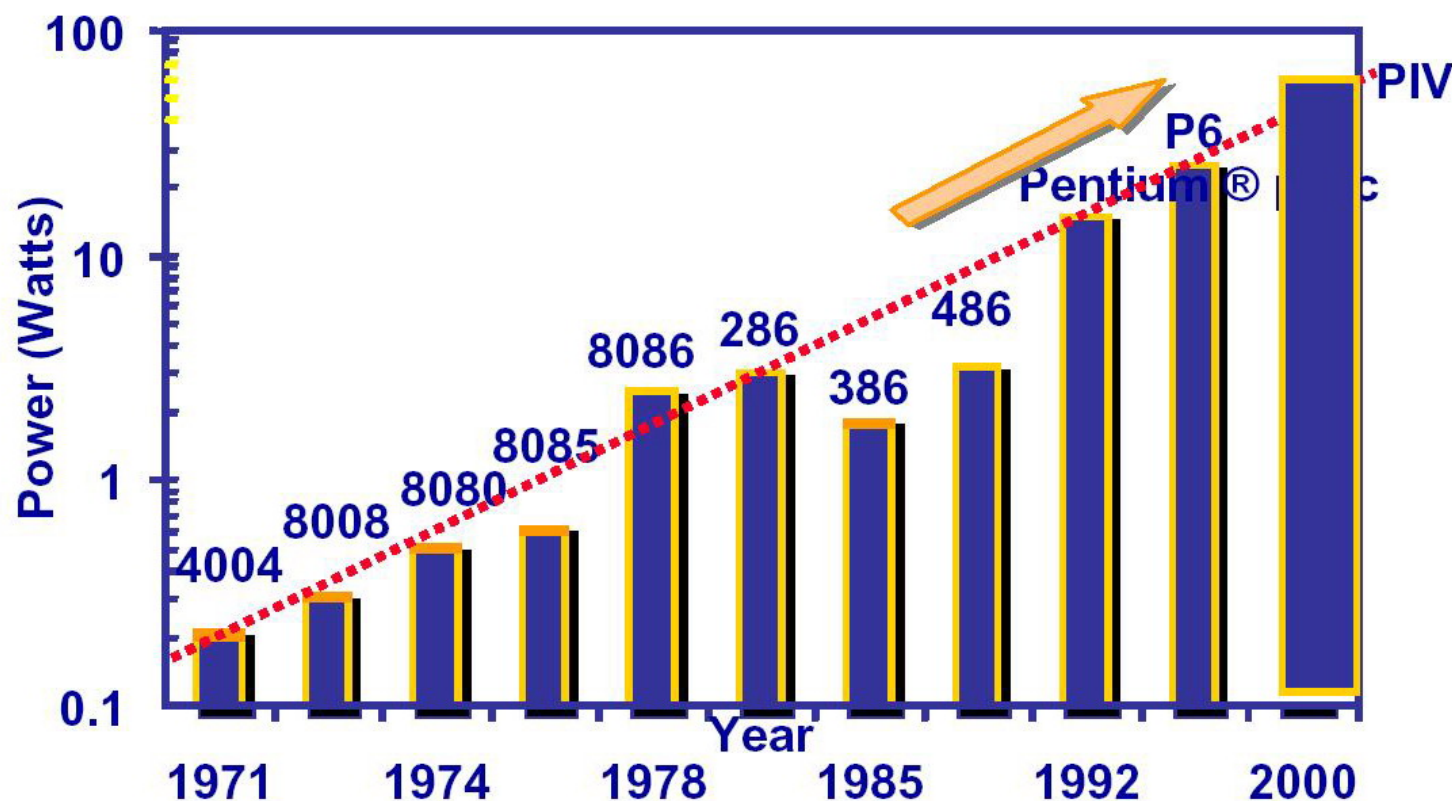
摩尔定律—平均每个晶体管价格



摩尔定律—时钟频率



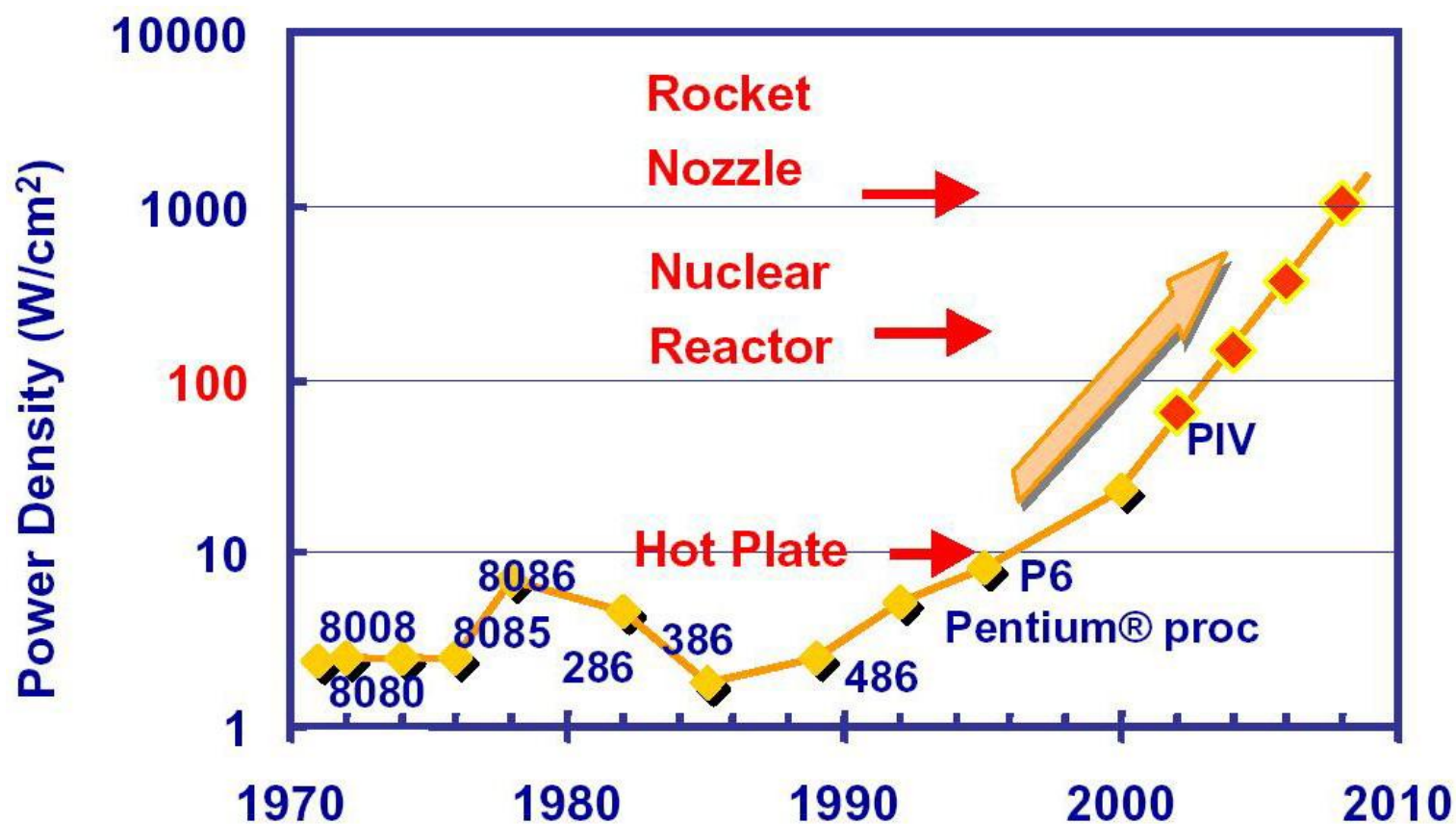
集成电路发展—功耗



Lead Microprocessors power continues to increase



集成电路发展—功耗



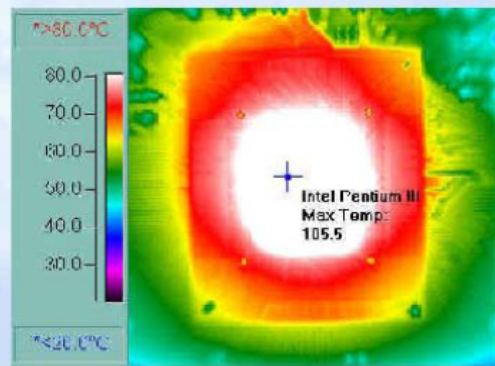
Power density too high to keep junctions at low temp



集成电路发展—功耗

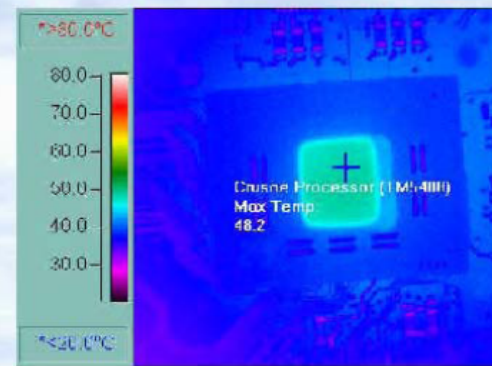
TransMeta Example

Processor Thermal Comparison



**Pentium III
Playing DVD**

**105.5° C
221.9° F**



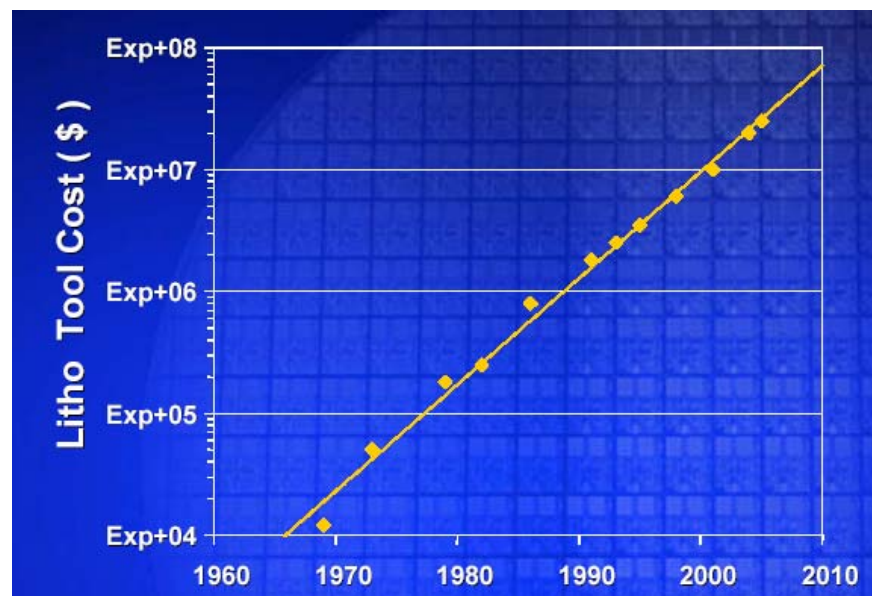
**Crusoe Processor
Playing DVD**

**48.2° C
118.8° F**



摩尔定律发展

- 经过30多年，集成电路产业的发展证实了摩尔定律的正确性，但是摩尔定律还能有多长时间的生命力？
- 集成电路的特征尺寸：
130nm→90nm→65nm→45nm→30nm→?量子效应，物理极限
- 集成电路光刻费用急剧增加
- 集成电路加工厂建厂费用的增加(目前是20亿\$)
- 集成电路功耗的增加；



集成电路发展一小结

- 集成度**18**个月翻一番，价格降低一倍；
- IC加工尺寸，**0.1 μm** ，**头发丝100 μm** ，皮肤细胞**30~50 μm** ，晶体管零点几个 μm ；
- IC功耗微瓦级。逻辑门的速度与功耗乘积(开关能量)<**0.005**微微焦耳，比人脑神经活动一次所需能量低**40**倍，**2000**年以**IC**为基础的电子信息产业成为世界第一大产业。人们说进入了**信息时代**。



集成电路发展一小结(续)

1. 集成度：元件数/芯片，吉规模，摩尔定律
2. 特征尺寸：光刻能达到的最小线/MOS的L，**0.8um, 0.6um, 0.35um, 0.25um, 0.18um, 0.13um, 90nm, 65nm, 45nm;**
2~3年/代, Vx0.85/代, Lx0.7/代
3. 硅片直径(英寸)：6", 8"(200mm), 12"(300mm)
4. 性能：两高(集成度、速度)、两低(功耗、价格)，向**SOC**发展
5. 我国的现状与发展规划
现状落后：高档**IC**中，中国“芯”很少。
发展迅速：**2010年**，需求**4200亿元**，自给达**50%**(占世界的**3~4%**)，从业人员**>4万**；
6. 专业分工：**DesignHouse、Foundry、Testing、Packaging**
代工厂(08年)：**TSMC(45.2%)**；**UMC**；**chartered**；**SMIC**
台积电 台湾联电 新加坡特许 中芯国际



1.2 IC的分类

- 按照处理信号的类型分：

- 数字集成电路 (Digital IC)

完全按照二进制逻辑进行运算的电路：CPU，DSP，各种组合逻辑门和触发器时序门电路，计数器，寄存器，RAM/ROM等；

- 模拟集成电路 (Analog IC)

运放，电压比较器，跟随器，振荡器，DC-DC，稳压器，充电管理芯片等；

- 数模混合集成电路 (Mixed Signal IC)

既包含模拟IC，又有数字IC。AD/DA，多数通讯电路，片上系统(SOC)；

- 数字电路—系统级：强调多人合作，团队精神；
- 模拟电路—电路级：突出个人天才，强调变化；



1.2 IC的分类(续)

- 按构成**电路的半导体器件**可分为：
 - 双极集成电路（Bipolar IC）
 - MOS集成电路（MOS IC）
 - 双极—CMOS集成电路（Bi-CMOS IC）
 - 砷化镓（GaAs）高速电路
- 按照**电路的应用性质**划分：
 - **通用IC**：CPU，74系列IC，54系列IC，存储器，DSP等；
 - **专用IC（ASIC）**：通讯专用电路，网络专用电路，加密/解密专用电路；

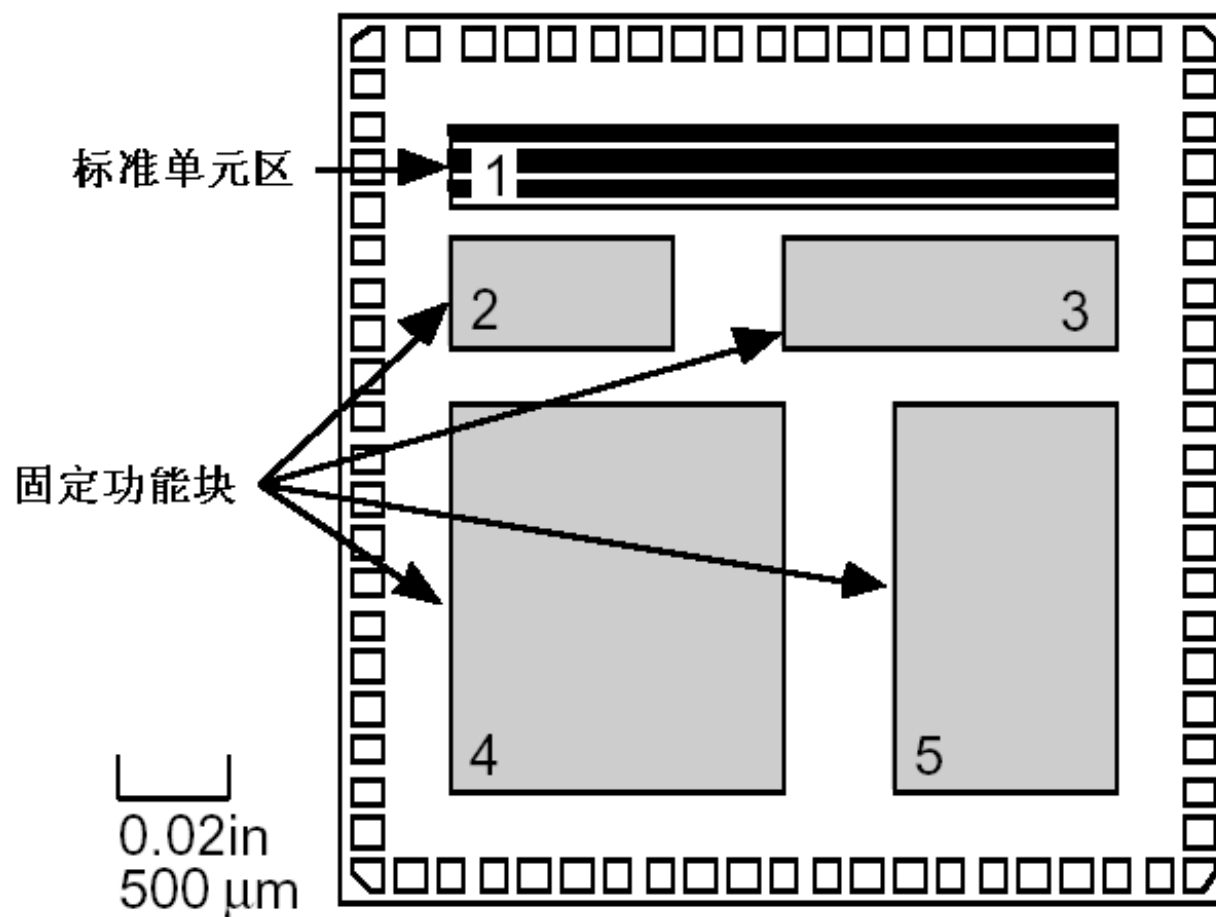


1.2 IC的分类(续)

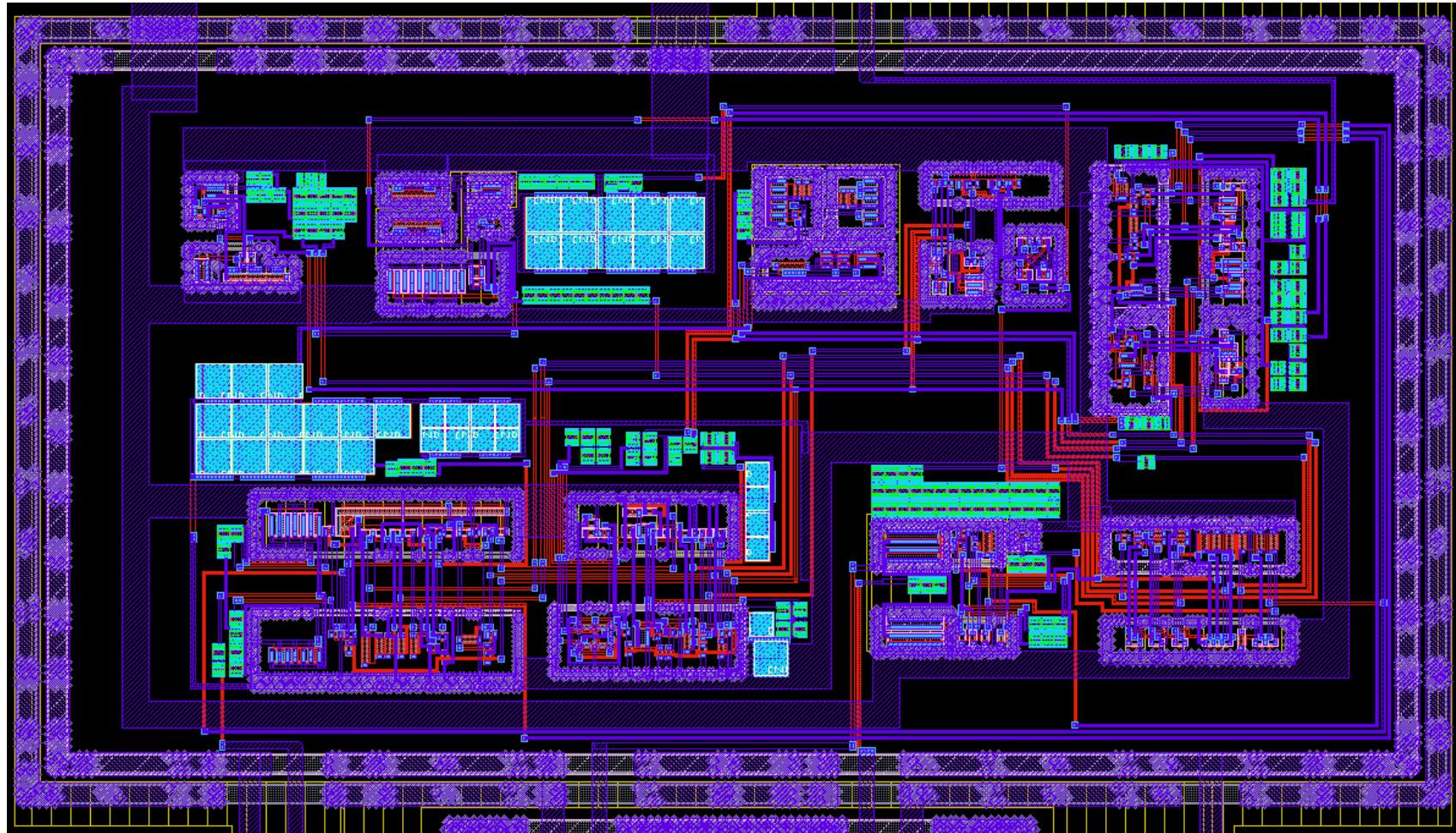
- 按照设计方法不同分为:
 - 全定制(Full-custom);
CPU、DRAM、模拟电路等;
 - 半定制(Semi-custom);
标准单元/门阵列电路, 大多数ASIC电路;
 - 可编程逻辑器件(Programmable Logic Device, PLD);
PLA、PAL、GAL、FPGA、CPLD等器件。



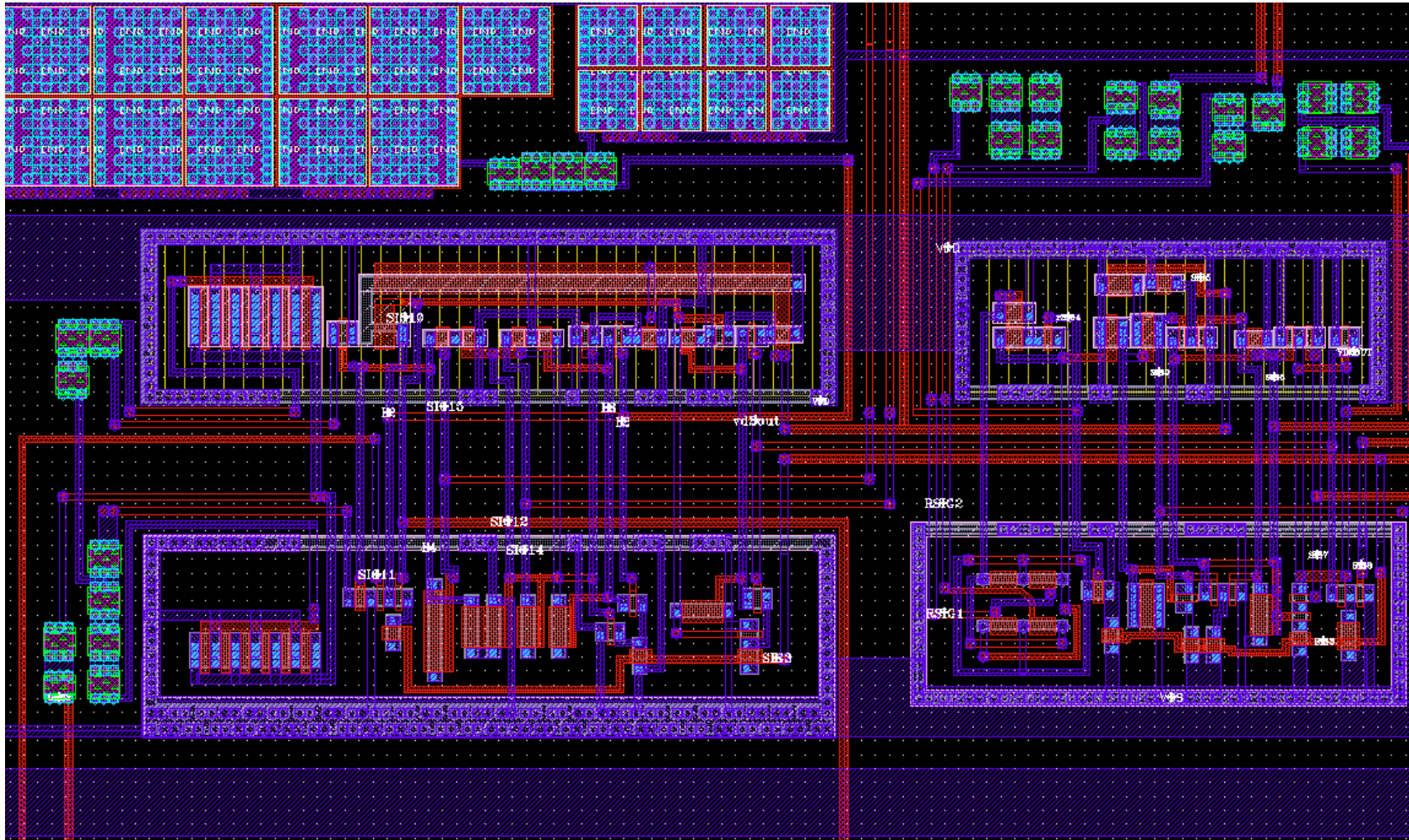
芯片内部不同设计方法实现的功能块



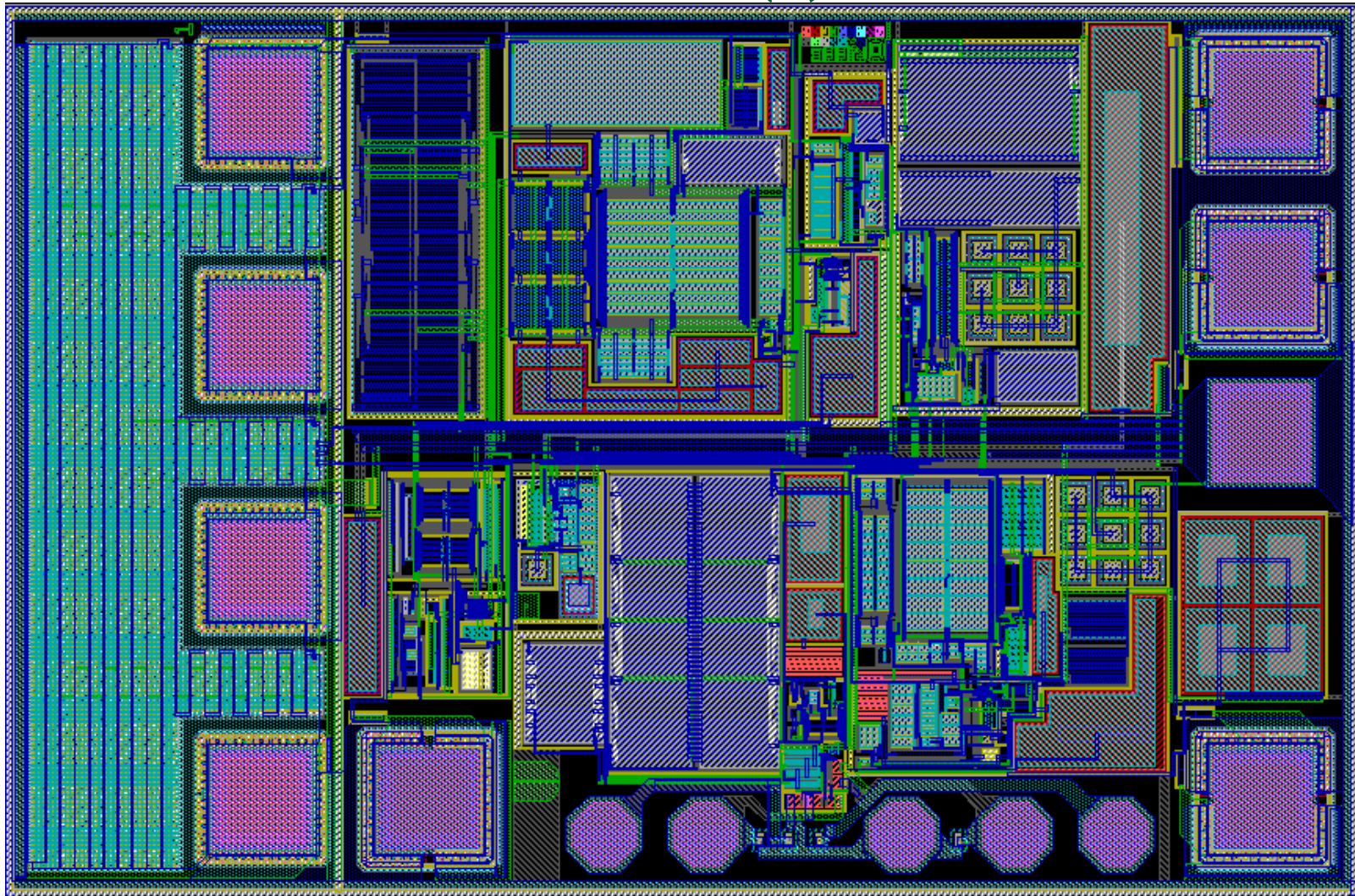
Full-Custom版图示例(1)



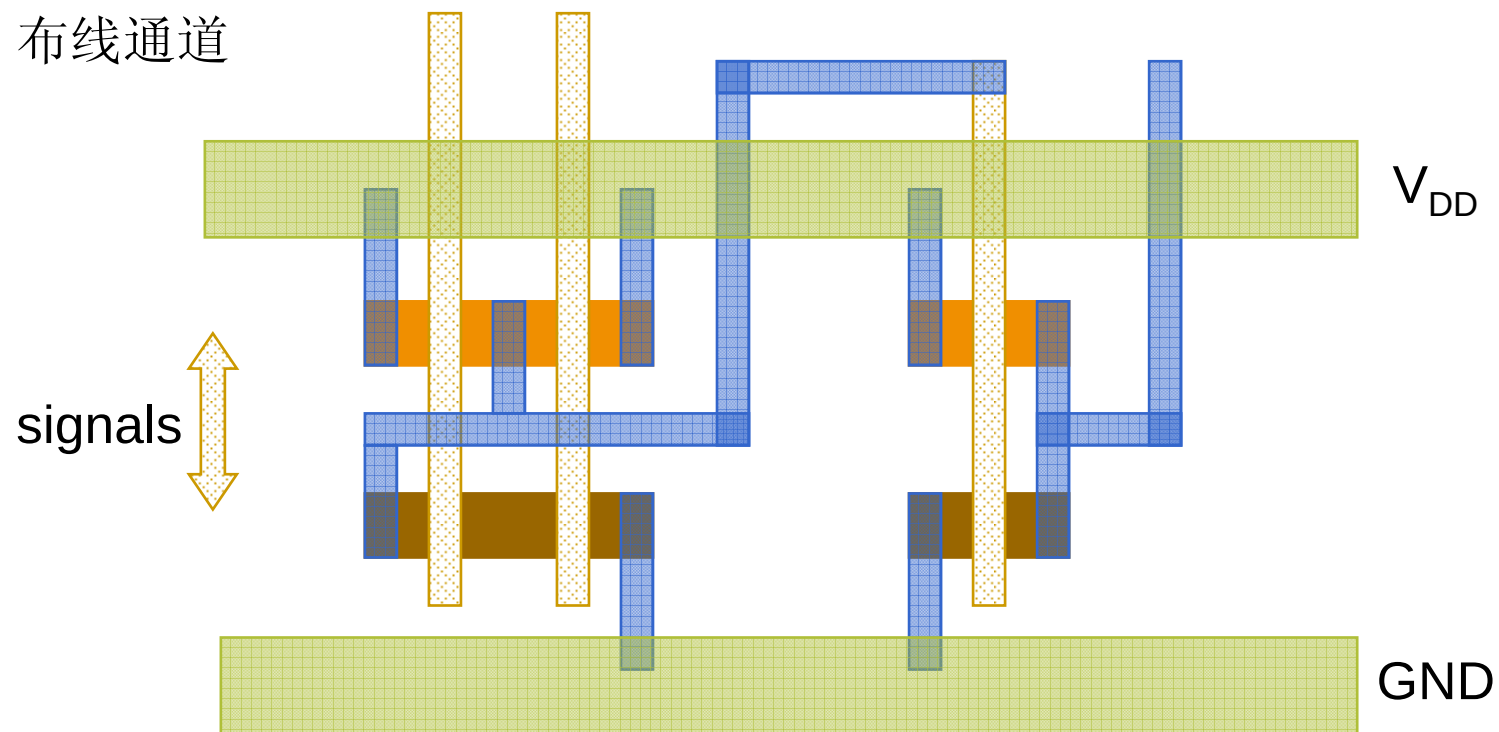
Full-Custom版图示例(2)



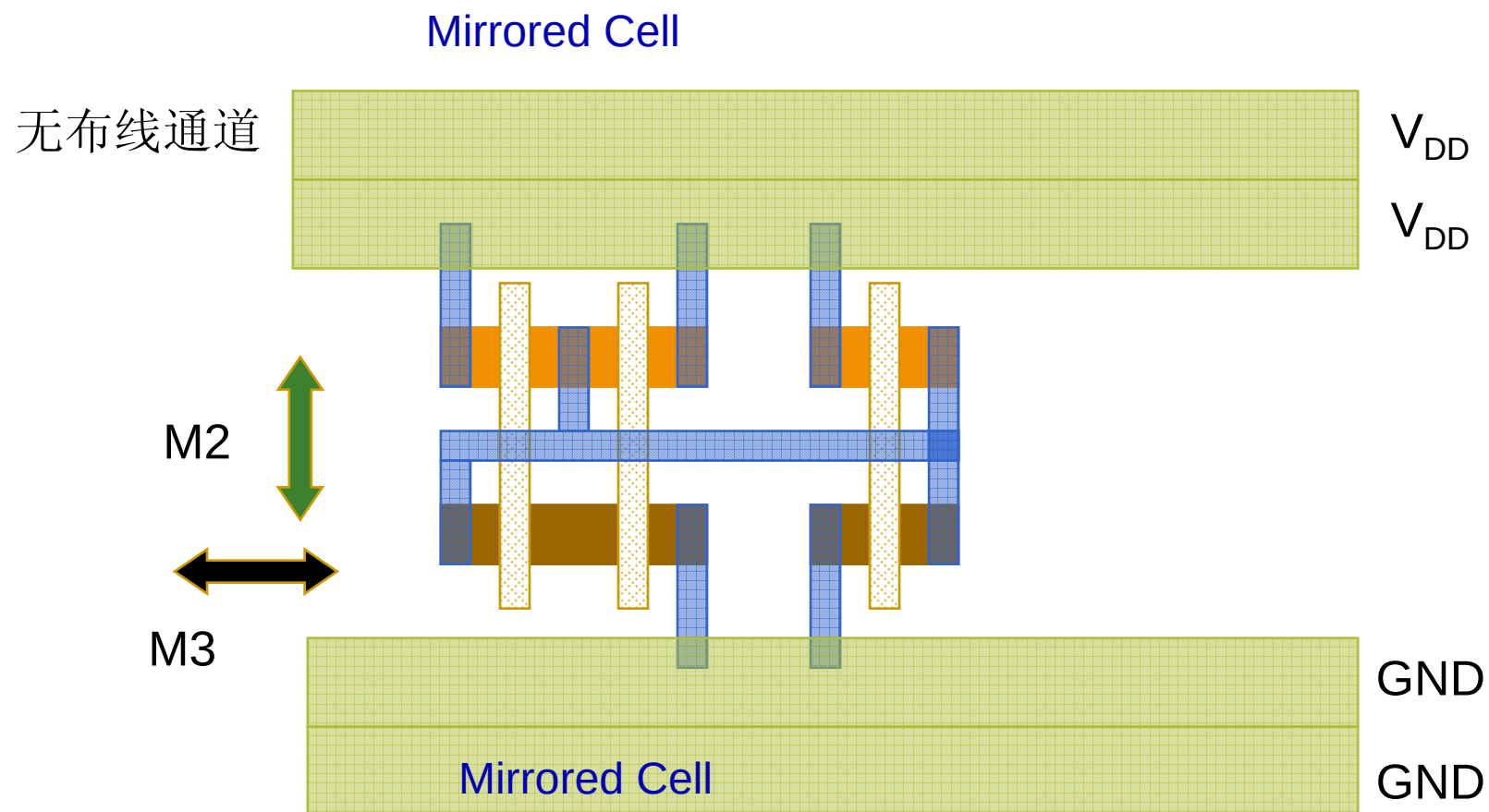
Full-Custom版图示例(3)



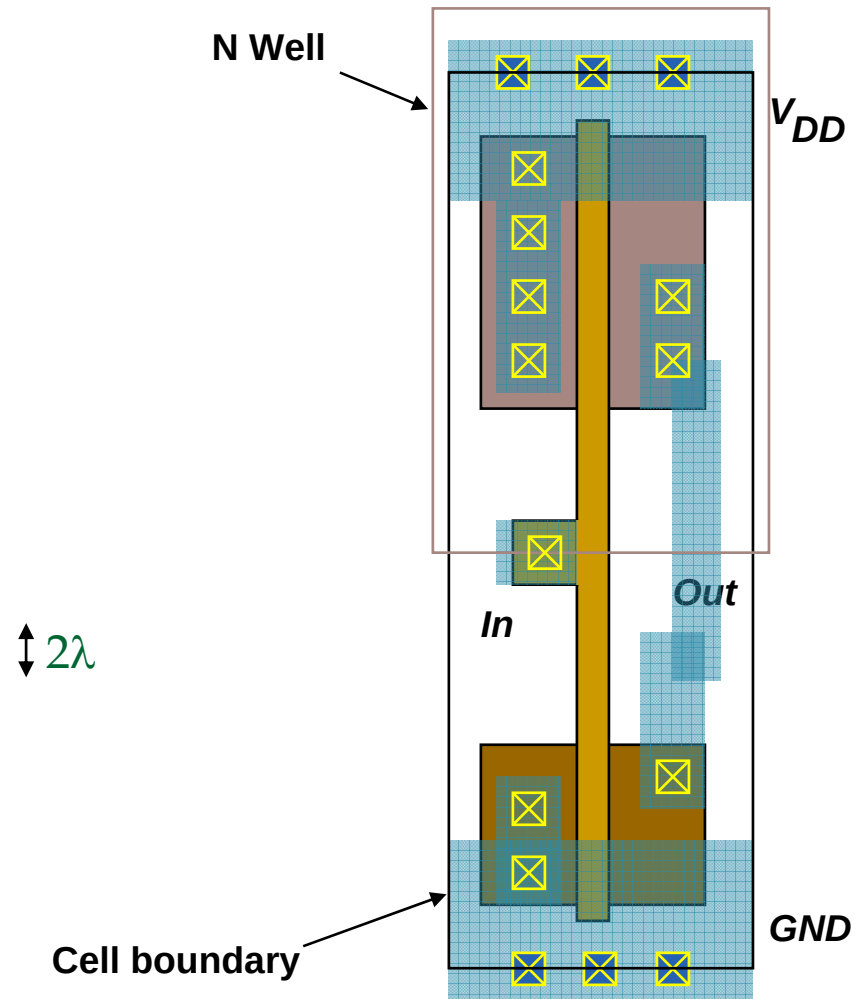
标准单元版图设计方法 - 1980s



标准单元版图设计方法 - 1990s



标准单元



Cell height 12 metal tracks
Metal track is approx. $3\lambda + 3\lambda$
Pitch =
repetitive distance between objects

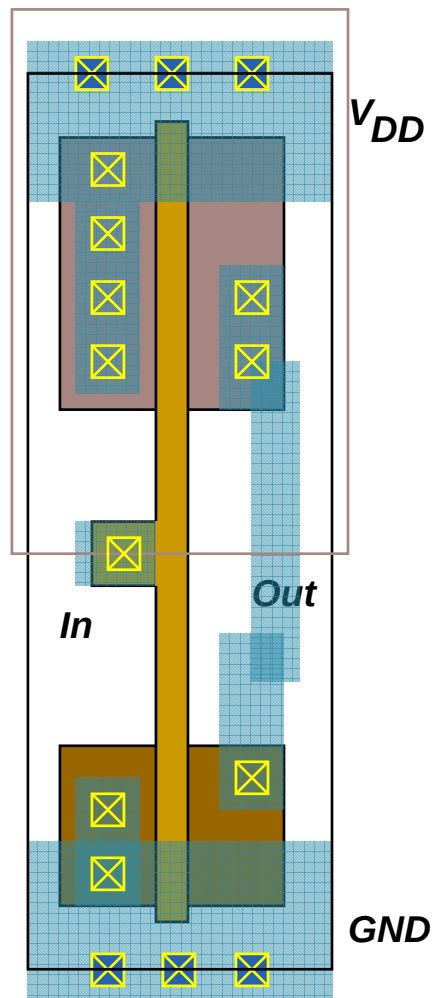
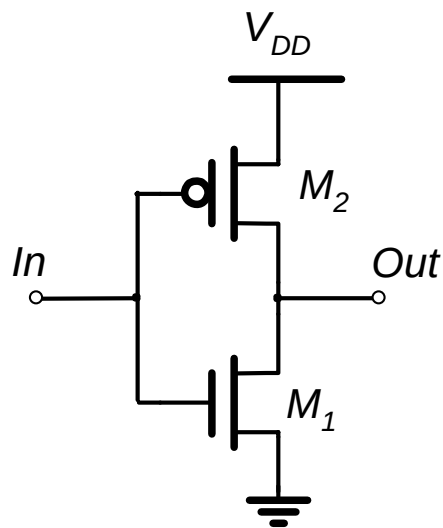
Cell height is "12 pitch"

Rails $\sim 10\lambda$

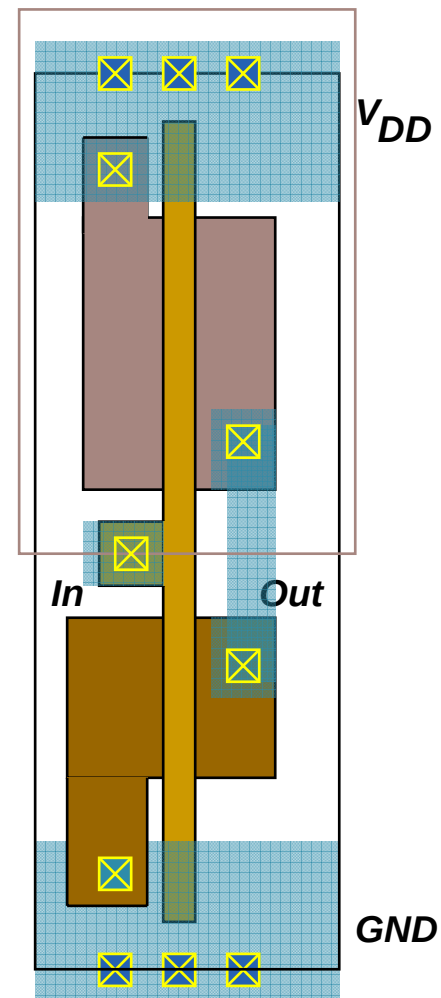


标准单元

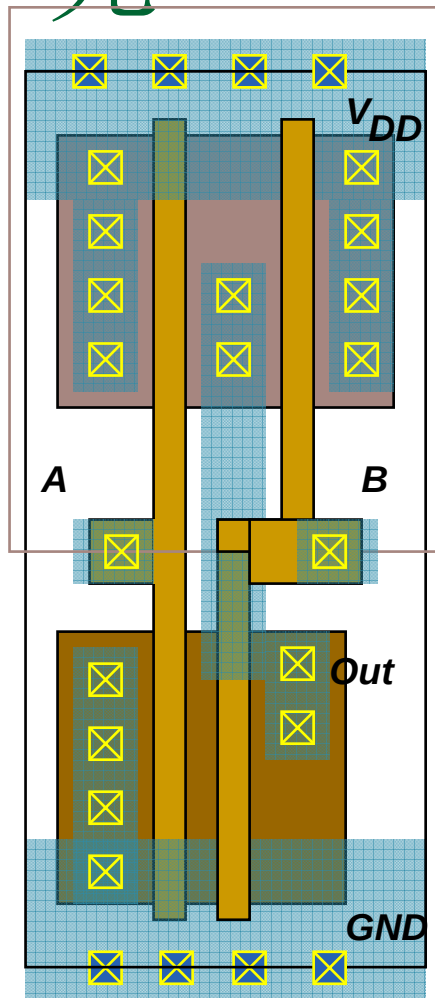
With minimal
diffusion
routing



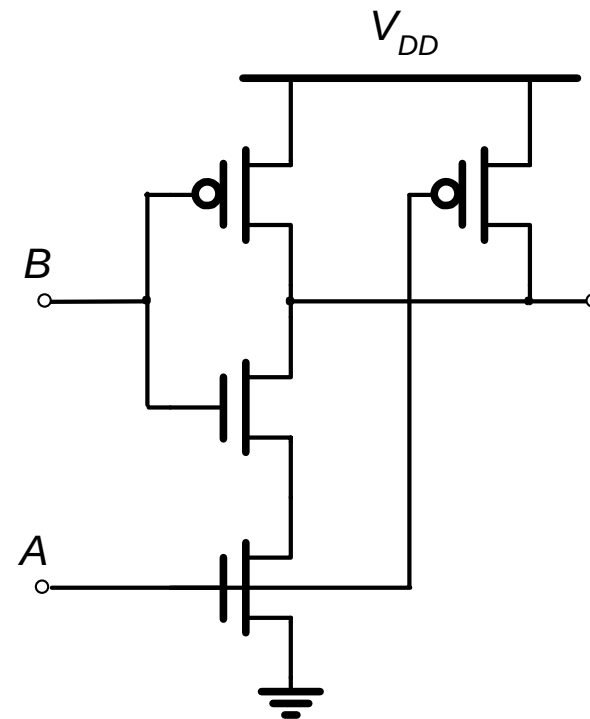
With silicided
diffusion



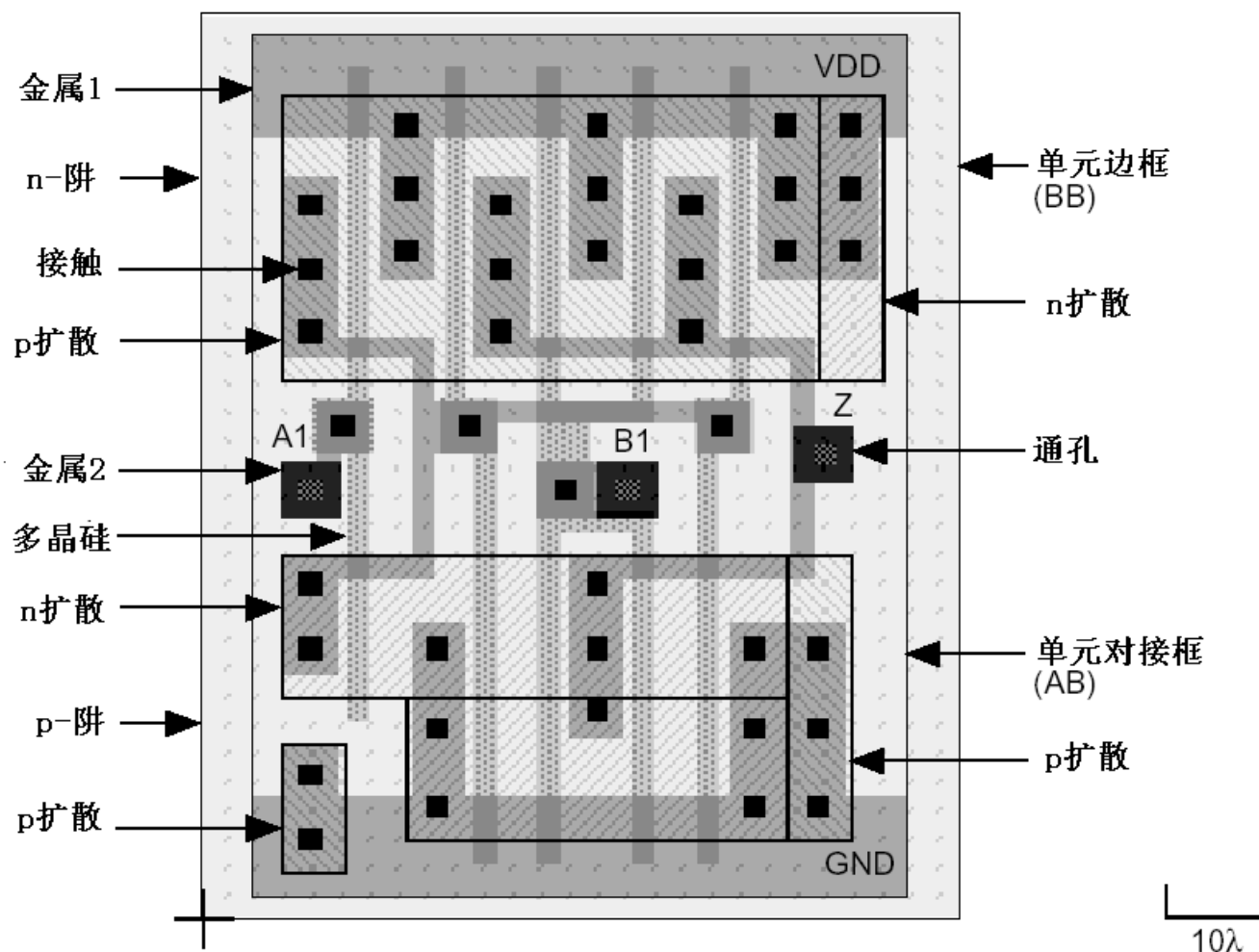
标准单元



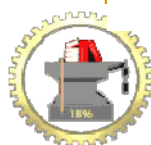
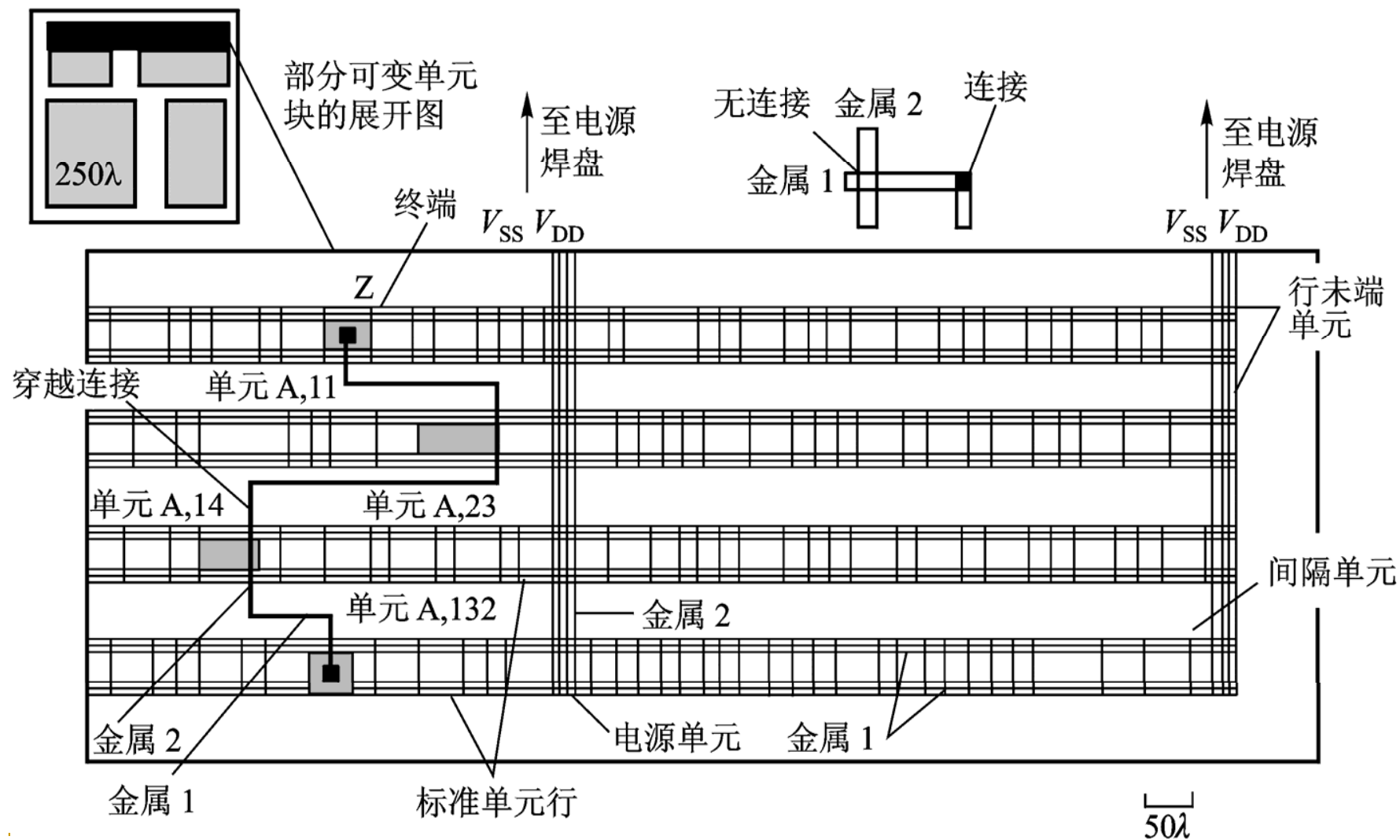
2输入与非门



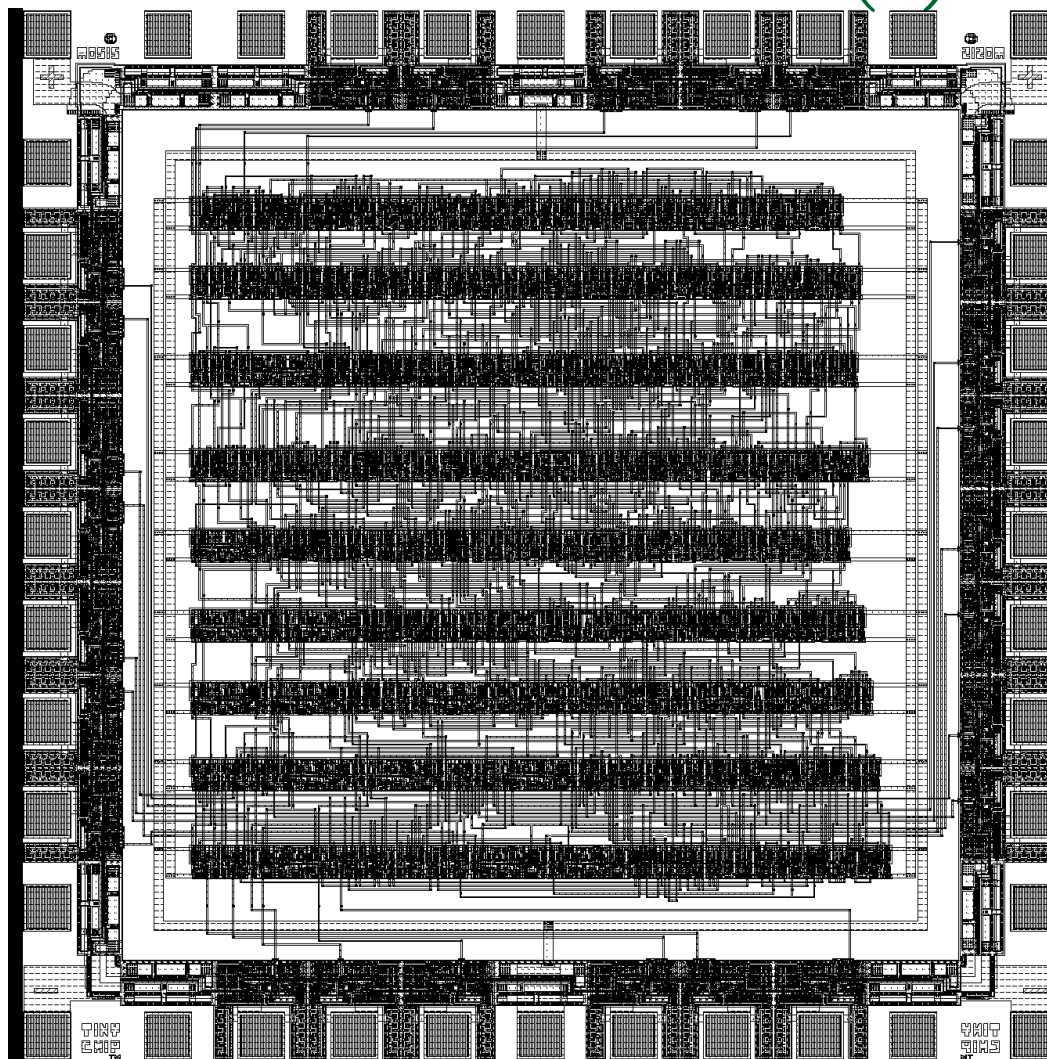
标准单元版图结构



标准单元区内跨越单元行的纵向连线



标准单元版图示例(1)



[Brodersen92]



门阵列(Gate Array)设计方法

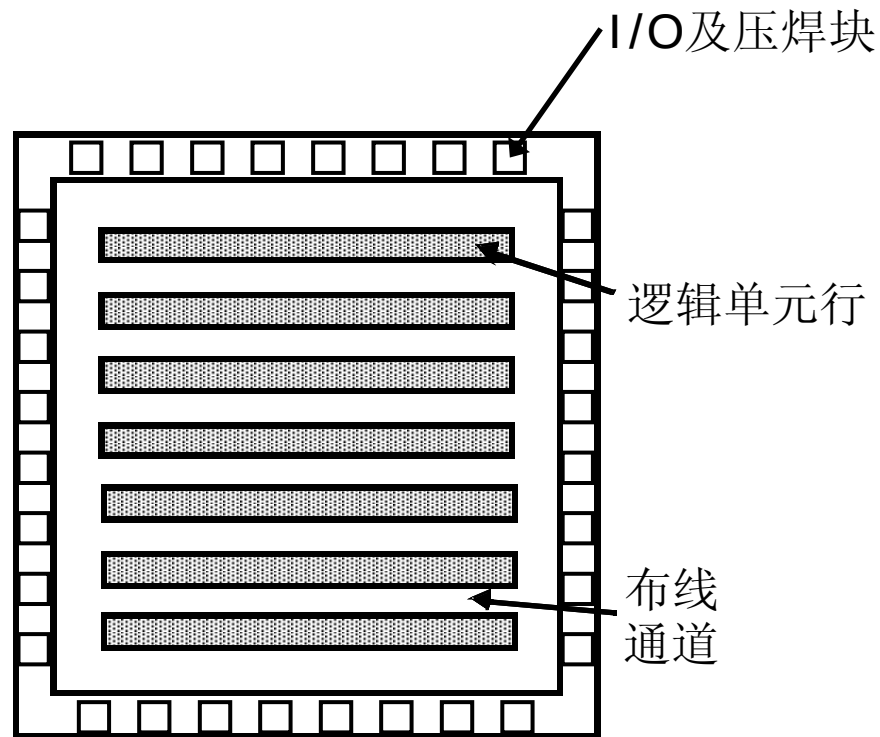
- 概念：形状和尺寸完全相同的单元排列成阵列，每个单元内部含有若干器件，单元之间留有布线通道，通道宽度和位置固定，并预先完成接触孔和连线以外的芯片加工步骤，形成母片（master slice）。母片有各种不同的门规格，如1000门，3000门，5000门和10000门等，并且预先加工好备用。

客户使用时根据不同的应用，设计出不同的接触孔版和金属连线版，单元内部连线及单元间连线实现所需电路功能。

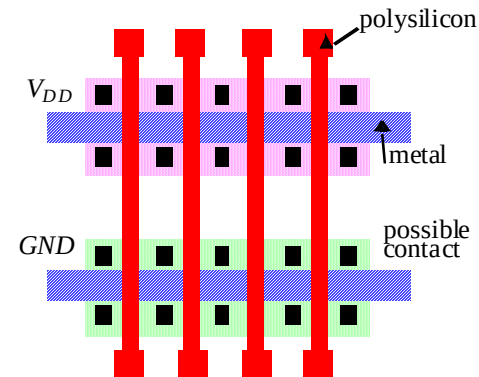
门阵列又称母片半定制技术。



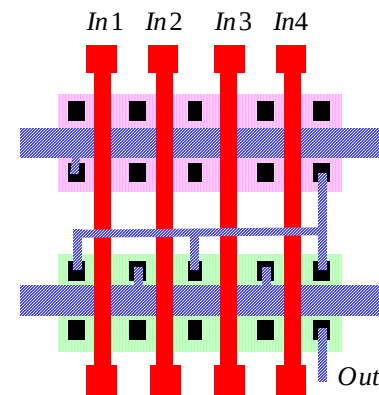
门阵列母片



门阵列母片示例



未使用的单元



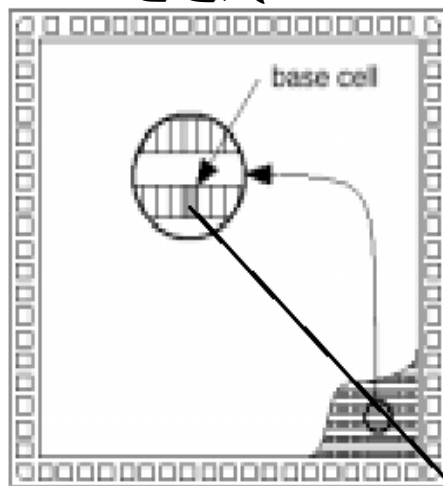
已经使用的单元
(4-输入 NOR)

门阵列基本单元示例



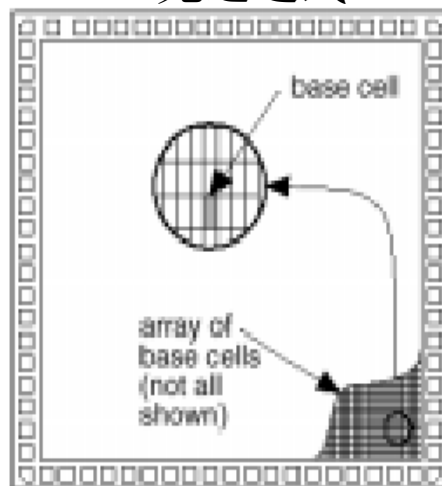
门阵列种类

通道式



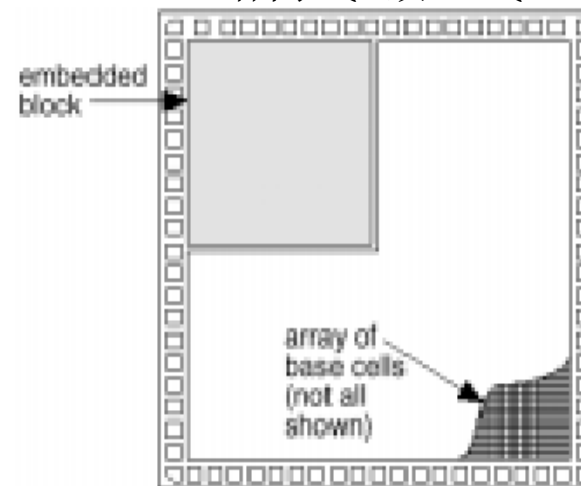
Channeled Gate Array

无通道式

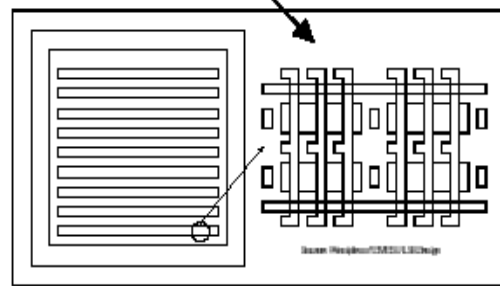


Channelless Gate Array

结构式/嵌入式



Embedded Gate Array



Source: *Application-Specific Integrated Circuits*

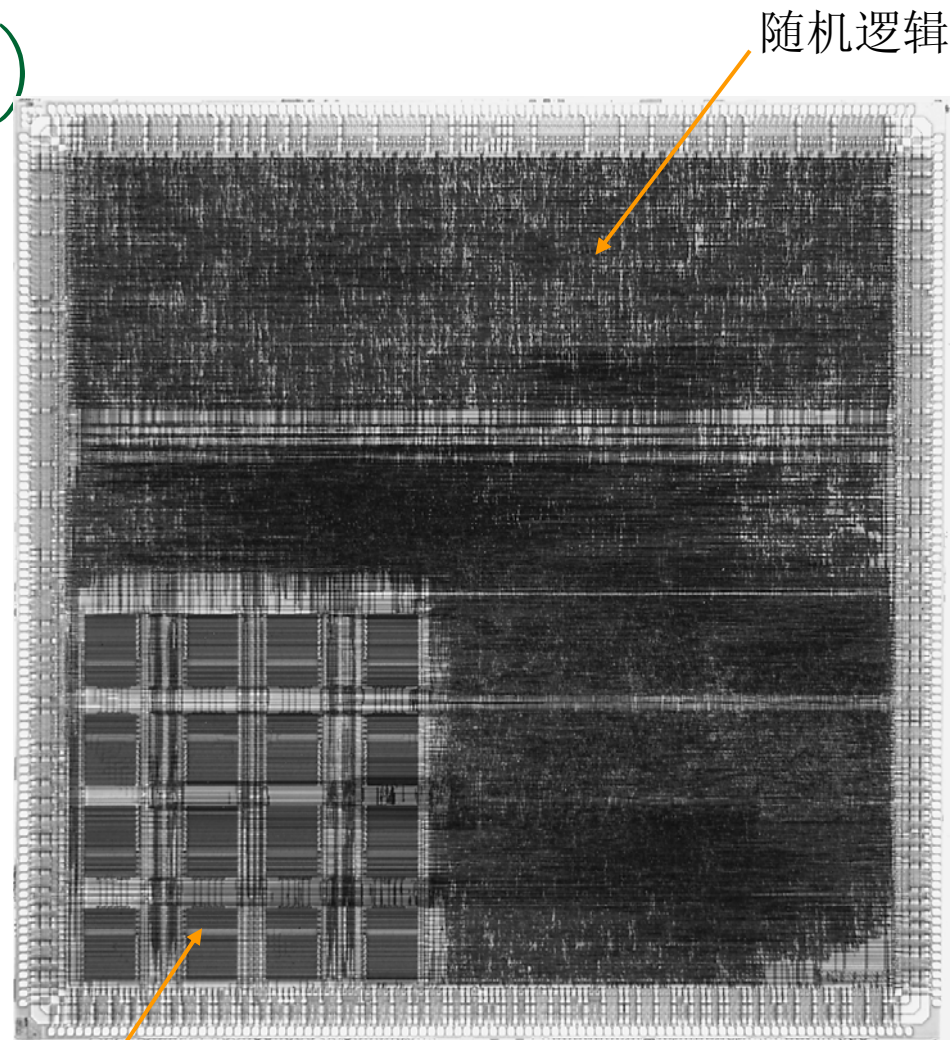
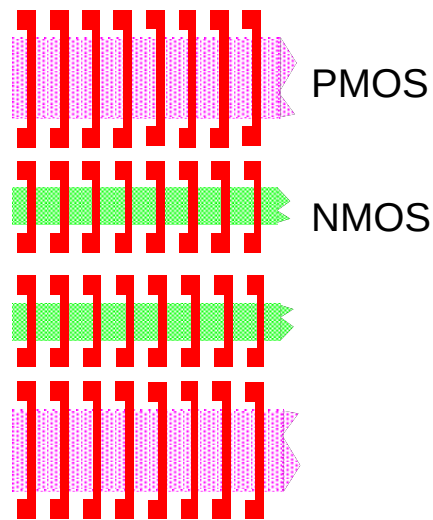


门海(Sea-of-Gate)

门海设计技术：一对不共栅的P管和N管组成的基本单元铺满整个芯片，布线通道不确定（可将基本单元链改成无用器件区走线），宏单元连线在无用器件区上进行。

门利用率高，集成密度大，布线灵活，保证布线布通率。

仍有布线通道，增加通道是单元高度的整数倍，布线通道下的晶体管不可用。



Memory Subsystem

LSI Logic LEA300K
(0.6 μm CMOS)



门阵列基本单元(4管单元)

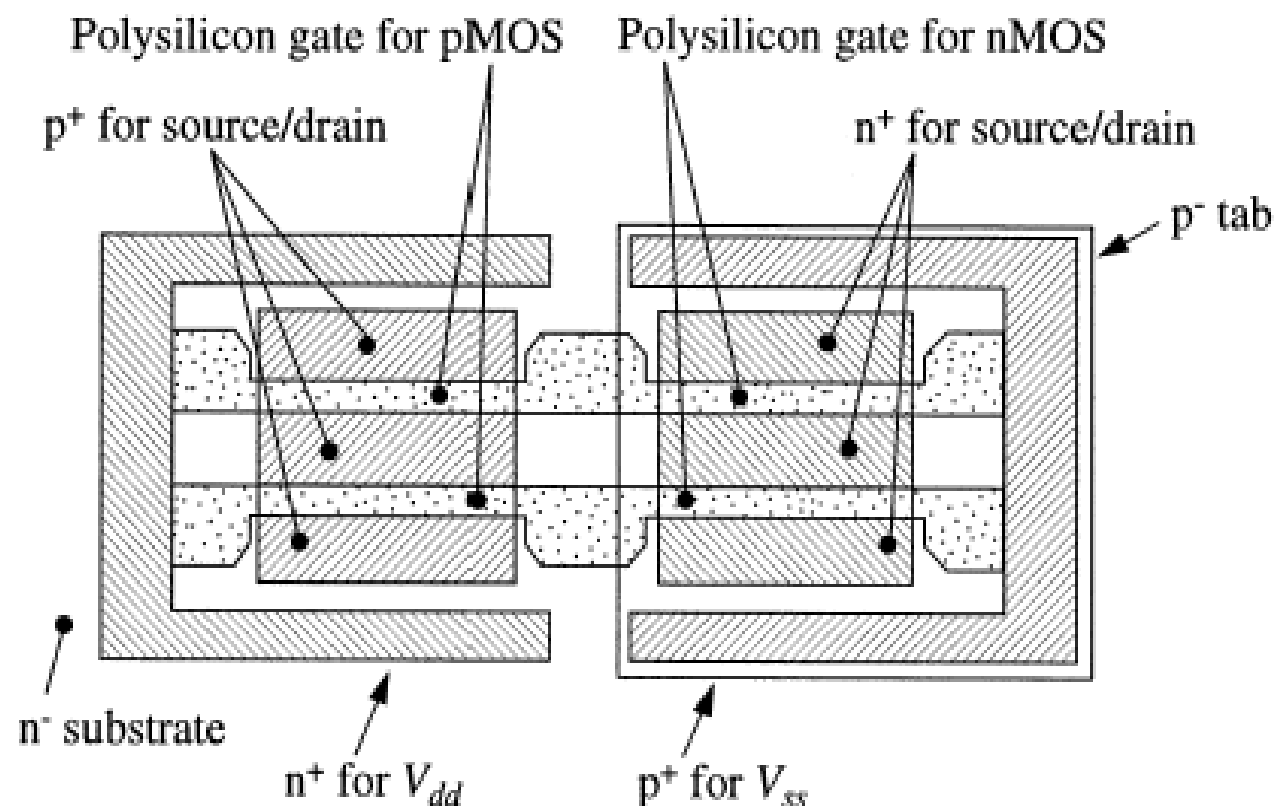
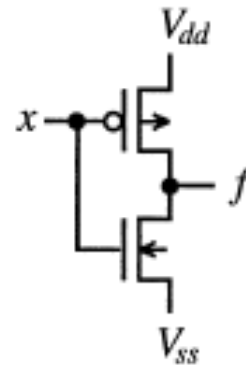
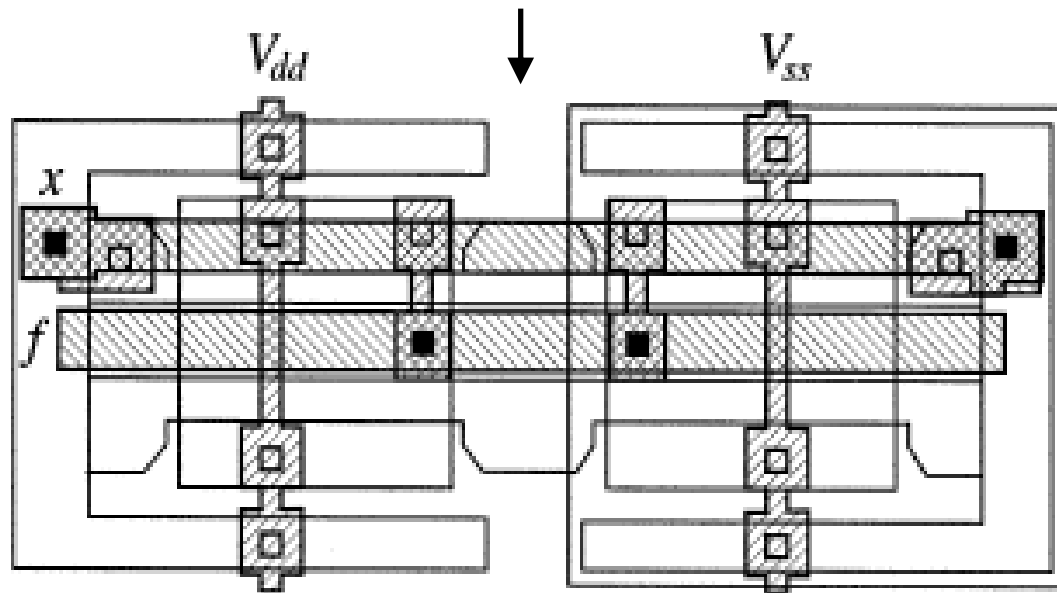


FIGURE 43.2 A cell of CMOS gate array. (Courtesy of Fujitsu Ltd. With permission.)

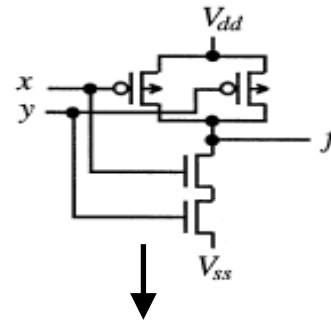




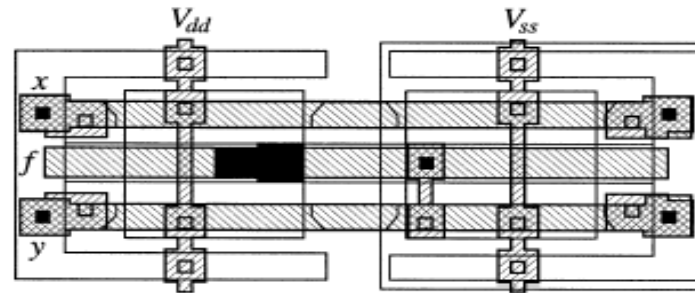
(a) Inverter.



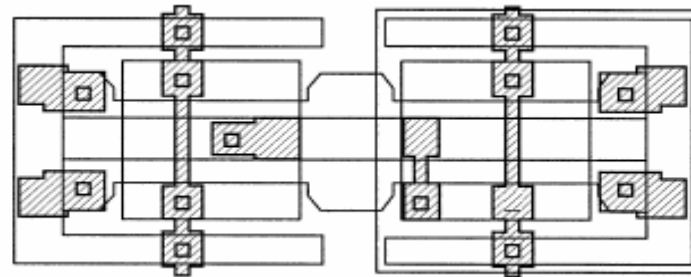
(a) NAND gate.



(b) The connections consist of two metal layers shown in (c) and (d).



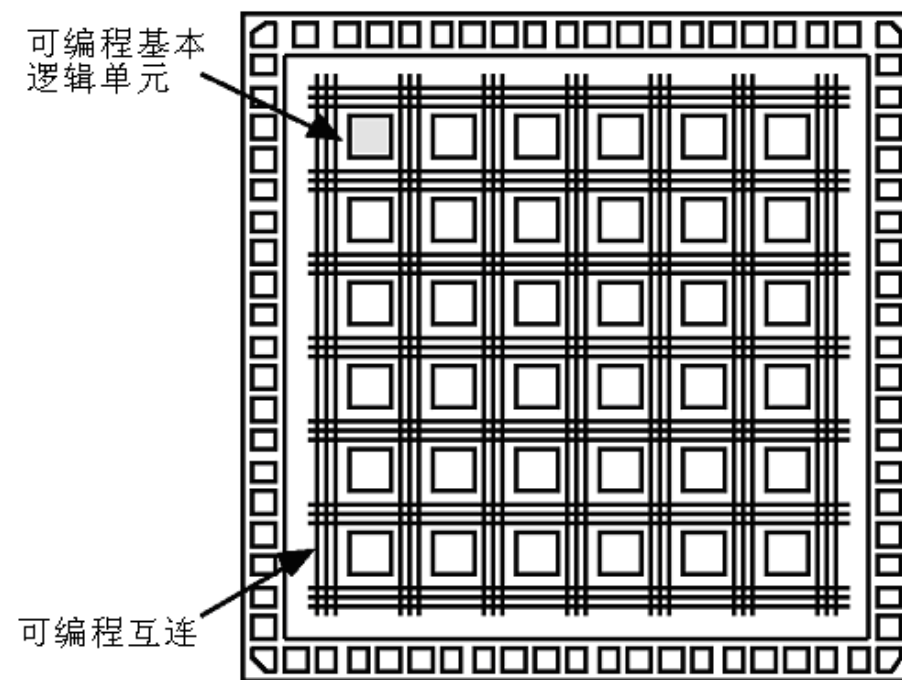
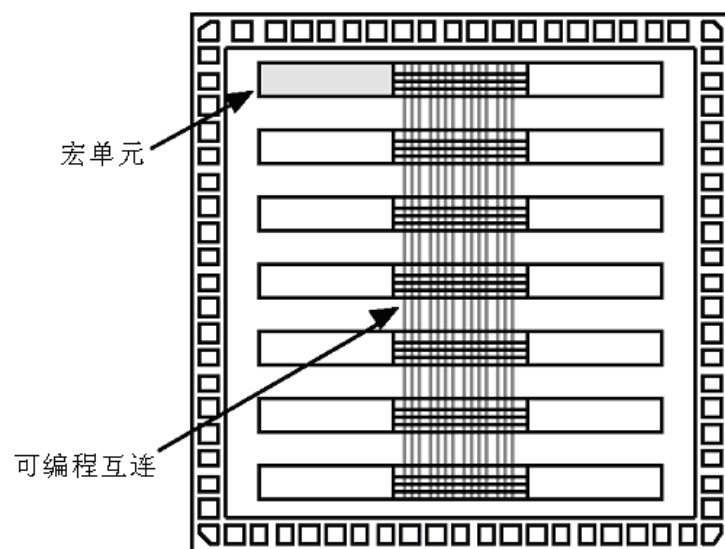
(c) First metal connection layer.



(d) Second metal connection layer.



CPLD和FPGA



1.3 IC的设计要求

- 设计时间
- 设计的正确性
- 设计成本

$$C_T = \frac{C_D}{V} + \frac{C_P}{yn}$$

C_D —设计费

C_P —每片硅片的工艺费

V —生产数量

y —成品率

n —每片硅片的芯片数

小批量的产品：减小设计费用；

大批量的产品：提高工艺水平，减小芯片面积，增大圆片直径

- 产品性能
- 设计的可测试性



1.4 电子设计自动化(EDA)技术的发展

- EDA: Electric Design Automation
- 计算机在集成电路设计中的作用是不可取代的。如果说集成电路在最初发展阶段可以用手工进行设计的话。那么，随着电路规模和电路复杂度的增大，如今集成电路设计离开计算机辅助设计是无法实现的。
- 20世纪70年代，随大型计算机附送的独立的CAD软件(主要是版图辅助设计工具)，这些软件相对独立，它们之间的数据交换采用某种特定的格式。
- 1983年诞生了第一台工作站计算机平台Apollo，80年代后期，EDA技术在单元库支持的基础上，能提供设计描述、综合与优化以及设计结果验证。



EDA技术发展

- 80年代CAD的核心：原理图设计、逻辑仿真和自动布局布线；
- 诞生的EDA公司：Cadence, Synopsys, Menter Graphics等；
- 原理图设计成了IC设计自动化的“瓶颈”；
 - 高级抽象的设计手段(如框图、状态图和流程图的编辑能力)
 - 适于多层次、混合信号描述、模拟、综合和验证的抽象的硬件描述语言(如VHDL、Verilog HDL)；
 - 设计工具支持的设计级别越来越抽象，例如IP，宏模型，虚拟设备接口等，出现了软、硬件协同设计工具。
- 硬件描述语言(HDL)，以综合为核心的Top-Down方法；
 - VHDL/Verilog综合流程，设计效率提高十倍以上；
 - SystemC/SystemVerilog等更高层次的设计语言



EDA软件工具在VLSI设计中的作用

- 目前，计算机辅助设计软件及工具几乎渗透了VLSI设计、制造和封装的各个步骤中，除了工艺和器件模拟软件外，其他与电路设计相关的通常我们称之为EDA软件：
 - 工艺模拟(TSUPREM-IV)、器件模拟(Medici);
 - 电路模拟(HSPICE/Spectre/PSPICE/SMARTSPICE等);
 - 原理图设计(Composer、IC Station、cosmos、Sedit等)
 - 逻辑验证(Verilog/VHDL仿真器、formal Check);
 - 版图编辑生成(Virtuso、Ledit、Laker等);
 - 布局/布线工具(Silicon Ensemble、SoC Encounter、Astro、Magma等);
 - 综合工具(Design Compiler、Ambit、Synplicity、LEONARDO);
 - 版图验证及参数提取(Dracula/Diva/Assura、Calibre、Hercules、StarRCXT);
- EDA软件公司：Cadence、Synopsys、Mentor Graphic、Magma
- EDA软件除了IC设计软件外，还包括系统设计和PCB设计的软件。



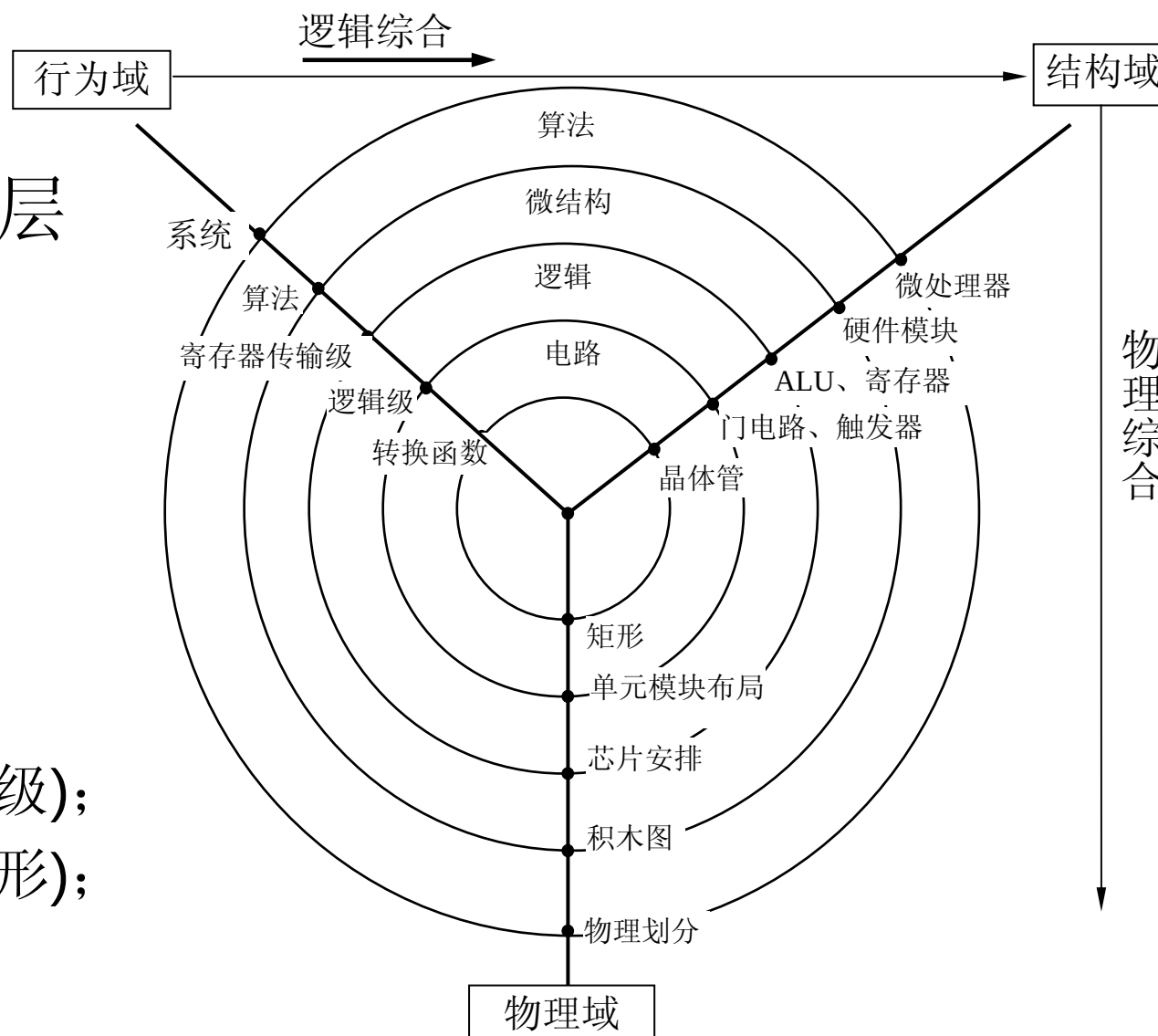
1.5 VLSI的层次化、结构化设计

- 集成电路层次化设计思想
 - 将一个复杂的集成电路系统的设计问题分解为复杂性较低的设计级别，这个级别可以再分解到复杂性更低的设计级别；这样的分解一直继续到使最终的设计级别的复杂性足够低，也就是说，能相当容易地由这一级设计出的单元逐级组织起复杂的系统。
 - 层次化是为了使复杂系统得到简化，并能够进行逐层地验证；
- 结构化是为了使复杂的系统变得规整性、并进行模块化，便于多人同时设计，且能重复使用规整的子模块，达到简化设计的目的；
- 一般来说，层次级别越高，抽象程度越高；级别越低，细节越具体。
 - 世界地图→各国地图→各省→市、县

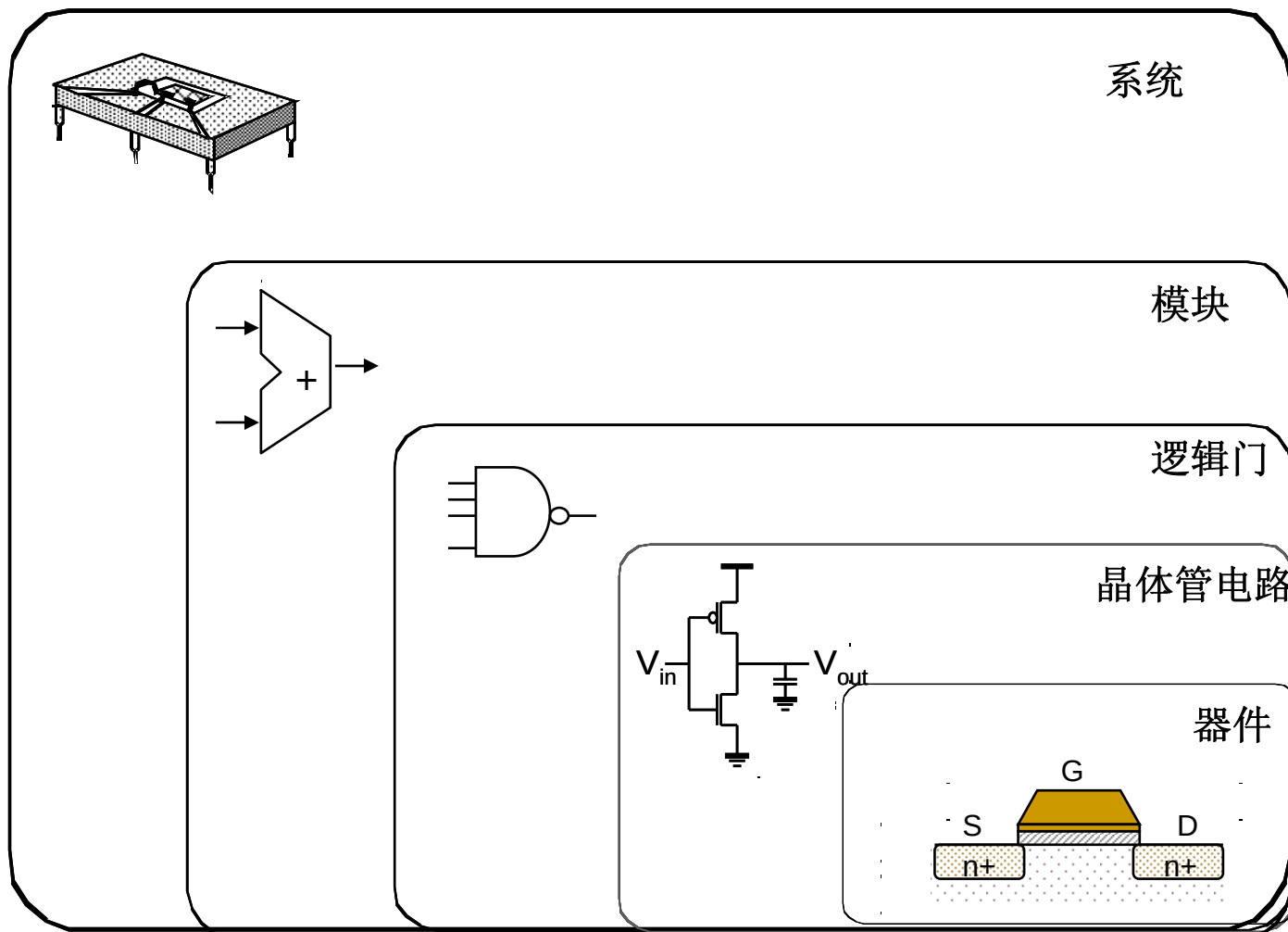


■ 设计域和设计层次的概念

- 系统结构级;
- 算法级;
- 寄存器传输级 (RTL);
- 逻辑门级;
- 电路级(晶体管级);
- 版图级(几何图形);



集成电路设计的层次



集成电路设计的层次描述

设计层次	行为描述	结构描述	设计考虑
系统级	自然语言描述的性能指标、结构	方框图	系统功能
芯片级（算法级）	算法	微处理器、存储器、串(并)行口、中断控制器	功能、测试
寄存器传输级（RTL）	数据流图、有限状态机、状态表、状态图	寄存器、计数器、MUX、ALU	时序、同步、测试
逻辑门级	布尔方程、卡诺图	逻辑门、触发器	选择适当的基本门
电路级/晶体管级	电流、电路的微分方程	晶体管、R、L、C	电路性能、延时、噪声
版图级	几何图形与工艺规则		



结构化的设计方法

- 结构化设计包括模块性、规则性设计
- 模块性设计：把复杂的系统根据功能的不同划分成一些模块（纵向与横向），子模块的资源可以共享、设计复用
- 规则性设计：各种模块都必须具有明确的物理接口；每层设计中尽量用相同的子模块或单元



层次化、结构化设计方法实例

- 假设要设计一个4位加法器，不同的设计域和不同的设计层次有不同的设计描述：

一. 行为描述：

- 行为描述可以用布尔方程，输入输出值表，也可用标准的高级计算机语言或特殊的硬件描述语言（HDL）写成算法，后者包括VHDL、Verilog。
- 在行为域中有许多抽象的级别，包括算法、RTL和布尔方程式等。随着这些级别的降低，越来越多的有关具体实现的信息变得明显起来。



■ 算法级:

$s \leq a + b;$

■ RTL级:

$S_i = (a_i \oplus b_i) \oplus c_i$

$C_{i+1} = a_i b_i + c_i(a_i + b_i)$

$i = 0, 1, 2, 3$

使用VHDL语言描述:

entity adder4 is

port (a, b : in std_logic_vector (3 downto 0);

c : in std_logic;

s : out std_logic_vector(3 downto 0);

co : out std_logic);

end adder4;

Architecture behavioral of adder4 is begin

process(a, b, c)

variable vsum: std_logic_vector(3 downto 0);

variable carry: std_logic;

begin

carry:=c;

for i=0 to 3 loop

vsum(i):=(a(i) xor b(i)) xor carry;

carry:= (a(i) and b(i)) or (carry and (a(i) or b(i)));

end loop;

s<= vsum; co<=carry;

end process;

End behavioral;



■ 二、结构描述:

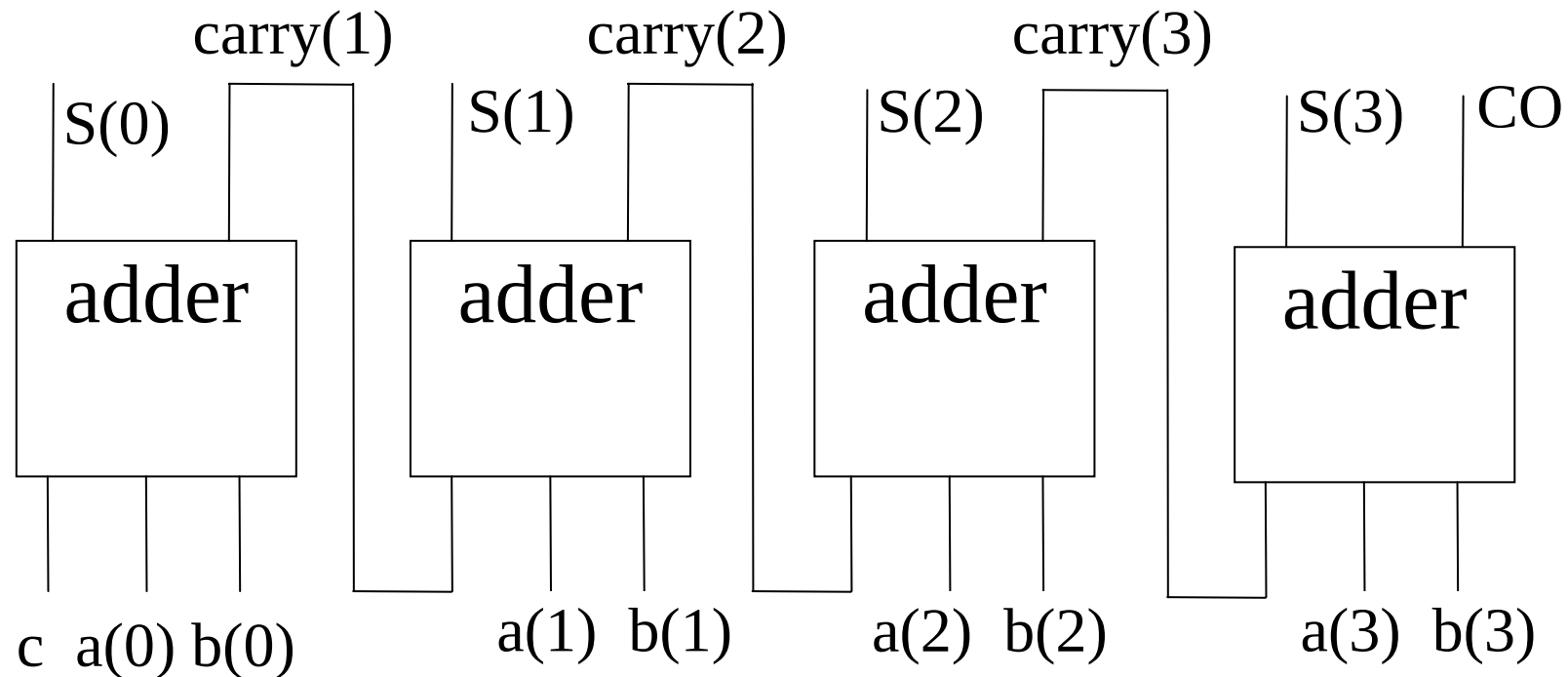
一个结构描述说明的是元件是如何连接起来完成某一功能（或指定的行为）。通常这种描述就是模块的列表和它们的连接关系。

在结构域，抽象层次包括模块级、门级、开关级和电路级，从高到低逐级展示更多的实现细节。



■ 4位加法器的结构描述:

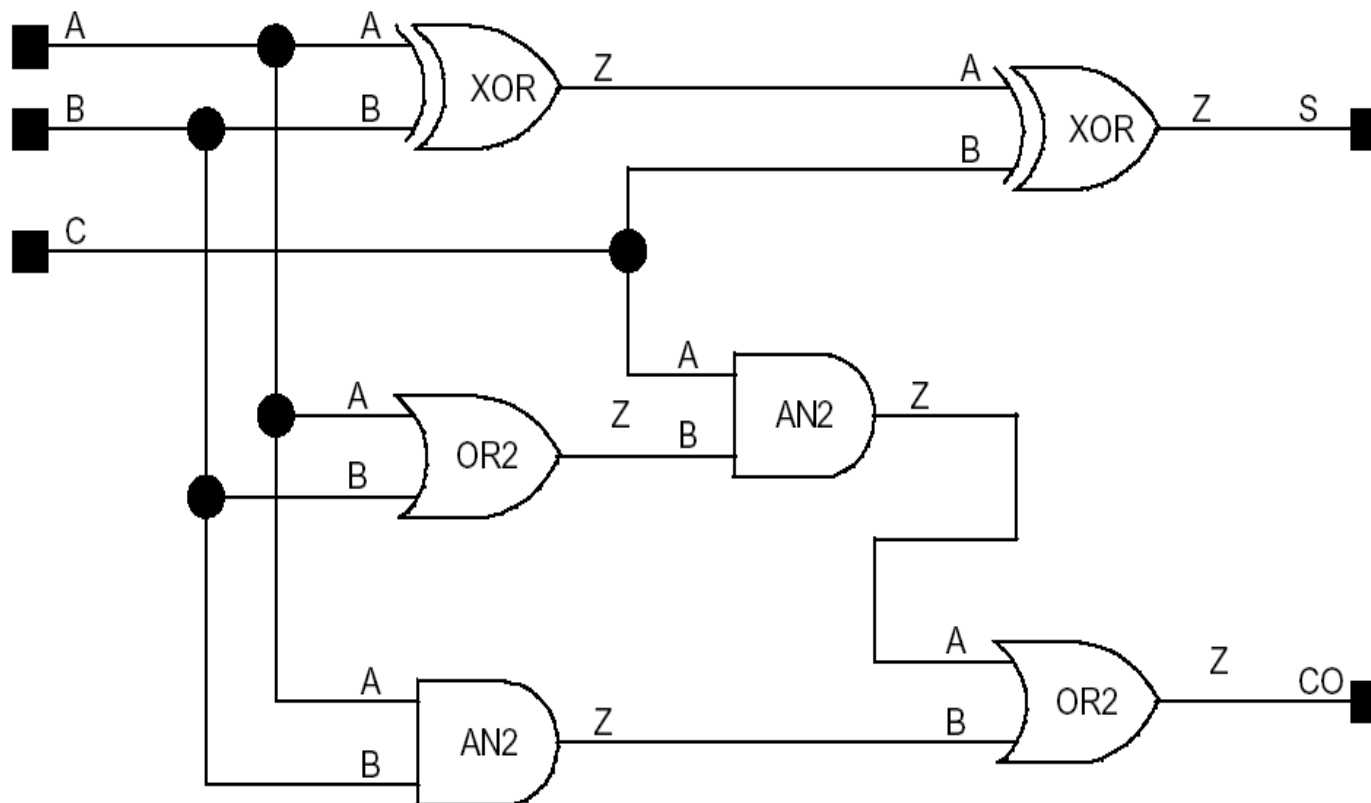
传统原理图描述



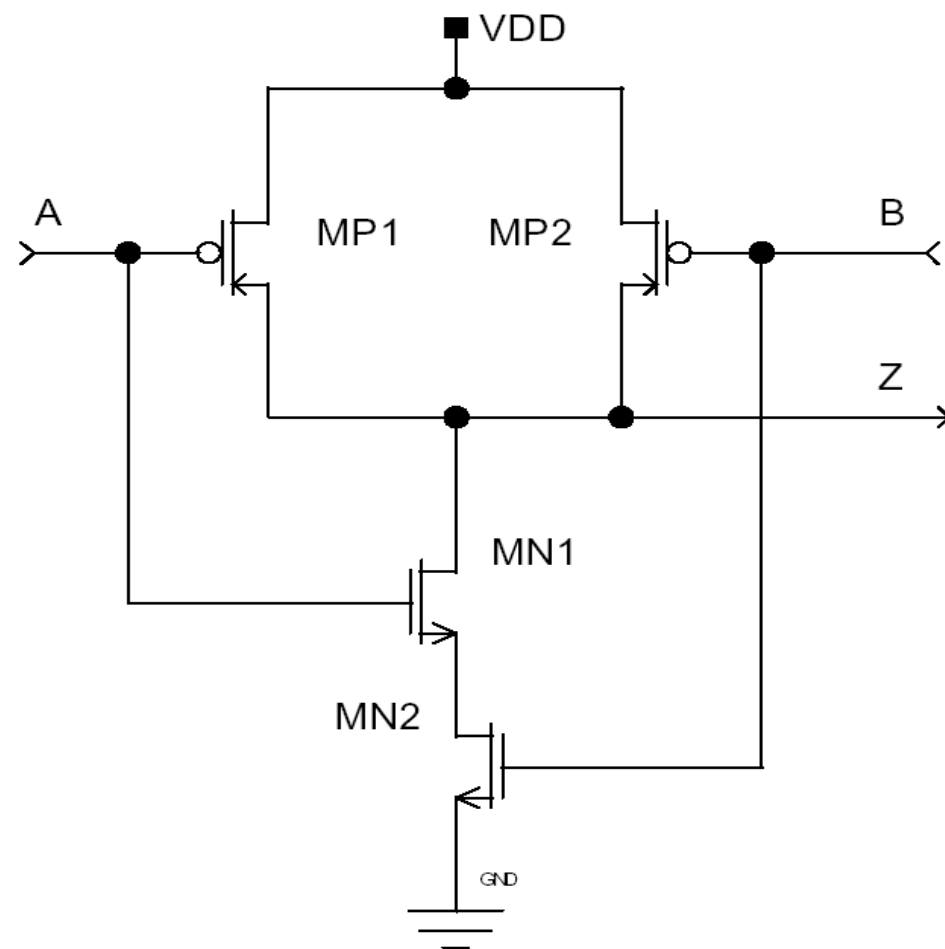
四位加法器结构图
(4个一位加法器构成)



一位加法器结构图



与非门的晶体管级结构图



4位加法器VHDL描述

entity adder4 is

```
port ( a, b : in std_logic_vector (3 downto 0);  
      c : in std_logic;  
      s : out std_logic_vector(3 downto 0);  
      co : out std_logic );
```

end adder4;

Architecture structure of adder4 is

component

```
port( a, b, c : in std_logic;  
      s, co : out std_logic );
```

end component;

```
signal carry : std_logic_vector(1 to 3);
```

begin

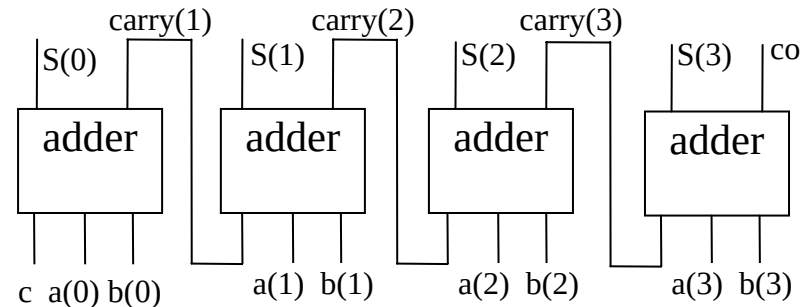
```
a0: adder port map ( a(0), b(0), c, s(0), carry(1));
```

```
a1: adder port map ( a(1), b(1), carry(1), s(1), carry(2));
```

```
a2: adder port map ( a(2), b(2), carry(2), s(2), carry(3));
```

```
a3: adder port map ( a(3), b(3), carry(3), s(3), co);
```

end structure;



四位加法器结构图



1位加法器行为描述(VHDL)

entity adder is

port(a, b, c:in std_logic;

co,s :out std_logic);

end adder;

Architecture rtl of adder is

begin

s<=(a xor b)xor c;

co<=(a and b)or(a and c)or(b and c);

end rtl;



1位加法器VHDL结构描述:

Architecture structure of adder is

component xorg is

port(in1,in2:in std-logic; out1:out std-logic);

end component;

component andg is

port(in1,in2:in std-logic; out1:out std-logic);

end component;

component org is

port(in1,in2:in std-logic; out1:out std-logic);

end component;

signal xor1-out,and1-out,and2-out,or2-out:std-logic;

begin

xor1:xorg port map(in1=>a,in2=>b,out1=>xor1_out);

xor2:xorg port map(in1=>xor1_out,in2=>c,out1=>s);

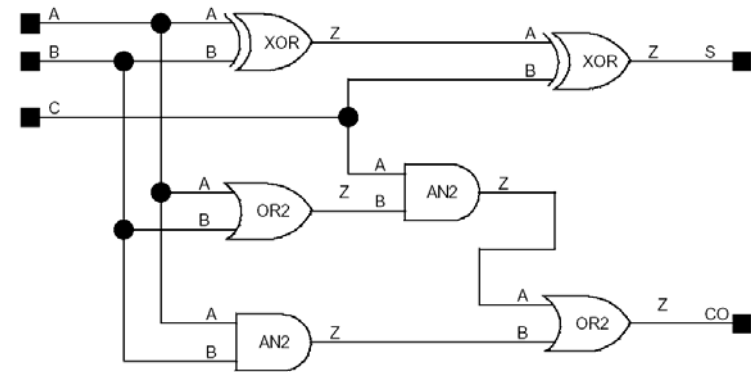
and1:andg port map(in1=>a,in2=>b,out1=>and1_out);

or1 :org port map(in1=>a,in2=>b,out1=>or1_out);

and2:andg port map(in1=>c,in2=>or1_out,out1=>and2_out);

or2 :org port map(in1=>and2_out,in2=>and1_out,out1=>co);

end structrue;



二输入与非门晶体管级电路的SPICE描述

```
SUBCKT nand2 VDD VSS in1 in2 out1
MN1 I1 in2 VSS VSS NMOS W=8u L=1u AD=8p AS=8p
MN2 out1 in1 I1 VSS NMOS W=8u L=1u AD=8p AS=8p
MP1 out1 in1 VDD VDD PMOS W=8u L=1u AD=8p AS=8p
MP2 out1 in2 VDD VDD PMOS W=8u L=1u AD=8p AS=8
C1 out1 VSS 100PF
C2 I1 VSS 20PF
Cin1 in1 VSS 50PF
Cin2 in2 VSS 50PF
ENDS
```

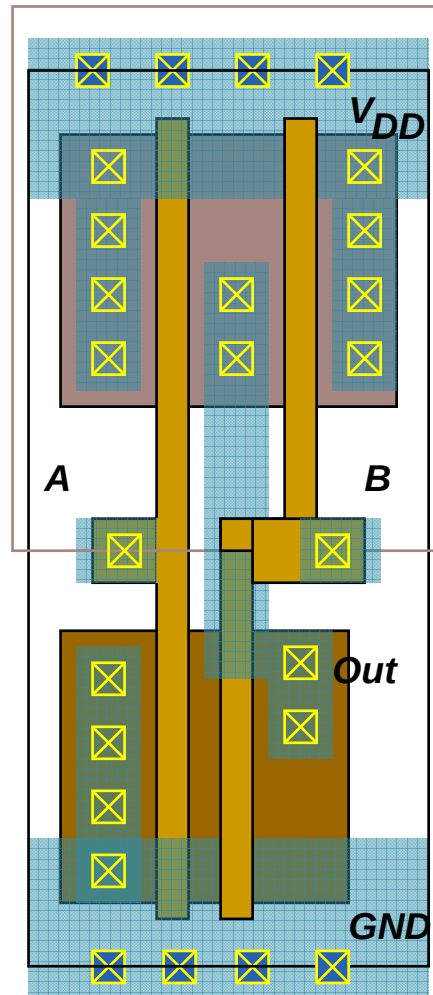


■ 三. 物理描述:

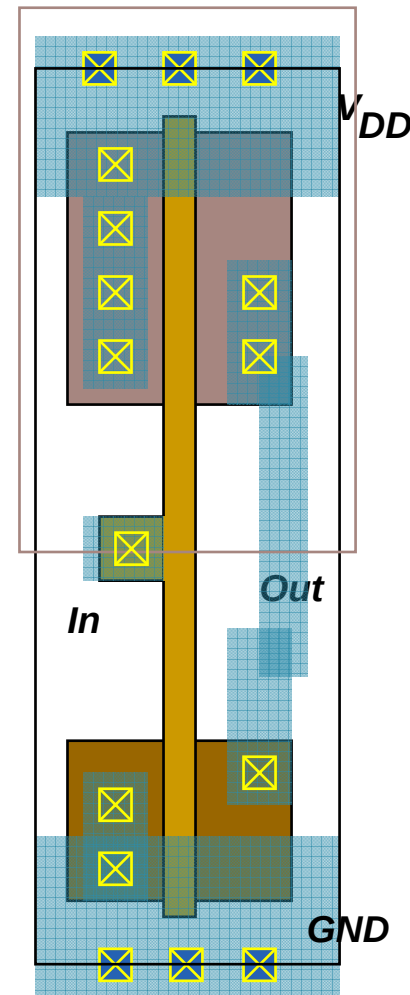
一个电路的物理描述是用来说明怎样构造详细的元件来产生所要求的结构，完成所要求的功能的。在IC工艺中，物理描述的最低层次是光刻的掩膜信息，也就是各种不同层的版图，它是制造过程中各种工艺步骤所需要的。



4位加法器的物理描述



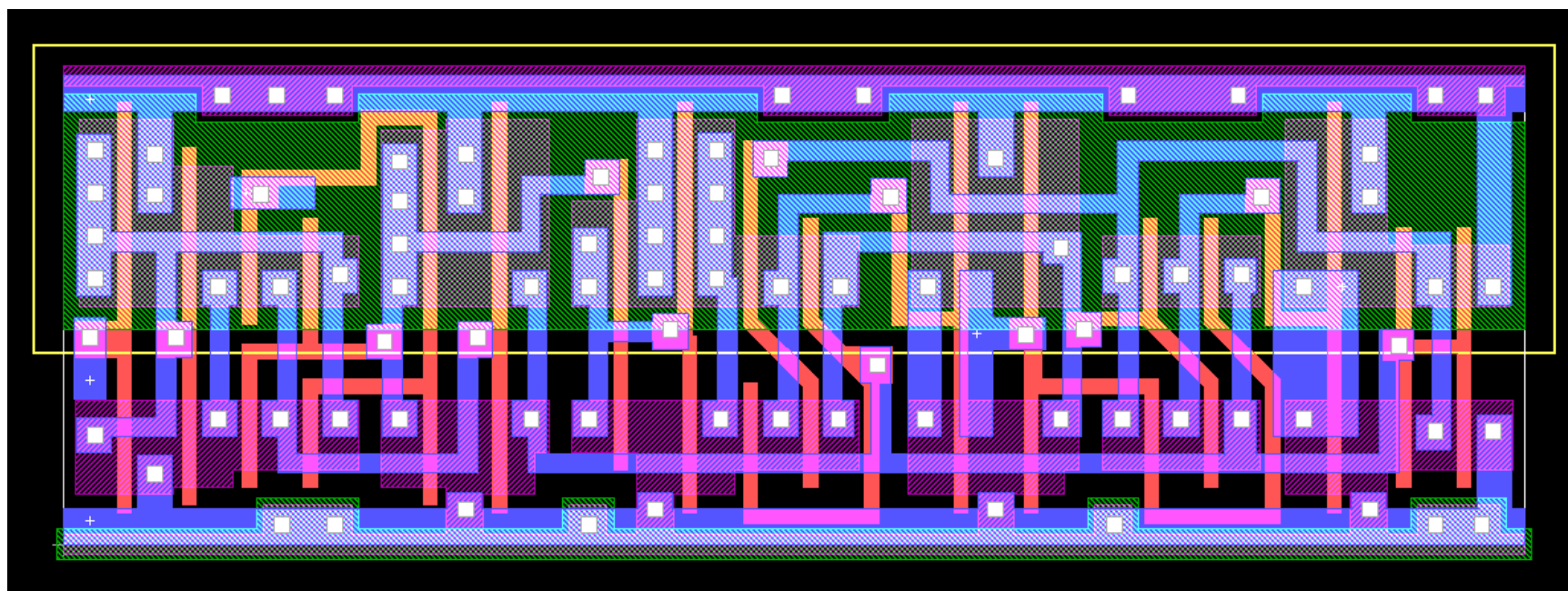
2输入与非门版图



反相器版图



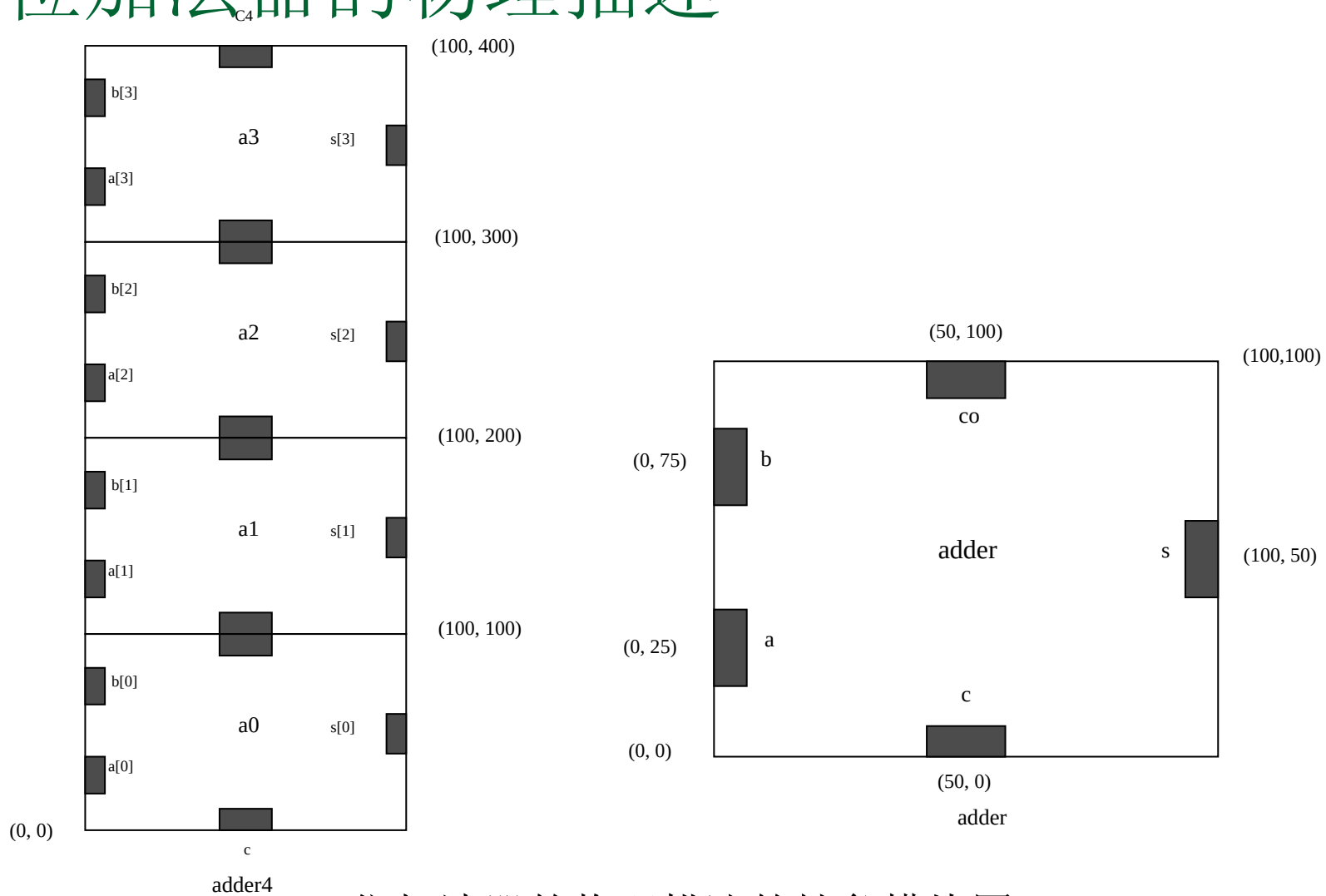
4位加法器的物理描述



一位全加器标准单元版图



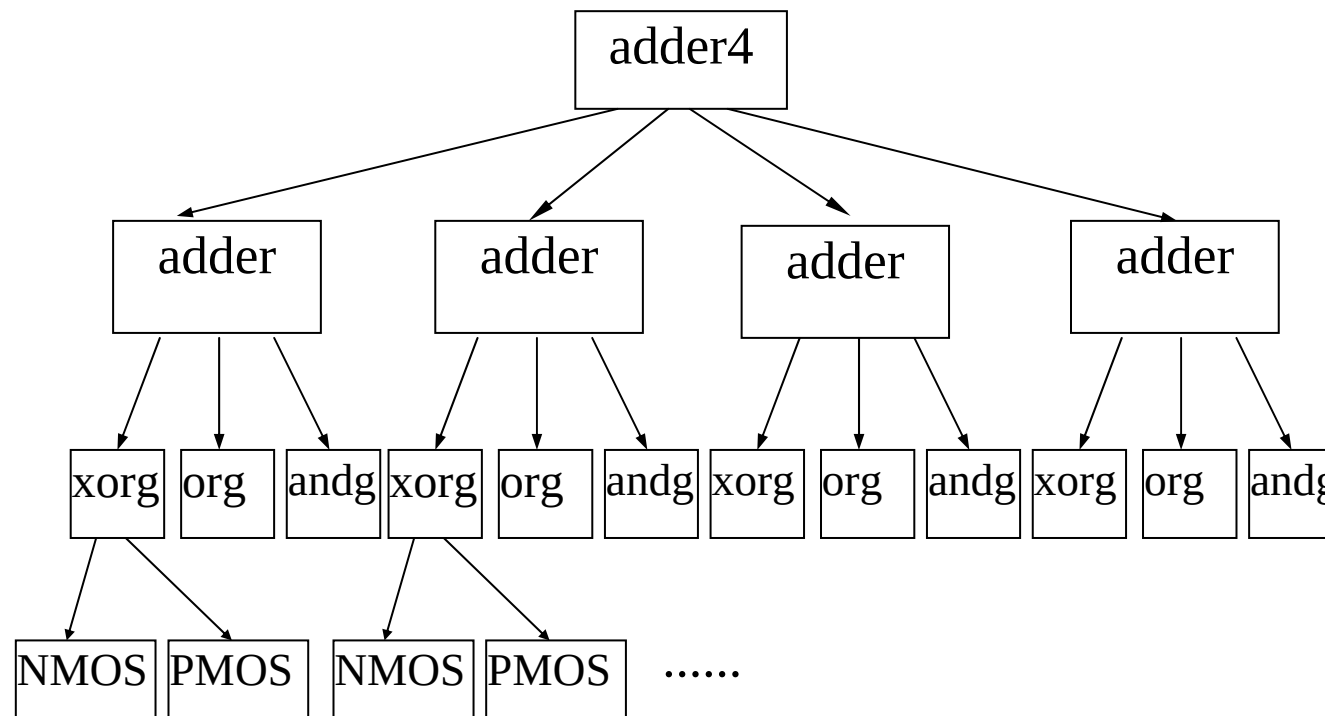
4位加法器的物理描述



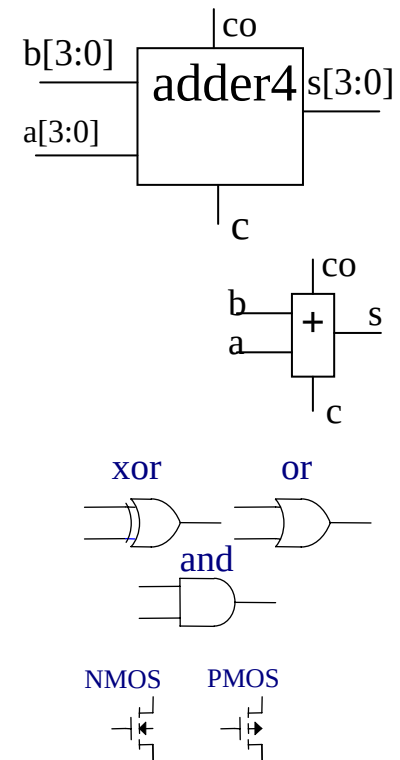
4位加法器的物理描述的抽象模块图



■ 结构描述的层次关系:



四位加法器的描述层次



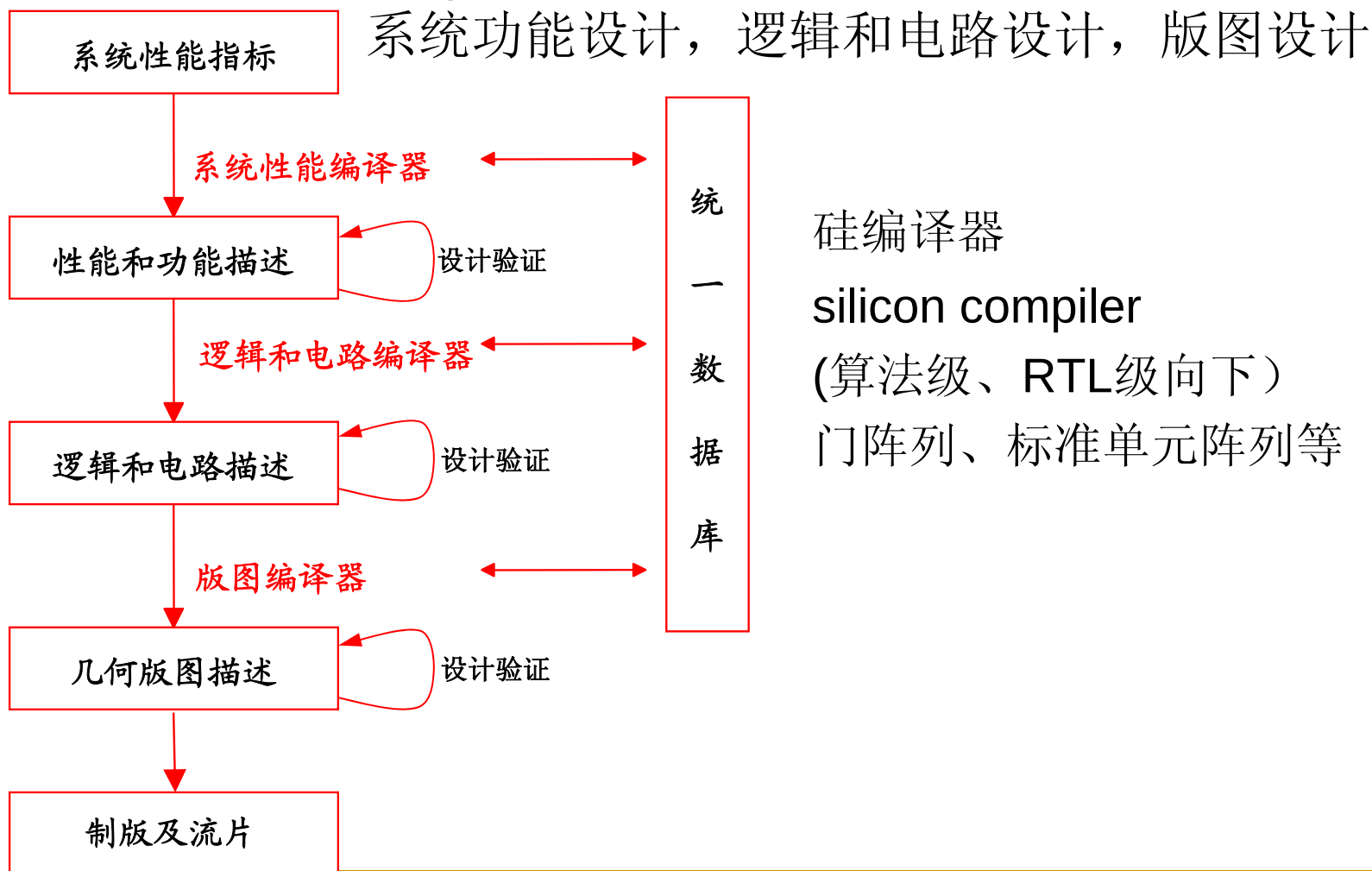
IC设计流程

- IC设计典型的是采用Top-down的设计方法，主要包括三个主要的阶段：
 - 系统功能设计；
 - 逻辑和电路设计；
 - 版图设计；
 - 集成电路设计的最终输出是掩膜版图，通过制版和工艺流片可以得到所需的集成电路。
- 设计与制造之间的接口：版图



IC设计流程

■ 理想的设计流程(自顶向下: TOP-DOWN)



典型的实际IC设计流程

- 需要较多的人工干预;
- 某些设计阶段无自动设计软件, 需要人工进行干预, 通过模拟分析软件来帮助完成设计;
- 各级设计需要验证, 包括系统设计验证、逻辑验证、电路验证、版图验证等;

验证方法: 仿真(系统设计/数字电路/模拟电路)

形式验证(数字电路)

DRC/ERC/LVS/LPE(版图)

实际电路验证(FPGA/PCB)



VDSM和纳米工艺对EDA技术的挑战

- 时序收敛问题：前端设计与后端设计关系紧密，出现“设计迭代”。“布局规划”引入前端设计中。
- 信号的完整性问题
 - 串扰问题
 - IR压降
- 功耗问题
 - 时钟频率对功耗的影响



SOC(System On a Chip, 系统芯片或片上系统)

- SOC的设计是一个通过设计复用达到更高效率的硬件—软件协同设计的过程（集成方法：从晶体管、门单元电路到IP核）。
- IP核：Intellectual Property，智慧财产；
- SOC的特征：
 - 实现复杂系统功能的超大规模集成电路；
 - 采用超深亚微米(纳米)的工艺技术；
 - 使用一个或多个嵌入式的CPU或数字信号处理器(DSP)；
 - 具有外部对芯片进行编程的功能；
 - 主要采用第三方的IP核进行设计。
- 具有这些特征中的任一个或几个的IC都可称为SOC。



SOC的结构

- 系统芯片由各种功能的IP核组合而成。
- 软核(Soft-Core)：RTL描述或者通用库元件的网表形式表示。
- 硬核(Hard-Core)：指在性能、功率和面积上经过优化，并在特定工艺技术经过流片验证的可复用模块。
- 固核(Firm-Core)：以综合好的代码或通用库元件的网表形式表示。



软硬件协同设计方法

