

《VHDL 与可编程逻辑器件》实验教学大纲

实验名称: VHDL 与可编程逻辑器件实验

学时: 16 学时

学分:

适用专业: 自动化、电气工程及其自动化、电子信息工程、通信工程

执笔人: 孙先松

审定人:

一、实验的目的与任务

《VHDL 与可编程逻辑器件》是一门实践性很强的课程。加强这门课程的实验教学可以起到重要的作用,有利于提高人才的培养质量,巩固扩展电子技术知识,实现知识向能力转化。通过本课程的学习,使学生对使用计算机和 EDA 工具进行电路的设计和仿真有一定的了解,使学生基本掌握 EDA 设计技术的四个方面的内容:①大规模可编程逻辑器件;②硬件描述语言;③软件开发工具及设计实例;④实验开发系统。从而提高学生应用计算机对电子电路进行自动化设计和分析的能力,为学生从事各种 IC 电路的设计打下一定的基础。

二、教学基本要求

以提高学生实际工程设计能力为目的,通过实验和训练,使学生熟悉一种 EDA 实验开发系统的使用;掌握 VHDL 语言的程序结构、基本描述语句及描述方法;熟练掌握可编程逻辑器件开发设计的方法和技巧。掌握小型数字系统的 VHDL 设计技术,获得现代硬件数字电路的软件化设计方法。

三、实验项目与类型

序号	实验项目	学时	实验性质				备注	
			演示	验证	设计	综合	必做	选做
1	EDA 设计软件及实验开发装置的使用	2		√			√	
2	数字逻辑基本符号元件实验	2		√			√	
3	组合逻辑电路设计实验	2		√			√	
4	时序逻辑电路设计实验	2		√			√	
5	数字钟设计	4			√			√
6	数字频率计设计	4			√			√
7	交通灯设计	4			√			√
8	电梯控制器设计	4			√			√

四、实验教学内容及学时分配

实验一 EDA 设计软件及实验开发装置的使用

(2 学时)

1、目的要求

熟悉 EDA 设计软件及实验开发装置的使用,掌握详细的 CPLD/FPGA 的设计流程。

2、方法原理

参考 EDA 软件使用说明书和 EDA 实验箱说明书,学会软件包使用和实验箱操作。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

掌握 EDA 软件设计流程,重点是图形编辑、文本编辑、时序编辑及编译、下载等操作方法。

5、实验内容

- (1). 使用图形编辑方法设计一个 1 位的全加器;
- (2). 使用文本编辑方法设计一个 4 输入端的与非门;
- (3). 对以上两种方法设计的结果分别进行仿真;
- (4). 将全加器和与非门分别下载到实验箱上,并验证结果;
- (5). 完成实验报告;

实验二 数字逻辑基本符号元件实验

(2 学时)

1、目的要求

数字逻辑基本符号元件实验让学生巩固所学的数字电路课程当中的一些基本知识,并学会制作基本元件符号,为后面的实验打下基础。

2、方法原理

通过回顾数字电路的一些基本知识点,利用 VHDL 语言或图形编辑方法设计基本的门电路、触发器、编码器,将其下载到实验箱上,用开关做输入控制,发光二极管做输出结果显示,验证结果是否正确,并将其生成符号文件,为以后层次设计做准备。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

能熟练设计数字电路中的各种基本单元器件。各种要求的编码器。

5、实验内容

- (1). 根据数字电路中的电路图原理设计采用图形编辑法和 VHDL 语言设计基本门电路;
- (2). 使用 VHDL 语言设计 4 线 2 线编码器;
- (3). 将以上设计内容下载到实验箱,验证结果;
- (4). 将以上设计内容分别生成符号元件;
- (5). 完成实验报告;

实验三 组合逻辑电路设计实验

(2 学时)

1、目的要求

组合逻辑电路设计实验使学生掌握用 VHDL 语言设计组合逻辑电路的各种方法。

2、方法原理

通过给定逻辑功能描述和逻辑表达式两种情况,分别使用 VHDL 语言设计组合电路。

逻辑功能为:设计一个七段代码译码器。逻辑表达式为: $Y = AB + \overline{BCD} + AD$ 。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

掌握数字电路中组合逻辑电路的分析方法和 VHDL 硬件描述语言中逻辑表达式的设

计方法。

5、实验内容

(1). 分析七段代码译码器的功能，利用 VHDL 语言设计；

(2). 根据逻辑表达式 $Y = AB + \overline{BCD} + AD$ ，利用 VHDL 语言设计一个逻辑函数发生器；

(3). 将以上设计内容下载到实验箱，验证结果；

(4). 完成实验报告；

实验四 时序逻辑电路设计实验

(2 学时)

1、目的要求

了解时序电路的经典设计方法。了解通用同步计数器，异步计数器的使用方法。了解用同步计数器通过清零法和预置法得到循环任意进制计数器的设计方法。

2、方法原理

利用基本 D 触发器、JK 触发器和一般逻辑门的符号元件，采用 VHDL 语言设计各种功能的计数器。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

计数器是时序逻辑电路中的最基本、最常用的单元，要求学生必须熟练掌握各种功能计数器的设计方法。

5、实验内容

(1). 用 D 触发器设计异步四位二进制加法计数器；

(2). 用 JK 触发器设计异步四位二进制减法计数器；

(3). 用 74LS161 两个宏连接成八位二进制同步计数器；

(4). 用 74LS161 清零和置数法组成六进制和十二进制计数器。

(5). 将以上设计内容下载到实验箱，验证结果；完成实验报告；

实验五 数字钟设计

(4 学时)

1、目的要求

掌握多位计数器相连的设计方法；掌握十进制、六十进制、二十四进制计数器的设计方法；掌握喇叭的驱动方法；掌握可编程逻辑器件的层次化设计方法。

2、方法原理

在同一块 FPGA 芯片 EPF10K10LC84-4 上设计集成了如下电路模块：

时钟计数：秒——60 进制 BCD 码计数；

分——60 进制 BCD 码计数；

时——24 进制 BCD 码计数；

同时整个计数器有清零，调分，调时功能。在接近整点时间能提供报时信号；有驱动 8 位七段共阴极扫描数码管的片选驱动信号输出和七段字行译码输出；喇叭在整点时有报时驱动信号产生。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

掌握一个小型数字系统的层次化设计方法，特别是元件例化语句的使用方法。

5、实验内容

- (1). 具有时、分、秒计数显示功能, 以 24 小时循环计时;
- (2). 具有清零, 调节小时、分钟的功能;
- (3). 具有整点报时功能;
- (4). 下载到实验箱, 验证设计结果; 完成设计报告;

实验六 数字频率计设计

(4 学时)

1、目的要求

设计一个频率计, 其测频范围为 $1\text{Hz} < f < 1.5\text{MHz}$ 。掌握多位计数器相连的设计方法; 掌握频率计的工作原理; 掌握可编程逻辑器件的层次化设计方法。

2、方法原理

频率测量的基本原理是计算每秒钟内待测信号的脉冲个数。本实验所设计的频率计应由三个模块组成: 测频控制信号发生器、8 个有时钟使能的十进制计数器和一个 32 位锁存器。其中测频控制信号发生器是产生一个 1 秒脉宽的周期计数使能信号。并对频率计的每一计数器的使能端进行同步控制。当为高电平时, 允许计数; 为低电平时停止计数, 并保持其所计的脉冲个数。在停止计数期间, 将计数器在前 1 秒钟的计数值锁存进 32 位锁存器中, 并由外部的 7 段译码器译出, 并稳定显示。设置锁存器的好处是, 显示的数据稳定, 不会由于周期性的清零信号而不断闪烁。锁存信号之后, 必须有一个清零信号对计数器进行清零, 为下 1 秒钟的计数操作作准备。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

掌握一个小型数字系统的层次化设计方法, 掌握利用可编程逻辑器件产生控制信号的原理及设计方法。

5、实验内容

- (1). 画出顶层原理图;
- (2). 写出各功能模块的 VHDL 语言源程序;
- (3). 仿真设计内容, 对照频率计波形图分析电路工作原理;
- (4). 下载到实验箱, 验证设计结果; 完成设计报告;

(书写实验报告时应结构合理, 层次分明, 在分析时注意语言的流畅)

实验七 交通灯设计

(4 学时)

1、目的要求

学习小型数字系统的设计方法; 掌握 VHDL 语言的层次化设计方法。

2、方法原理

能显示十字路口东西、南北两个方向的红、黄、绿灯的指示状态; 用两组红、黄、绿三色灯作为两个方向的红、黄、绿灯。能实现正常的倒计时功能以及用两组数码管作为东西和南北方向的倒计时显示。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

用 VHDL 语言设计符合上述功能要求的交通灯控制器, 熟练掌握层次化设计方法。

5、实验内容

- (1). 画出顶层原理图;
- (2). 写出各功能模块的 VHDL 语言源程序;
- (3). 仿真设计内容, 对照各个灯的时序分析电路工作原理;

(4). 下载到实验箱, 验证设计结果; 完成设计报告;

实验八 电梯控制器设计

(4 学时)

1、目的要求

设计一个 4 层电梯控制器, 掌握可编程逻辑器件的层次化设计方法。

2、方法原理

模拟 4 层电梯的工作原理, 设计一个能上下进行控制, 并有楼层显示的电梯控制器。

3、主要实验仪器及材料

湖北众友的可编程逻辑器件 ZYE1502D 实验箱(配备 Altera 公司的 EPF10K10LC84-4 下载板)。

4、掌握要点

掌握小型数字系统的分析方法, 熟练掌握层次化设计方法。

5、实验内容

(1). 画出顶层原理图;

(2). 写出各功能模块的 VHDL 语言源程序;

(3). 仿真设计内容, 对照时序分析电梯工作原理;

(4). 下载到实验箱, 利用示波器察看各控制端口的波形。验证设计结果; 完成设计报告;

五、考核方法

实验操作 60%, 实验报告 40%。考核成绩以 20%记入课程总成绩。

六、实验教学指导书和参考书

1. 孙先松编, 《可编程逻辑器件原理与应用实验》(自编实验讲义), 2004 年

2. 江国强编著, 《EDA 技术与应用》, 电子工业出版社, 2004 年。