



长江大学电子信息学院

自制实验设备使用说明书

设备名称: SOPC 实验箱

规格型号: _____

研制单位: 电工电子实验中心

作者: 孙先松

研制时间: 2008 年

目 录

一、硬件系统	1
二、配套软件	1
三、SOPC 设计过程框图	1
四、操作指南	2
五、注意事项	6

一、硬件系统

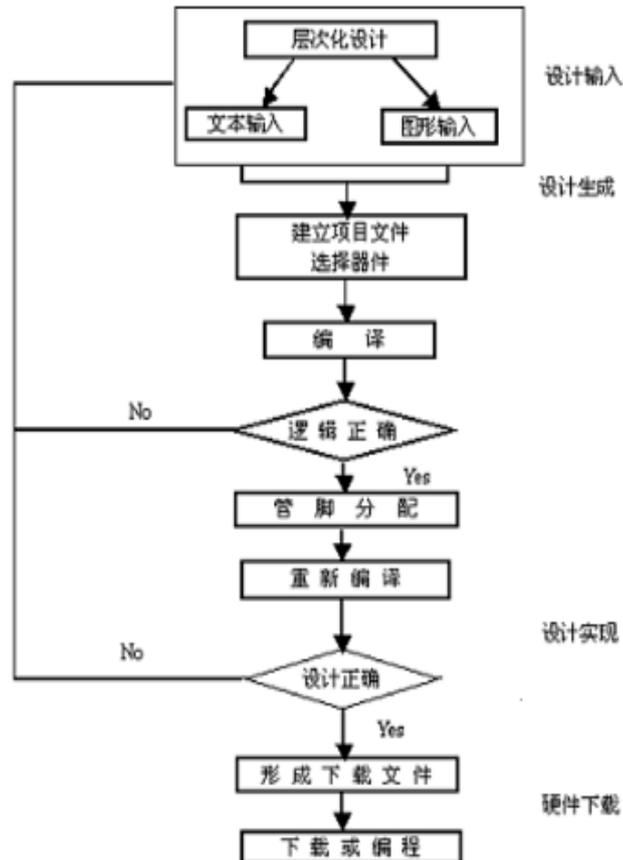
- 1、芯片下载板：
Altera 公司： EPF10K10LC84-4 下载板（数字部分）
- 2、数码管显示：动态显示 8 位（M1-M8），静态显示 4 位（M5-M8）；
- 3、发光二极管输出：16 位；
- 4、输入位数（开关）：16 位；
- 5、输入位数（按键）：16 位；
- 6、时钟信号：由 50MHz、12MHz、4.194304MHz 晶振输出；
- 7、喇叭一个；
- 8、配有 RS232 接口；
- 9、配有 VGA 接口；
- 10、配有 PS/2 键盘接口；
- 11、16×16 点阵；
- 12、配有并行 A/D 转换器 ADC0809；并行 D/A 转换器 DAC0832；
- 13、配有存贮器 62256；
- 14、配有单片机（AT89C51）
- 15、配有一片管理芯片 EPM7128；
- 16、含有一块通用下载模块；
- 17、含有 8038 低频信号源输出模块；

二、配套软件

Max+Plus II 10.2 版

- | | |
|----------------|------------------|
| 1、运行环境 | Win95/98 或 NT4.0 |
| 2、层次化设计 | 支持 |
| 3、原理图输入 | 支持 |
| 4、文本输入 | 支持 |
| 5、AHDL、VHDL 输入 | 支持 |
| 6、全仿真/功能仿真 | 支持 |
| 7、逻辑综合 | 支持 |
| 8、硬件编程/下载 | 支持 |
| 9、原理图设计宏库 | 基本库 |
| 10、支持芯片 | CPLD/FPGA 系列 |

三、SOPC 设计过程框图



四、操作指南

1、开关、按键及指示灯 KD1~KD16、K1~K16、KL1~KL16:

主板下方有 16 个按键 K1~K16；16 个拨位开关 KD1~KD16；16 个发光二极管 KL1~KL16。每一个纵列的一组开关、按键、发光二极管与下载板上 CPLD/FPGA 的一个 I/O 口对应相连。

当与 I/O 口相对应的开关 KD_i 作为输入使用时，开关拨向上，开关上方的发光二极管亮，表示开关向该 I/O 口输入一个逻辑量为“1”的高电平，拨向下时，表示“0”。

当需要用按键向 I/O 口输入一个短脉冲量时，首先需将开关拨向下方，按下键 K_i 后，发光二极管 KL_i 亮，表示该按键 K_i 向对应 I/O 口输入了一个正脉冲。

注：将拨码开关 AS1 的（3）、（4）档拨向上（ON）时，对应的开关按键的输入有效；将拨码开关 AS1 的（3）、（4）档拨向下（OFF）时，对应的开关按键的输入无效。

2、发光二极管 LED1~LED16 及交通灯模块:

在下载板数码管的下方有 16 个发光二极管 LED1~LED16，它们分别与下载板上的 16 个 I/O 口相连。另外交通灯的 L1~L12 和发光二极管 LED1~LED12 共用一个 I/O 口，因此在选择 LED 输出显示有效时，要使交通灯模块输出无效，此时 LJ1 的跳线接 2, 3 脚。当要做交通灯实验时要将 LED 输出显示设置为无效，并且 LJ1 的跳线接 1, 2 脚。

注：将拨码开关 AS1 的（2）档拨向上（ON）时，对应的 LED 有效；将拨码开关 AS1 的（2）档拨向下（OFF）时，对应的 LED 无效。

3、静态显示数码管 SM5~SM8:

主板的正上方配有 8 只数码管其中 SM5~SM8 为静态显示，即每只数码管通过管理芯片

4、动态显示数码管 SM1~SM8:

为增加数码管显示位数，使用了动态扫描电路方式，将静态显示中的数码管 SM7、SM8 对应的 8 个 I/O 口用于动态显示数码管的 8 个段，a、b、c、d、e、f、g、dp（小数点），将静态显示的数码管 M5、M6 对应的 8 个 I/O 口用于连接动态显示数码管的共阴端作位控扫描，如图 1。

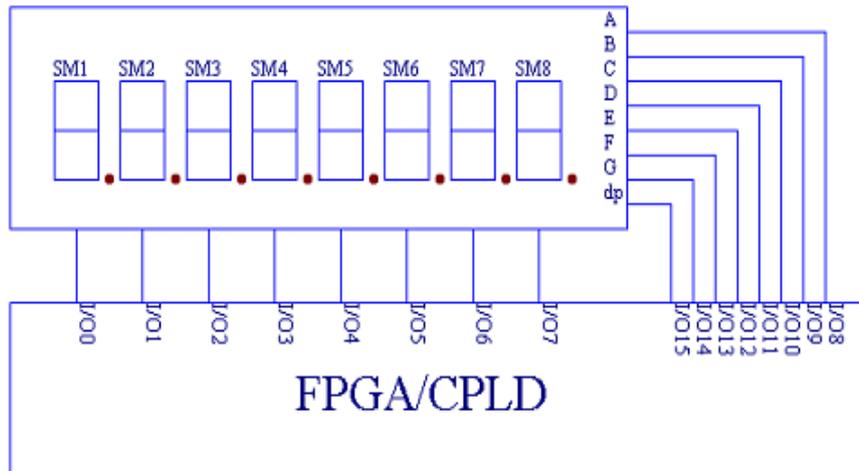


图 1 动态扫描显示数码管连接图

注：将拨码开关 AS1 的（1）档拨向上（ON）时，数码管动态显示；将拨码开关 AS1 的（1）档拨向下（OFF）时，数码管静态显示。在不使用数码管时，一律将 AS1 的（1）拨向上。

5、时钟信号:

主板上配有非常丰富的时钟信号，为实验提供了极大的方便。在主板的左侧共有两组“时钟信号”。

- (1) GCK1: 第一组信号源为 TP1~TP3，与下载板的 GCK1 相连通，频率有从低频到高频的全部 24 个信号源。
- (2) GCK2: 第二组信号源为 TP4~TP6，与下载板的 GCK2 相连通，频率有从低频到高频的全部 24 个信号源。

注意：信号源的具体频率值可以参看主板上的丝印标识。

6、扬声器:

主板上配有喇叭一个，位于主板的中央，与下载板上的 I/O50 端相连。当向喇叭输入一个 200Hz~2KHz 的方波时，喇叭根据不同频率发出音响。

7、A/D 转换器 ADC0809:

主板配有并行 A/D 模数转换器 ADC0809，可完成数据采集等实验课题。ADC0809 为学习并行 A/D 模数转换器提供了实践环境。当使用 ADC0809 时，需将拨码开关 AS1 的（6）档、JS1 的（6）（7）档拨向上，模拟输入信号可通过 AIN0 端口送入 ADC0809 的信号输入端，也可通过电位器 JW1 获得模拟量信号。当不使用 ADC0809 时需将 AS1 的（6）档、JS1 的（6）（7）档拨向下，并且 JS1 的（5）档拨向上。

8、D/A 转换器 DAC0832:

主板上配有 D/A 数模转换器 DAC0832。可完成波形发生器等实验课题。DAC0832 为学习并行

D/A 数模转换器提供了良好的实践环境。当使用 DAC0832 时，需将拨码开关 JS1 的（1）（5）（8）档拨向上；当不使用 DAC0832 时需将拨码开关 JS1 的（1）（5）（8）档拨向下。

9、RS-232 串行接口

主板上有一个 RS-232 串行接口电路 MAX232 转换部分，该电路把下载板上的 CPLD/FPGA 的 TTL 电平转换成 RS-232 电平，并且通过主板上 RS232 插座与其它设备通讯接口相连。

10、VGA 接口：

主板上配有 VGA 接口，可用于做彩条信号发生器、方格信号发生器以及图像显示的高难度实验，VGA 与下载板的连接关系如图 2 所示。VGA 接口的 1、2、3 号引脚分别为红、绿、蓝三色信号端。13、14 号引脚为场扫和行扫信号端。

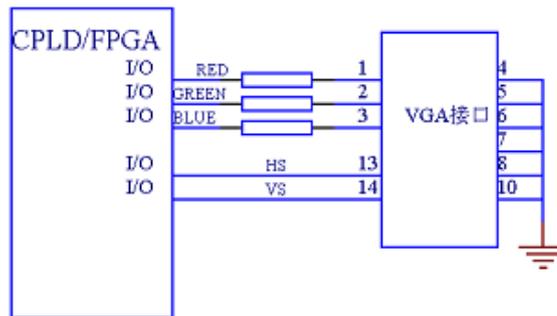


图 2 下载板与 VGA 接口连接关系图

11、PS/2 接口：

主板上配有 PS/2 鼠标键盘接口，可用于做接收键盘数据的高难度实验，PS/2 与下载板的连接关系如图 3 所示。

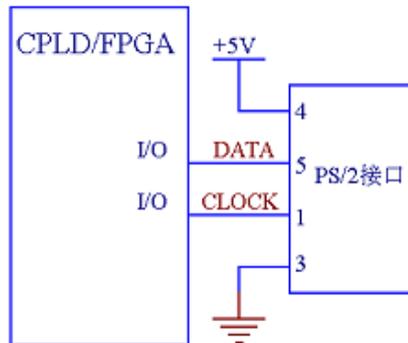


图 3 下载板与 PS/2 接口连接关系图

12、单片机（89C51）与 FPGA/CPLD 的连接：

当单片机与 FPGA/CPLD 相连进行数据传送时，需将拨码开关 AS1 的（5）档向上拨动（ON），不用时将 AS1 的（5）档向下拨动（OFF）。单片机的 P0 口与 FPGA/CPLD 的 I/O40~I/O47 相连；单片机的 P1 口与 FPGA/CPLD 的 I/O32~I/O39 相连；单片机的 P2 口与 FPGA/CPLD 的 I/O16~I/O23 相连。

13、RAM(62256)与 FPGA/CPLD 的连接：

当 RAM62256 有效时，需将拨码开关 AS1 的（7）档向上拨动（ON），不用时将 AS1 的（7）档向下拨动（OFF）。

14、管理芯片 (F7128):

为增加该实验开发系统功能,本实验箱增加了一片管理芯片 EPM7128SLC84,它代替了实验板上的部分硬件电路,并控制部分通信口的通信和功能转换,所以在使用该设备时,严禁将该芯片拔下或改动芯片内部的程序,防止使整个实验系统无法正常工作。

15、通用下载模块:

该模块为 CPLD/FPGA 器件的通用下载电路模块,可以对 ALTERA、LATTICE、XILINX 的公司绝大多数不同芯核电压的 CPLD/FPGA 器件进行在系统编程和配置。

PLD 公司	ALTERA		LATTICE	XILINX	
	CPLD	FPGA	ISPLSI	CPLD	FPGA
TCK (1)	TCK	TCK	SCLK	TCK	CCLK
TDO (3)	TDO	TDO	MODE	TDO	DONE
TMS (5)	TMS	TMS	ISPEN	TMS	/PROGRAM
nSTA (7)	NC	nSTATUS	SDO	NC	NC
TDI (9)	TDI	TDI	SDI	TDI	TDI
SEL0	GND	GND	GND	VCC	VCC
SEL1	GND	GND	VCC	GND	GND

在实验板上有两个接口 Byteblaster、ByteblasterMV。其中 Byteblaster 仅适用于 5V 工作电压的 FPGA 和 CPLD;对于低电压的 FPGA/CPLD 的下载和配置必须连接另一个接口座 ByteblasterMV。

16、点阵模块:

在本实验箱中还提供了 16×16 点阵模块,其工作原理参考实验十七。

17、AS1、JS1 的作用及模式的使用:

在主板上有一个功能切换部分,AS1、JS1 为拨码开关,主板把相关的输入输出器件分成若干组。是否与下载板的对应 I/O 口相连靠连接 AS1、JS1 的拨码而定。由于下载板上的 CPLD/FPGA 的 I/O 口大部分是分时复用,为避免相互干扰,靠 AS1、JS1 拨码切换。

AS1 控制功能列表如下:

编号	名称	作用
1	SM	置 ON 为动态 (SM1-SM8), OFF 为静态 (SM5-SM8)
2	L1-L16	置 ON/OFF LED1-LED16 有效/无效
3	S1-S8	置 ON/OFF K1-K8 有效/无效
4	S9-S16	置 ON/OFF K9-K16 有效/无效
5	MCU	置 ON/OFF AT89C51 有效/无效
6	AD	置 ON/OFF CPLD 引脚信号与 A/D 相连/断开
7	RAM	置 ON/OFF 62256 有效/无效
8	DOT	置 ON/OFF 点阵有效/无效

JS1 控制功能列表如下:

编号	名称	作用
1	DAC0832	置 ON/OFF DAC0832 相连与断开
2	ADDA	置 ON/OFF 串行 AD、DA 器件启动/不启动
3	TLC0831	置 ON/OFF 串行 AD 器件 ADC0831 有效/无效

4	TLV1572	置 ON/OFF 串行 AD 器件 TLV1572 有效/无效
5	ENABLE	置 ON/OFF ADC0809 输出无效/有效
6	ENABLE	置 ON/OFF ADC0809 的 ENABLE 端与 I/O30 的连接/断开
7	EOC	置 ON/OFF ADC0809 的 EOC 端与 I/O31 的连接/断开
8	WR1	置 ON/OFF DAC0832 的 WR1 端与 I/O51 的连接/断开

注 1：当 WR1 信号连接到 I/O51 上时，需将按键开关 K17 上 KJ1 的跳线取下；当要使用开关 K17 时，则连上 KJ1 处的跳线。

注 2：具体的外围硬件与 CPLD/FPGA 的 I/O 口连接请参看本书附录和原理图集。

五、注意事项

- 1、实验系统各种硬件设备的安装均应在微机和实验平台断电的情况下进行，严禁带电操作。
- 2、电源的打开顺序是：先打开交流开关，再打开直流开关，最后打开各个模块的控制开关。电源关掉的顺序刚好与此相反。
- 3、实验箱电路板上所有的芯片出厂时都经过严格检查，因此在做实验时切忌随意拔插芯片。
- 4、安装下载板时注意双排插针与双排插槽要一一对好后再插，不要强行拔插，以免无法进行实验，甚至损坏器件。
- 5、在拔连接计算机并口的下载电缆线时，要拔插壳，不要直接去拉电缆线，否则会使连接在插壳内的线断掉，造成文件无法下载。
- 6、在使用连接线做模拟可编程模块实验时，连接线应该旋转的轻轻插上和旋转的轻轻拔下，以提高连接线的使用寿命。
- 7、实验板使用和保存必须仔细谨慎，防止实验板非正常损坏。
- 8、如果在实验中由于操作不当或其它原因出现异常情况，如数码管显示不稳，闪烁，芯片发烫等。首先应立即断电，然后报告老师，排除故障后方可继续使用。切记无视现象，继续实验，以免造成严重的后果。